新编电气与电子信息类本科规划教材·电子电气基础课程

数字电子技术

曾令琴　主　编
吕　乐　副主编

電子工業出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

以培养学生分析问题、解决问题能力和实验动手能力为主导，将数字电子技术和工程实际应用前后呼应，并有机地融为一体。教材采用立体化配套，其中以纸质教材和高水平教学课件作为教学主导，以实践教学指导和 EDA 学习作为应用型人才培养辅助工具，用详细的习题解析和重点、难点十分清晰的教学指导教案给教师的“教”和学生的“学”带来很大的方便，为检测教与学的效果，还提供了试题库。

全书分 7 个单元，内容包含有：数字电子技术的基础知识；门电路和组合逻辑电路；触发器和时序逻辑电路；存储器和可编程逻辑器件；数/模和模/数转换器。

全书行文流畅，内容简洁，概念清楚；注重实际，目标明确，便于自学。本书是专为“应用型人才”培养精心编排和设计的，为电子信息与电气学科提供的实用性教材，也可供相关工程技术人员学习或作为电子技术爱好者的参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目(CIP)数据

数字电子技术 / 曾令琴主编. —北京：电子工业出版社，2009.7
新编电气与电子信息类本科规划教材. 电子电气基础课程
ISBN 978-7-121-09166-7

Ⅰ. 数… Ⅱ. 曾… Ⅲ. 数字电路—电子技术—高等学校—教材 Ⅳ. TN79

中国版本图书馆 CIP 数据核字（2009）第 107803 号

责任编辑：陈晓莉　　特约编辑：杨晓红　李双庆
印　　刷：
装　　订：
出版发行：电子工业出版社
　　北京市海淀区万寿路 173 信箱　邮编 100036
开　　本：787×1 092　1/16　印张：13.5　字数：390 千字
印　　次：2009 年 7 月第 1 次印刷
印　　数：4 000 册　　定价：27.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。
质量投诉请发邮件至zlts@phei.com.cn，盗版侵权举报请发邮件至dbqq@phei.com.cn。
服务热线：（010）88258888。

前　言

“数字电子技术”是高等学校电子与电气类各学科的重要专业基础课和平台课程。是电子应用、通信技术、计算机、电气自动化等专业的重要专业技术基础课程。近些年来，随着科学技术的迅猛发展，集成数字逻辑电路在高速、低功耗、低电压、带电插拔、小逻辑等许多方面都取得了长足的发展，各种数字新技术、数字电子新器件层出不穷，这些不断涌现的新技术，无疑给“数字电子技术”课程增添了很多新的内容。

为使课程内容更加丰富、充实和不断更新，能够跟上日益发展的科学体系，根据教育部“高等学校教学质量与教学改革工程”的主要精神，结合目前“数字电子技术”教学实际情况及该课程在电子工程中的应用，作者编写了这本任务导入式的新型《数字电子技术》教材。

新编写的《数字电子技术》按 7 个单元划分：第 1 单元数字逻辑基础，主要介绍数制，码制，逻辑代数及其定理、定律，逻辑代数化简法；第 2 单元门电路和集成逻辑门，以二极管、三极管的开关特性为引线，先后介绍了三种基本逻辑门，复合逻辑门和两种类型不同的集成逻辑门，重点阐述了各种常用集成逻辑门电路的应用；第 3 单元是组合逻辑电路，以组合逻辑电路的分析法和小规模组合逻辑电路的设计展开问题的讨论和学习，进而引入各种常用的集成组合逻辑电路；第 4 单元触发器，以基本的 RS 触发器电路作为各种触发器的基本环节引入各类触发器，突出介绍了边沿触发的主从型 JK 触发器和维持阻塞 D 触发器；第 5 单元时序逻辑电路，仍是以时序逻辑电路的分析和设计为主导，结合课程应用实际的需求，详细介绍了常用的时序逻辑电路器件计数器和寄存器，充分强调了时序逻辑电路的记忆作用；第 6 单元存储器和可编程逻辑器件，阐述了半导体存储器在大规模集成电路中的应用和可编程逻辑器件的电路结构及其可编程性质，重点介绍了它们在电子工程实际中的应用；第 7 单元是数/模和模/数转换器，重点介绍了两种转换器的转换原理和集成 DAC 和 ADC 的引脚功能。全书内容除理论知识外，还特别强调了实践环节，并且引入了 Multisim 8.0 电路仿真的学习和应用，教材按照立体化配套，制作了高水平的教学课件，参考课时教案，章后习题解析，试题库等。

本教材由曾令琴担任主编，编写了教材的第 1、第 2 单元；吕乐担任副主编，编写了第 4、第 5 单元；何红军、蒲小莲参编，编写了第 3、第 6、第 7 单元。全书由曾令琴统稿。

作者期望本教材能对“应用型”人才培养和教学改革起到一定的推动作用，并且恳请使用本教材的教师和学生对我们提出宝贵的意见和建议，以便在今后的修改中做得更好。

编　者

2008 年 10 月

目　　录

第 1 单元　数字逻辑基础……1

任务导入……1

理论知识……2

1.1　数制与码制……2

1.1.1　数制……3

1.1.2　码制……6

思考与问题……9

1.2　逻辑代数基本概念、常用公式和定理……9

1.2.1　逻辑代数的基本概念……9

1.2.2　三种基本的逻辑关系……10

1.2.3　复合逻辑运算……12

1.2.4　逻辑代数中的常用公式和定理……13

思考与问题……14

1.3　逻辑函数的化简……14

1.3.1　逻辑函数的代数化简法……14

1.3.2　最小项的概念……15

1.3.3　卡诺图表示法……16

1.3.4　逻辑函数的卡诺图化简法……17

思考与问题……19

实践环节……19

1.1　Multisim 8.0 电路仿真软件学习……19

1.1.1　Multisim 8.0 电路仿真软件简介……19

1.1.2　电路的建立与仿真分析法……25

1.1.3　电路仿真练习……27

第 1 单元　能力训练检测题（共 100 分，120 分钟）……27

第 2 单元　门电路和集成逻辑门……30

任务导入……30

理论知识……31

2.1　半导体二极管和三极管的开关特性……31

2.1.1　半导体二极管的开关特性……31

2.1.2　半导体三极管的开关特性……33

思考与问题……34

2.2　分立元件的基本逻辑门……34

2.2.1　“与”门……34

2.2.2　“或”门……35

2.2.3 “非”门……35
思考与问题……36
2.3 复合逻辑门……36
思考与问题……37
2.4 TTL 集成逻辑门……38
2.4.1 典型 TTL 与非门……38
2.4.2 集电极开路的 TTL 与非门（OC 门）……40
2.4.3 三态门……42
2.4.4 TTL 集成电路的改进系列……43
2.4.5 TTL 集成逻辑门的使用注意事项……44
思考与问题……45
2.5 MOS 集成逻辑门……45
2.5.1 CMOS 反相器……46
2.5.2 CMOS 传输门和模拟开关……46
2.5.3 CMOS 与非门……47
2.5.4 CMOS 或非门……47
2.5.5 其他 CMOS 集成逻辑门……48
2.5.6 CMOS 集成逻辑门的特点及使用注意事项……49
思考与问题……50
2.6 集成逻辑门使用中的实际问题……50
2.6.1 各种逻辑门之间的接口问题……50
2.6.2 门电路带负载时的接口电路……51
2.6.3 抗干扰措施……53
思考与问题……53
实践环节……54
2.1 集成逻辑门电路的功能测试……54
2.2 学习 Multisim 8.0 电路仿真……56
第 2 单元 能力训练检测题（共 100 分，120 分钟）……60
第 3 单元 组合逻辑电路……64
任务导入……64
理论知识……65
3.1 组合逻辑电路的分析……65
3.1.1 组合逻辑电路的特点……65
3.1.2 组合逻辑电路功能的描述……65
3.1.3 组合逻辑电路的分析……66
思考与问题……68
3.2 组合逻辑电路的设计……68
3.2.1 组合逻辑电路的设计步骤……68
3.2.2 组合逻辑电路的设计举例……68

思考与问题 ……71
3.3 编码器 ……71
3.3.1 编码、编码器 ……71
3.3.2 普通编码器 ……71
3.3.3 优先编码器 ……72
思考与问题 ……76
3.4 译码器 ……76
3.4.1 译码、译码器 ……76
3.4.2 变量译码器 ……76
3.4.3 显示译码器 ……78
3.4.4 译码器应用举例 ……81
思考与问题 ……82
3.5 数据选择器 ……82
3.5.1 数据选择器概述 ……82
3.5.2 集成数据选择器 ……83
思考与问题 ……83
3.6 数值比较器 ……83
3.6.1 一位数值比较器 ……83
3.6.2 集成数值比较器 ……84
思考与问题 ……84
实践环节 ……85
3.1 编码器、译码器及数码显示电路实验 ……85
3.2 学习 Multisim 8.0 电路仿真 ……87
第 3 单元 能力训练检测题（共 100 分，120 分钟） ……91
第 4 单元 触发器 ……94
任务导入 ……94
理论知识 ……95
4.1 基本 RS 触发器 ……95
4.1.1 基本 RS 触发器的结构组成 ……95
4.1.2 基本 RS 触发器的工作原理 ……95
4.1.3 基本 RS 触发器的动作特点 ……96
4.1.4 基本 RS 触发器逻辑功能的描述 ……96
思考与问题 ……98
4.2 钟控 RS 触发器 ……98
4.2.1 钟控 RS 触发器的结构组成 ……98
4.2.2 钟控 RS 触发器的工作原理 ……99
4.2.3 钟控 RS 触发器的功能描述 ……100
思考与问题 ……101
4.3 主从型 JK 触发器 ……101
4.3.1 JK 触发器的结构组成 ……101

4.3.2 JK 触发器的工作原理……101
4.3.3 JK 触发器的动作特点……102
4.3.4 JK 触发器的功能描述……102
4.3.5 集成 JK 触发器……103
思考与问题……104
4.4 维持阻塞 D 触发器……104
4.4.1 D 触发器的结构组成……104
4.4.2 D 触发器的工作原理……105
4.4.3 D 触发器的动作特点……105
4.4.4 D 触发器的功能描述……105
4.4.5 集成 D 触发器……106
思考与问题……106
4.5 T 触发器和 T′触发器……106
4.5.1 T 触发器……106
4.5.2 T′ 触发器……107
思考与问题……108
实践环节……108
4.1 集成触发器的功能测试……108
4.2 学习 Multisim 8.0 电路仿真……110
第 4 单元 能力训练检测题（共 100 分，120 分钟）……112
第 5 单元 时序逻辑电路……115
任务导入……115
理论知识……116
5.1 时序逻辑电路的分析和设计思路……116
5.1.1 时序逻辑电路概述……116
5.1.2 时序逻辑电路的功能描述……116
5.1.3 时序逻辑电路的基本分析方法……117
5.1.4 时序逻辑电路的设计思路……120
思考与问题……121
5.2 集成计数器……121
5.2.1 二进制计数器……122
5.2.2 十进制计数器……124
5.2.3 集成计数器及其应用……126
思考与问题……130
5.3 寄存器……130
5.3.1 数码寄存器……131
5.3.2 移位寄存器……131
5.3.3 集成双向移位寄存器……132
5.3.4 移位寄存器的应用……133

思考与问题 ……135
5.4 555 定时电路 ……136
5.4.1 555 定时器电路的组成 ……136
5.4.2 555 定时器的工作原理 ……137
5.4.3 555 定时器应用实例 ……138
思考与问题 ……139
实践环节 ……139
5.1 计数器及其应用 ……139
5.2 移位寄存器及其应用 ……143
5.3 555 定时器及其应用 ……146
5.4 应用 Multisim 8.0 电路仿真 ……148
第 5 单元 能力训练检测题（共 100 分，120 分钟） ……148
第 6 单元 存储器和可编程逻辑器件 ……152
任务导入 ……152
理论知识 ……153
6.1 存储器概述 ……153
6.1.1 存储器定义 ……153
6.1.2 存储器的分类 ……153
6.1.3 存储器的主要性能指标 ……154
思考与问题 ……154
6.2 只读存储器（ROM） ……155
6.2.1 ROM 的结构与功能 ……155
6.2.2 ROM 的工作原理 ……156
6.2.3 ROM 的分类 ……158
6.2.4 ROM 的应用 ……161
思考与问题 ……163
6.3 随机存取存储器（RAM） ……163
6.3.1 RAM 的结构与功能 ……163
6.3.2 RAM 的存储单元 ……165
6.3.3 集成 RAM 芯片简介 ……166
6.3.4 RAM 的容量扩展 ……167
思考与问题 ……169
6.4 可编程逻辑器件 ……169
6.4.1 可编程逻辑器件概述 ……169
6.4.2 现场可编程逻辑阵列（FPLA） ……170
6.4.3 可编程阵列逻辑（PAL） ……171
6.4.4 通用逻辑阵列（GAL）简介 ……173
6.4.5 PLD 的编程 ……174
思考与问题 ……174
实践环节 ……174

6.1 随机存取存储器 2114A 及其应用 ····· 174
6.2 应用 Multisim 8.0 电路仿真 ····· 182
第 6 单元 能力训练检测题（共 100 分，120 分钟） ····· 182
第 7 单元 数/模转换器和模/数转换器 ····· 185
任务导入 ····· 185
理论知识 ····· 186
7.1 数/模转换器 ····· 186
7.1.1 数/模转换器基本概念及结构组成 ····· 186
7.1.2 DAC 的功能 ····· 186
7.1.3 DAC 的转换特性 ····· 187
7.1.4 DAC 的主要技术指标 ····· 187
7.1.5 DAC 的转换原理 ····· 188
7.1.6 集成 DAC0832 ····· 191
思考与问题 ····· 192
7.2 模/数转换器 ····· 192
7.2.1 ADC 的基本概念和转换原理 ····· 192
7.2.2 ADC 的主要技术指标 ····· 195
7.2.3 逐次比较型 ADC 的电路组成及转换原理 ····· 195
7.2.4 双积分型 ADC 的电路组成及转换原理 ····· 196
7.2.5 集成 ADC0809 ····· 198
思考与问题 ····· 199
实践环节 ····· 199
7.1 A/D 与 D/A 转换电路的研究 ····· 199
7.2 应用 Multisim 8.0 电路仿真 ····· 202
第 7 单元 能力训练检测题（共 100 分，120 分钟） ····· 202
参考文献 ····· 206

第 1 单元　数字逻辑基础

任务导入

数字逻辑基础中的重点内容包括：数制和码制及其之间的转换；逻辑代数的基本公式、常用公式及其基本定理；逻辑函数的表示方法、代数化简法和卡诺图化简法；约束项和无关项的概念以及它们在逻辑函数化简中的作用等。

“数字逻辑基础”是数字电子技术的重点内容之一，也是分析和设计数字逻辑电路时使用的主要数学工具。例如，设计一个数字电路时，方案可能有多种，哪种方案最好？当然是在达到同样功能的基础上，选择电路结构最简单、元器件数最少的设计方案，因为它是最经济的。本单元中逻辑函数的化简，就是解决这类实用问题的基础储备知识。因为，设计任何一个数字电路，根据要求的逻辑功能，总要先设计出相应的逻辑关系式，再去根据逻辑关系式构建相应的逻辑电路框图。如果设计的逻辑关系式复杂化，相应的电路结构随之复杂；如果设计的逻辑关系式在达到同样功能的基础上最简，则电路结构一定也是最简的。即逻辑函数的化简直接关系到今后设计数字电路的复杂程度和性能指标。

比如，我们设计一个有三个裁判对某事件进行表决的数字电路，三个裁判中只要有两个或两个以上同意，该事件就通过，否则禁止。按照电路功能，我们可列出相应的逻辑函数式，并且根据这个逻辑函数式画出如图 1.1 所示的多数表决器电路的设计方案一。

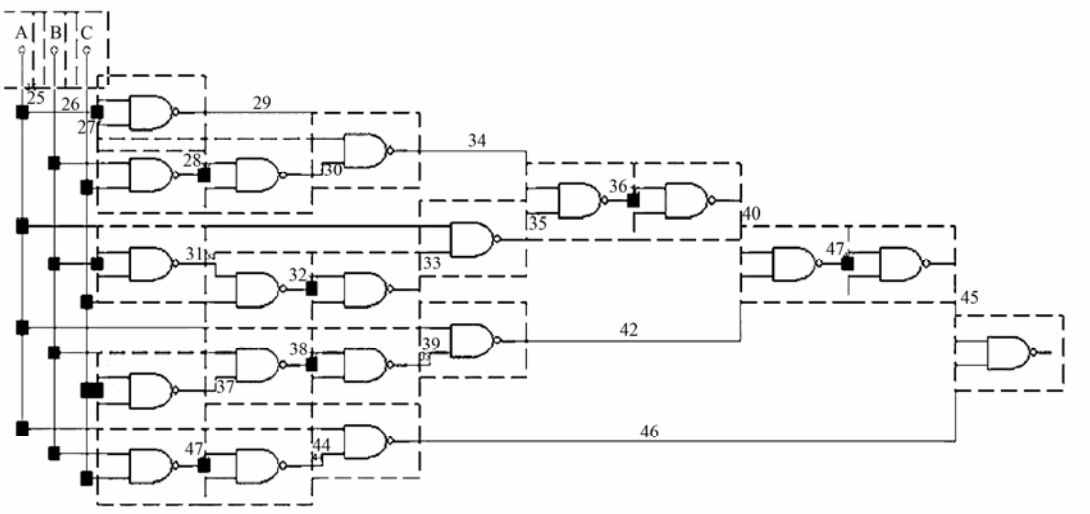


图 1.1　多数表决器电路设计方案一

显然这个多数表决器的电路设计方案一选用的逻辑门数较多，致使电路结构比较复杂。为了简化电路结构，对设计逻辑函数关系式进行化简，根据化简后的逻辑关系我们又可得到如图 1.2 所示的多数表决器电路设计方案二。

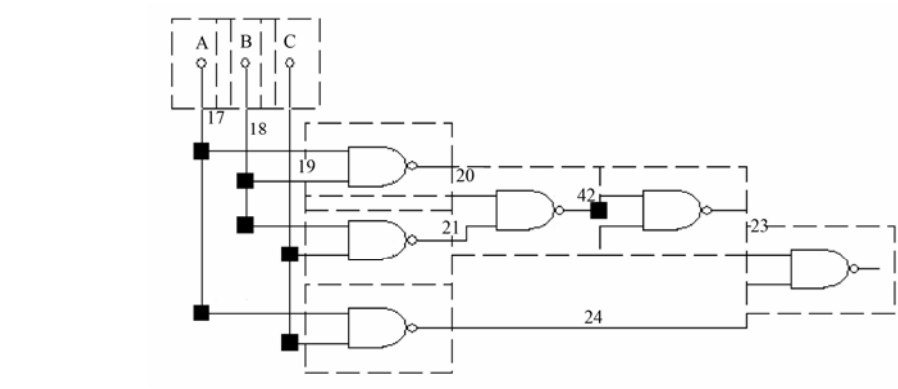


图 1.2　多数表决器电路设计方案二

不难看出，方案二比方案一从电路结构上简单多了，仅就逻辑门数而言，就从 20 个减少到 6 个，相应的连线自然也会少得多。在完成相同电路功能的基础上，工程实际中当然选取设计方案二。

本单元的学习任务如下：

（1）熟练完成二进制、八进制、十进制和十六进制之间的转换。

（2）实现码制之间、数制和码制之间的转换。

（3）应用所学逻辑电路基本定理、常用公式，对逻辑函数式进行化简。

（4）掌握逻辑代数化简法和卡诺图化简法的技能。

（5）学会电路设计工具 Multisim 8.0 的基本操作方法。

需要重视的是，本单元中“最小项”和“任意一个逻辑函数式都可以化简为最简与或式的形式”是两个非常重要的概念，在逻辑函数的化简和变换中经常用到。

理论知识

1.1　数制与码制

数字电子技术中被传递、加工和处理的信号称为数字信号。例如，用电子电路记录从自动生产线上输出的产品数量时，每输出一个产品便送给电子电路一个信号，记之为“1”信号；而没有产品输出时送给电子电路一个“0”信号，“0”信号不计数。显然，产品数量的“1”信号无论在时间上还是在数值上都是不连续的，我们把这种时间上和数值上都不连续的信号称之为数字信号。

图 1.3 所示为两种典型的数字脉冲信号。观察图示数字信号，其突出特点是：无论在时间上还是在幅值上，其变化总是发生在一系列离散的瞬间，且数值大小只有高电平“1”和低电平“0”两种取值，在数字信号中，信号电平的大小并不重要，只要大于某一阈值就是高电平，小于这一阈值就是低电平。从高电平变为低电平的跳变沿称为下降沿，从低电平变为高电平的跳变沿称为上升沿。

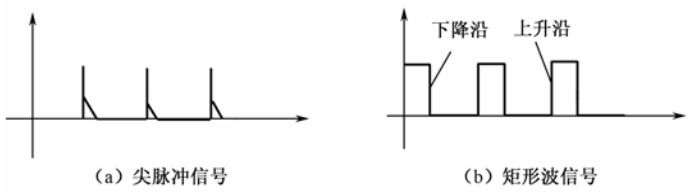


图 1.3　典型的数字脉冲信号

在数字电路中，由于被传递和处理的信号只有“0”和“1”两种逻辑状态，因此数字电路所研究的输入和输出关系，实质上就是二值变量之间的逻辑关系，描述这种逻辑关系的表达式称为逻辑函数式，数字电路因之常常被人们称为逻辑电路。

由于数字信号采用的是二值信息，因此在电路工作时只要能可靠地区分“1”和“0”两种状态就可以了，和模拟电子技术相比，数字电路的单元结构比较简单。数字电路的独到之处，不仅使它应用于电子计算机中对数字信号的处理，而且还在手机、DVD、摄像机、数码照相机等家电设备上的应用发展迅猛，在机械加工、生产过程自动化、现代通信、军事科学、航天领域、遥测、遥控技术、数字测量仪表等诸多领域上越来越得到了广泛地应用。

1.1.1　数制

日常生活中，人们最为熟悉的是十进制计数制，但除了十进制计数制外，还有许多非十进制的计数方法。例如，60 分钟为 1 小时，使用的是六十进制计数法；1 星期有 7 天，使用的是七进制计数法；1 年有 12 个月，使用的是十二进制计数法；数字信息技术中则广泛采用了二进制，因为二进制的电路设计简单、运算可靠、逻辑性强，机器容易识别。除此之外，数字电路中还经常使用八进制和十六进制。

可见，在表示数时，仅用一位数码往往不够用，必须用进位计数的方法组成多位数码。多位数码每一位的构成以及从低位到高位的进位规则称为进位计数制，简称数制。

1．计数制中的两个重要概念

① 基数：各种进位计数制中，数码的集合称为基，计数制中用到的数码个数称为基数。

例如：二进制有 0 和 1 两个数码，因此二进制的基数是 2；八进制有 0～7 共 8 个数码，八进制的基数是 8；十进制有 0～9 共 10 个数码，所以十进制的基数是 10；十六进制有 0～15 共 16 个数码，所以十六进制的基数是 16。

② 位权：任一进位计数制中，每一位数的大小都对应该位上的数码乘上一个固定的数，这个固定的数称作各位的权，简称位权。位权是各种计数制中基数的幂。

例如：十进制数$[2368]_{10}=2\times10^3+3\times10^2+6\times10^1+8\times10^0$

其中各位上的数码与 10 的幂相乘表示该位数的实际代表值，如 2×10^3 代表 2000，3×10^2 代表 300，6×10^1 代表 60，8×10^0 代表 8。而各位上 10 的幂就是十进制数各位的权。

又如：二进制数$[11011]_2=1\times2^4+1\times2^3+0\times2^2+1\times2^1+1\times2^0$

其中各位 2 的幂代表该位上二进制数码的位权。如 2^4 代表十进制数 16，2^3 代表十进制数 8，2^2 代表十进制数 4，2^1 代表十进制数 2，2^0 代表十进制数 1。

显然，各种计数制中的任意数，只要按照上述按位权展开求和的方法，即可得到它们所对

应的、人们最熟悉的十进制数。

2．常用计数制的特点

（1）十进制

十进制是人们最熟悉的一种计数制。十进制计数的特点：

① 十进制计数的基数是 10；

② 十进制数的每一位必定是 0、1、2、3、4、5、6、7、8、9 这 10 个数码中的一个；

③ 低位数和相邻高位数之间的进位关系是“逢十进一”；

④ 同样的数字在不同的数位上代表的值各不相同，各位的权是“10”的幂。

（2）二进制

尽管计算机能够处理各类数据和信息，包括常用的十进制数，但计算机内部使用的数字符号只有“0”和“1”两个数字符号，即计算机内部使用的是二进制。计算机内部之所以采用二进制，是由于组成计算机的电子器件本身具有可靠稳定的“开”和“关”两种状态，恰好对应二进制的“0”和“1”两个数码，因此技术上容易实现信息量的存放、传递和处理，同时为计算机进行逻辑运算提供了有利的条件。二进制计数的特点：

① 二进制计数的基数是 2；

② 二进制数的每一位必定是“0”或“1”两个数码中的一个；

③ 低位数和相邻高位数之间的进位关系是“逢二进一”；

④ 同一个数字符号在不同的数位上代表的位权各不相同，位权是“2”的幂。

（3）八进制和十六进制

二进制数的运算规则和电路的实现比较简单、方便，但一个较大的十进制数用二进制数表示时其位数太多，从而给数的读和写带来一定的麻烦，而且容易出错。所以，人们又常用八进制或十六进制数来读、写二进制数。

八进制数的特点：

① 八进制计数的基数是 8；

② 八进制数的每一位必定是 0、1、2、3、4、5、6、7 这 8 个数码中的一个；

③ 低位数和相邻高位数之间的进位关系是“逢八进一”；

④ 同一个数字符号在不同的数位上代表的位权各不相同，位权是“8”的幂。

十六进制的特点：

① 十六进制计数的基数是 16；

② 十六进制数的每一位必定是 0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F 这 16 个数码中的一个；

③ 低位数和相邻高位数之间的进位关系是“逢十六进一”；

④ 同一个数字符号在不同的数位上代表的位权各不相同，位权是“16”的幂。

3．各种计数制之间的转换

当我们用计算机解决实际问题时，由键盘敲入的通常是人们所熟悉的十进制数或某个特定信息，但计算机识别的却是二进制数码，这就有一个十进制或特定信息向二进制转换的过程。

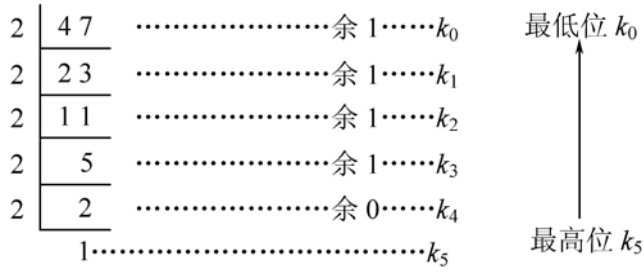
各种计数制转换为十进制相对比较简单，就是利用按位权展开求和的方法即可。而十进制数转换为二进制数或是其他进制的数则较为麻烦，其中十进制数转换为二进制数是各种数制之

间转换的关键。

（1）十进制转换为二进制时，整数部分的转换应用除 2 取余法。

【例 1.1】求十进制数$[47]_{10}$转换的二进制数。

【解】



可得：$[47]_{10}=[k_5\,k_4\,k_3\,k_2\,k_1\,k_0]_2=[101111]_2$

转换的过程首先是把待转换的十进制整数用 2 连除，直到无法再除为止，且每除一次记下余数 1 或 0，其次把每次所得的余数从后向前排列，就可得到所对应的二进制整数。

（2）十进制转换为二进制时，小数部分的转换应用乘 2 取整法。

【例 1.2】求十进制小数$[0.125]_{10}$转换的二进制小数。

【解】利用乘 2 取整法：

$0.125\times2=0.25\cdots\cdots$ 取整数部分 0，余数 0.25

$0.25\times2=0.5\cdots\cdots$ 取整数部分 0，余数 0.5

$0.5\times2=1\cdots\cdots$ 取整数部分 1，余数 0

可得：$[0.125]_{10}=[0.001]_2$

转换的过程就是首先让十进制数中的小数乘以 2，所得积的整数为小数点后第一位，保留积的小数部分继续乘 2，所得的积的整数为小数点后第二位，即取各次乘 2 之后的整数部分为二进制各位的小数，保留下来的小数部分再继续乘 2……依次类推，直到小数部分等于 0，或达到所需精度为止。

对上述结果用按位权展开求和方法进行验证：$[0.001]_2=1\times2^{-3}=[0.125]_{10}$

只要将十进制转换成相应的二进制，再转换成八进制和十六进制就容易多了。

【例 1.3】把二进制数$[101111]_2$转换成八进制数和十六进制数。

【解】二进制数转换成八进制数的方法是：整数部分从小数点向左数，每 3 位二进制数码为一组，最后不足 3 位补 0，读出 3 位二进制数对应的十进制数值，就是整数部分转换的八进制数；小数部分从小数点向右数，也是每 3 位二进制数码为一组，最后不足 3 位补 0，读出 3 位二进制数对应的十进制数值，就是小数部分转换的八进制数值。即

$[101，111]_2=[57]_8$

验证：$[57]_8=5\times8^1+7\times8^0=40+7=[47]_{10}$

二进制数转换成十六进制数的方法是：整数部分从小数点向左数，每 4 位二进制数码为一组，最后不足 4 位补 0，读出 4 位二进制数对应的十进制数值，就是整数部分转换的十六进制数；小数部分从小数点向右数，也是每 4 位二进制数码为一组，最后不足 4 位补 0，读出 4 位二进制数对应的十进制数值，就是小数部分转换的十六进制数值。即

$[0010，1111]_2=[2F]_{16}$

验证：$[2F]_{16}=2\times16^1+15\times16^0=32+15=[47]_{10}$

各种计数制之间的对比值如表 1-1 所示。

表 1-1　几种进位计数制对照表

十　进　制	二　进　制	八　进　制	十六进制
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

1.1.2　码制

当我们使用计算机进行某事件的处理时，首先必须把输入的特定信息转换成计算机所能接受的二进制数码，由此出现了编码、代码、码制等一系列需要学习的知识。

不同数码不仅可以表示不同数量的大小，而且还能用来表示不同的事物。用数码表示不同事物时，数码本身没有数量大小的含义，只是表示不同事物的代号而已，这时我们把这些数码称之为代码。例如，运动员在参加比赛时，身上往往带有一个表明身份的编码，这些编码显然没有数量的含义，仅仅表示不同的运动员。

数字信息技术中为了便于记忆和处理，在编制代码时总要遵循一定的规则，这些规则就称为码制。数字电路是一种处理离散信息的系统。这些离散的信息可能是十进制数、字符或其他特定信息，如电压、压力、温度及其他物理量。但是，数字系统只能识别和处理二进制数码，因此，各种数据要转换为二进制代码才能进行处理。

1．二-十进制代码（BCD码）

在数字系统的输入/输出中普遍采用十进制数，这样就产生了用 4 位二进制数表示 1 位十进制数的方法，这种用于表示十进制数的二进制代码称为二-十进制代码（Binary Coded Decimal），简称为 BCD 码。

BCD 码具有二进制数的形式以满足数字信息处理技术的要求，又具有十进制的特点：只有 10 种有效状态。在某些情况下，计算机也可以对这种形式的数直接进行运算。用 4 位二进制数表示 1 位十进制数时，所编成的代码有 $2^4=16$ 种组合状态，而 1 位十进制数只有 0～9 的 10 个数码，因此，从 16 种组合中任选出 10 个组成表示十进制的代码，方案显然有很多种。

实用中，我们按照使用的方便与否，选择出其中真正有价值的、为数不多的几种，表 1-2 所示即为常用的几种二-十进制 BCD 代码。

表 1-2　常用的几种二-十进制 BCD 码

代码种类 / 十进制数	8421 码	2421 码	5421 码	余 3 码
0	0000	0000	0000	0011
1	0001	0001	0001	0100
2	0010	0010	0010	0101
3	0011	0011	0011	0110
4	0100	0100	0100	0111
5	0101	1011	1000	1000
6	0110	1100	1001	1001
7	0111	1101	1010	1010
8	1000	1110	1011	1011
9	1001	1111	1100	1100
10	1010 非法	冗余码	冗余码	冗余码
11	1011 非法			
12	1100 非法			
13	1101 非法			
14	1110 非法			
15	1111 非法			
权	$2^3 2^2 2^1 2^0$	$2^1 2^2 2^1 2^0$	$2^{5/2} 2^2 2^1 2^0$	无权

从表 1-2 中可看出，8421 BCD 码的位权从高位到低位分别为 8、4、2、1 固定不变，故称为 8421 BCD 码，也称为恒权代码。是有权码中用得最多的一种。

2421 码和 5421 码也都是有权码中的两种恒权码。其中 2421 码的特点是码中的 0 和 9、1 和 8、2 和 7、3 和 6、4 和 5 的编码互为反码（即各位取反所得为反码）。

余 3 码是一种无权码，或者说属于一种变权码，余 3 码的每一位所表示的二进制数正好比对应的 8421 BCD 码所表示的二进制数多余 3，故而称为余 3 码。

以上 4 种 BCD 码的代码只对应十进制的 0～9 的数值，剩余编码为无效码，无效码也叫做冗余码。

2．格雷码

格雷码（Gray code）又称循环二进制码或反射二进制码，与余 3 码一样属于无权码。格雷码采用绝对编码方式，典型格雷码是一种具有反射特性和循环特性的单步自补码，它的循环、单步特性消除了随机取数时出现重大误差的可能，它的反射、自补特性使得求反非常方便。格雷码属于可靠性编码，是一种错误最小化的编码方式，因为，自然二进制码可以直接由数/模转换器转换成模拟信号，但某些情况，例如从十进制的 3 转换成 4 时，二进制码的每一位都要变，使数字电路产生很大的尖峰电流脉冲。而格雷码则没有这一缺点，它是一种数字排序系统，其中的所有相邻整数在它们的数字表示中只有一位数字不同。它在任意两个相邻的数之间转换

时，只有一个数位发生变化。因此，大大地减少了由一个状态到下一个状态时的逻辑混淆。格雷码有多种代码形式，最常用的 4 位循环格雷码如表 1-3 所示。

表 1-3　典型格雷码与十进制、二进制数码的比较

十进制数码	二 进 制 码	格　雷　码
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

观察表 1-3 可知其特点是：相邻两个代码之间仅有一位不同，其余各位均相同。当电路按格雷码计数时，每次状态更新仅有一位代码发生变化，从而减少了出错的可能性。格雷码不仅相邻两个代码之间仅有一位的取值不同，而且首、尾两个代码也仅有一位不同，构成一个“循环”，故而也称为循环码。此外，格雷码还具有“反射性”，如 0 和 15、1 和 14、2 和 13、…、7 和 8 都只有一位不同，故格雷码又称为反射码。格雷码是由贝尔实验室的 Frank Gray 在 20 世纪 40 年代提出的，用来在使用 PCM 方法传送信号时避免出错，并于 1953 年 3 月 17 日取得美国专利。格雷码的编码方式不是唯一的，我们讨论的只是其中最常用的一种。

注：PCM 是数字通信的编码方式之一。主要过程是将话音、图像等模拟信号每隔一定时间进行取样，使其离散化，同时将抽样值按分层单位四舍五入取整量化，同时将抽样值按一组二进制码来表示抽样脉冲的幅值。

3．奇偶校验码

奇偶校验码是奇校验码和偶校验码的统称，是一种最基本的检错码。二进制信息在传送时，由于干扰，可能会发生 1 错成 0、或 0 错成 1 的问题，这种情况，我们称为出现了“误码”。我们把如何发现传输中的错误，称为“检错”。发现错误后，如何消除错误，称为“纠错”。最简单的检错方法是“奇偶校验”。即在传送字符的各位之外，再传送 1 位奇/偶校验位。可采用奇校验或偶校验。表 1-4 列出了可以检验出信息错误的奇偶校验码的代码。

表 1-4　奇偶校验码

十进制数码	奇校验 8421BCD 码		偶校验 8421BCD 码	
	信息位	校验位	信息位	校验位
0	0000	1	0000	0
1	0001	0	0001	1
2	0010	0	0010	1
3	0011	1	0011	0
4	0100	0	0100	1
5	0101	1	0101	0
6	0110	1	0110	0
7	0111	0	0111	1
8	1000	0	1000	1
9	1001	1	1001	0

在奇偶校验码中，一个代码包含两部分：一是需要传送的信息本身的信息位，由 n 位数不限的二进制代码组成，二是在 n 位长的数据代码上增加一个二进制位作校验位，放在 n 位代码的最高位之前或最低位之后，组成 $n+1$ 位的码。这个校验位取 0 还是取 1 的原则是：若设定奇校验，应使代码里含 1 的个数连同校验位的取值共有奇数个 1；若设定为偶校验，则 n 位信息连同校验位的取值使 1 的个数为偶数。奇偶校验广泛应用于主存储器信息的校验及字节传输的出错校验。奇偶校验的缺点是只能发现有无差错，而不能确定发生差错的具体位置，且当有偶数个二进制位发生错误时，不能发现错误，失去校验能力。

思考与问题

1．为什么说十进制和二进制之间的转换是各种数制之间转换的关键？你对十进制转换成二进制的方法熟悉吗？

2．什么是代码？代码是用哪种数制表示的？

3．完成下列数制的转换

（1）$[256]_{10}=[\quad\quad]_2=[\quad\quad]_{16}$

（2）$[B7]_{16}=[\quad\quad]_2=[\quad\quad]_{10}$

（3）$[10110001]_2=[\quad\quad]_{16}=[\quad\quad]_8$

4．将下列十进制数转换为等值的 8421BCD 码。

（1）256　　（2）4096　　（3）100.25　　（4）0.024

1.2　逻辑代数基本概念、常用公式和定理

1.2.1　逻辑代数的基本概念

1．关于“逻辑”

“逻辑”是一种重要的思维工具，逻辑推理中的已知条件和结论都是可以判断真假的命题。例如，日常生活中我们会遇到很多结果完全对立而又互相依存的事件，一件事的“是”与“非”，

某传言的“真”与“假”，电压的“高”和“低”，信号的“有”和“无”，开关的“通”和“断”，“工作”和“休息”，“灯亮”和“灯灭”，等等，这些事件的发生与结果之间总是遵循着一定的规律。灯之所以“亮”，是因为灯与电源相“接通”了，灯之所以“灭”，因为灯与电源之间是“断开”的。电源的接通和断开是因，电灯的亮与灭是果，客观世界事物的发展和变化通常都具有一定的因果关系。如果我们把电源接通用逻辑“1”表示，则电源断开就是逻辑“0”；灯亮用逻辑“1”，灯灭就是逻辑“0”。这种由二值变量所构成的因果关系即为“逻辑”关系。

2．正逻辑和负逻辑

在二值变量的逻辑关系中，如果我们把“是”、“真”、“高”、“有”、“通”用逻辑“1”表示，把“非”、“假”、“低”、“无”、“断”用逻辑“0”表示时，就是“正逻辑”表示方法，反之为负逻辑。

数字信息技术中，我们遇到的大量电信号都是如图 1.1 所示的、在两个稳定状态之间作阶跃式变化的电平信号或脉冲信号，因此数字信号的输入和输出关系实质上就是二值变量之间的逻辑关系。当我们把高电平和脉冲到来用“1”表示，把低电平和无脉冲用“0”表示时，就是“正逻辑”表示方式，本教材中，如无特别说明，均采用正逻辑。

3．逻辑代数、逻辑变量和逻辑函数

由二值变量所构成的因果关系即“逻辑”关系，能够反映和处理逻辑关系的数学工具称为逻辑代数。逻辑代数是英国数学家格雷·布尔在 19 世纪中叶创立的，因此又被人们称作布尔代数。20 世纪 30 年代，美国人 Claude E. Shannon 把布尔代数运用于开关电路中，使之很快成为分析和综合开关电路的重要数学工具，从此人们又把逻辑代数称为开关代数。

逻辑代数和普通代数一样，也是用英文字母表示变量，由于逻辑变量取值只有“0”和“1”，没有第三种可能，因此叫做二值逻辑变量，二值的逻辑变量要比普通代数变量简单得多。值得注意的是：逻辑变量取值的“0”和“1”，没有数值上大、小的含义，它们并不表示数字，所表示的是事物相互对立而又联系着的两个方面，即表示的是“状态”。

逻辑代数中，逻辑变量是因，逻辑函数是果，这种因果关系式即逻辑代数表达式。逻辑代数表达式中若把 A 和 B 作为逻辑变量，例如 Y＝F（A，B），则 Y 就是 A 和 B 的逻辑函数。在逻辑代数中，当输入逻辑变量 A、B 的取值确定之后，输出逻辑函数 Y 的值也就唯一地确定了。

1.2.2　三种基本的逻辑关系

在逻辑关系中，最基本的逻辑关系有三种：“与”逻辑关系，“或”逻辑关系和“非”逻辑关系。

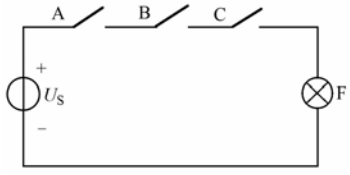


图 1.4　“与”逻辑关系

1．“与”逻辑

当某一事件发生的所有条件都满足时，事件必然发生，至少有一个条件不满足时，事件绝不会发生。这种逻辑关系称为“与”逻辑，也叫做逻辑乘。

在图 1.4 中，当我们以灯亮作为事件发生的结果，以开

关是否闭合作为事件发生的条件时，可以得到下面的结论：当有一个或一个以上的开关处于“断开”状态时，灯 F 就不会亮；只有所有的开关都处于“闭合”状态时，灯 F 才会亮。如果定义开关“闭合”为逻辑“1”，开关“断开”为逻辑“0”；灯“亮”为逻辑“1”，灯“灭”为逻辑“0”时，我们可得到如表 1-5 所示的开关和灯之间的逻辑对应关系，并把这种用表格形式列出的逻辑关系叫做真值表。

表 1-5　逻辑“与”真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

真值表中的 A、B、C 是逻辑关系中的输入变量，F 是逻辑关系中的输出变量，如果用逻辑函数式表示上述输入变量和输出变量之间的逻辑关系时，可表示为：

$$F = A \cdot B \cdot C \qquad (1.1)$$

式中的“ • ”是“与”逻辑运算符，在不发生混淆的条件下，该运算符可以略写。

2.“或”逻辑

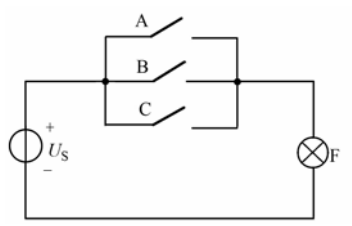


图 1.5　“或”逻辑关系

当某一事件发生的所有条件中至少有一个条件满足时，事件必然发生，当全部条件都不满足时，事件绝不会发生。这种逻辑关系称为“或”逻辑关系，也称为逻辑加。

在图 1.5 中，当我们以灯亮作为事件发生的结果，以开关是否闭合作为事件发生的条件时，可以得到下面的结论：当有一个或一个以上的开关处于“闭合”状态时，灯 F 就会亮；当所有开关都处于“断开”状态时，灯 F 不会亮。

当我们定义开关“闭合”为逻辑“1”，开关“断开”为逻辑“0”；灯“亮”为逻辑“1”，灯“灭”为逻辑“0”时，可得到开关和灯之间的逻辑对应关系如表 1-6 所示。

表 1-6　逻辑“或”真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

“或”逻辑除了用真值表表示之外，同样可以用逻辑函数式进行表达：

$$F=A+B+C \tag{1.2}$$

式中的 F 是输出变量，A、B、C 是输入变量。式中的“＋”表示“或”逻辑运算符。

3．“非”逻辑

当某一事件相关的条件不满足时，事件必然发生，当条件满足时，事件绝不会发生，这种逻辑关系称为非逻辑关系。

我们仍以灯亮作为事件发生的结果，以开关是否闭合作为事件发生的条件。在图 1.6 所示电路中，很容易看出：开关处于“断开”状态时，灯 F 亮，开关处于“闭合”状态时，灯 F 不亮。如果定义开关“闭合”为逻辑“1”，开关“断开”为逻辑“0”；灯“亮”为逻辑“1”，灯“灭”为逻辑“0”，可得到开关和灯之间的逻辑对应关系如真值表 1-7 所示。

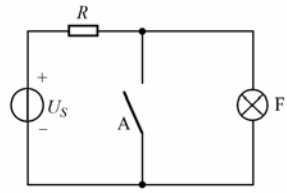


图 1.6　“非”逻辑关系

表 1-7　逻辑“非”真值表

A	F
1	0
0	1

表 1-7 所示的“非”逻辑关系也可以用下面的逻辑函数式表示为

$$F=\overline{A} \tag{1.3}$$

式（1.3）中输入变量 *A* 上面的“－”表示逻辑“非”运算符，可理解为“取反”。

1.2.3　复合逻辑运算

在逻辑代数中，除了“与”、“或”、“非”三种基本运算外，还会经常用到由这三种基本运算构成的一些复合逻辑运算。

（1）“与非”运算

$$F=\overline{A\cdot B} \tag{1.4}$$

（2）“或非”运算

$$F=\overline{A+B} \tag{1.5}$$

（3）“与或非”运算

$$F=\overline{A\cdot B+C\cdot D} \tag{1.6}$$

（4）“异或”运算

$$F=\overline{A}B+A\overline{B}=A\oplus B \tag{1.7}$$

（5）“同或”运算

$$F=\overline{A\overline{B}}+AB=\overline{A\oplus B} \tag{1.8}$$

在这些逻辑运算中，与逻辑的符号级别最高，在不会混淆的情况下，与逻辑的“·”运算符可以省略。在数字信息处理技术中，基本和常用的逻辑运算关系是构成各种复杂逻辑运算的基础，由这些基本逻辑运算关系所构成的电路，是数字电路的基本单元，相应的实体器件广泛应用于数字电路中。

1.2.4 逻辑代数中的常用公式和定理

逻辑代数是分析数字电子电路中输出和输入变量之间逻辑关系的重要工具之一。根据逻辑问题归纳出来的逻辑代数式往往不是最简逻辑表达式，对逻辑函数进行化简和变换，可以得到最简的逻辑函数式和所需要的形式，设计出最简洁的逻辑电路。这对于节省元器件，优化生产工艺，降低成本和提高系统的可靠性，提高产品在市场的竞争力都是非常重要的。因为，只有当表达式最简单时，构成的逻辑电路才是最经济的。显然逻辑函数式的化简，直接关系到数字电路的复杂程度和性能指标。

1．逻辑代数基本公式

$A\cdot 0=0$　　$A\cdot 1=A$　　$A\cdot \overline{A}=0$　　$A\cdot A=A$

$A\cdot 0=A$　　$A+1=1$　　$A+\overline{A}=1$　　$A+A=A$

2．逻辑代数的基本定律

（1）交换律：　$A+B=B+A$　　$AB=BA$

（2）结合律：　$(A+B)+C=A+(B+C)$　　$(AB)C=A(BC)$

（3）分配律：　$A(B+C)=AB+AC$　　$A+BC=(A+B)(A+C)$

（4）反演律：　$\overline{AB}=\overline{A}+\overline{B}$　　$\overline{A+B}=\overline{A}\cdot\overline{B}$

（5）非非律　　$\overline{\overline{A}}=A$

3．逻辑代数的常用公式

$A+AB=A$　　$A(A+B)=A$

$A+\overline{A}B=A+B$　　$A(\overline{A}+B)=AB$

$AB+A\overline{B}=A$　　$(A+B)(A+\overline{B})=A$

4．逻辑函数等式的三个规则

（1）代入规则

将逻辑函数等式两边的某个变量都用同一逻辑函数代入，则等式仍然成立。这个规则称为代入规则。代入规则在推导公式中用处很大。因为将已知等式中某一变量用任意一个函数代替后，就得到了新的等式，从而扩大了等式的应用范围。

例如，已知 $\overline{A\cdot B}=\overline{A}+\overline{B}$，若用 $G=A\cdot C$ 代替等式中的 A，根据代入规则，有：

$$\overline{A\cdot C\cdot B}=\overline{A\cdot C}+\overline{B}=\overline{A}+\overline{C}+\overline{B}$$

等式仍然成立。

（2）反演规则

对于任意一个函数表达式 F，如果将 F 中所有的“·”换成“+”，“+”换成“·”；“0”换成“1”，“1”换成“0”；原变量换成反变量，反变量换成原变量，那么得到的表达式就是 F 的反函数 $\overline{F}$。这个规则叫做反演规则。

例如：　　$F=\overline{A}\cdot\overline{B}+C\cdot D+0$

则 $\overline{F}=\overline{\overline{A}\cdot\overline{B}+C\cdot D+0}=(A+B)\cdot(\overline{C}+\overline{D})\cdot 1$

又如：$F=A+\overline{B+\overline{C}+\overline{D+\overline{E}}}$

则 $\overline{F}=\overline{A+\overline{B+\overline{C}+\overline{D+\overline{E}}}}=\overline{A}\cdot\overline{\overline{B}\cdot C\cdot\overline{\overline{D}\cdot E}}$

反演规则的意义在于，利用它可以比较容易地求出一个逻辑函数的反函数。在运用反演规则时，要特别注意运算符号的优先顺序：先括号内，再括号外；先算与项，后算或项。

*（3）对偶规则

对于任何一个逻辑函数表达式 F，如果把 F 中的“＋”换成“·”，“·”换成“＋”；“0”换成“1”，“1”换成“0”，就可得到一个新的表达式，记作 F′ 。

例如：$F=A+B\cdot\overline{C}$

则 $F'=A\cdot(B+\overline{C})$

又如：$F=(A+B)\cdot(A+C\cdot 1)$

则 $F'=A\cdot B+A\cdot(C+0)$

使用对偶规则时，同样要注意运算符号的优先顺序。

5．逻辑代数的运算规则

应用公式法对逻辑函数式进行运算时，一定要应先扩号内后扩号外，也可利用分配律将扩号去掉；非号内的逻辑式可以先进行运算，也可以利用反演律进行变换；先“与”运算后“或”运算。

思考与问题

1. 何谓逻辑代数？逻辑变量和普通代数变量有何不同？
2. 你能说明什么是“正”逻辑？什么是“负”逻辑吗？
3. 你能举出生活中关于“与”、“或”、“非”逻辑吗？
4. 逻辑函数等式的两个重要规则是什么？

1.3 逻辑函数的化简

1.3.1 逻辑函数的代数化简法

代数化简法就是应用逻辑代数的公理、定理及规则对已有逻辑表达式进行逻辑化简的工作。逻辑函数在化简过程中，通常化简为最简与或式。最简与或式的一般标准是：表达式中的与项最少，每个与项中的变量个数最少。代数化简法最常用的方法有：

（1）并项法

利用公式 $A\overline{B}+AB=A$ 将两项合并为一项，消去一个变量。

【例 1.4】化简逻辑函数 $F=AB+AC+A\overline{B}\,\overline{C}$

【解】 $F=AB+AC+A\overline{B}\,\overline{C}=A(B+C)+A\overline{B+C}=A$

（2）吸收法

利用公式 $A+AB=A$，将多余项 AB 吸收掉。

【例 1.5】化简逻辑函数 $F=AB+A\overline{C}+A\overline{B}\,\overline{C}$

【解】 $F=AB+A\overline{C}+A\overline{B}\,\overline{C}=AB+A\overline{C}$

（3）消去法

利用公式 $A+\overline{A}B=A+B$，消去与项 $\overline{A}B$ 中的多余因子 $\overline{A}$。

【例 1.6】化简逻辑函数 $F=AB+\overline{A}C+\overline{B}C$

【解】 $F=AB+\overline{A}C+\overline{B}C=AB+C\overline{AB}=AB+C$

（4）配项法

利用公式 $A+\overline{A}=1$，将某一项配因子 $A+\overline{A}$，然后将一项拆为两项，再与其他项合并化简。

【例 1.7】化简逻辑函数 $F=AB+\overline{A}C+BC$

【解】
$$\begin{aligned}F&=AB+\overline{A}C+BC\\&=AB+\overline{A}C+ABC+\overline{A}BC\\&=AB(1+C)+\overline{A}C(1+B)\\&=AB+\overline{A}C\end{aligned}$$

采用代数法化简逻辑函数时，所用的具体方法不是唯一的，最后的表示形式也可能稍有不同，但各种最简结果的与或式乘积项数相同，乘积项中变量的个数对应相等。

显然，采用逻辑代数法化简时，需熟练掌握逻辑代数化简公式，并具备一定的技巧。

1.3.2 最小项的概念

1．最小项

一个具有 n 个逻辑变量的与或表达式中，若每个变量以原变量或反变量形式仅出现一次，就可组成 2^n 个“与”项，我们把这些“与”项称为 n 个变量的最小项，分别记为 m_n。

例如两个变量 A、B，它们最多能构成 2^2 个最小项：$\overline{A}\,\overline{B}$、$A\overline{B}$、$\overline{A}B$、$AB$，如果原变量用逻辑“1”，反变量用逻辑“0”，则两变量的最小项就是：$m_0=00$，$m_1=01$，$m_2=10$，$m_3=11$。

三个变量 A、B、C 最多可构成 2^3 个最小项：$\overline{A}\,\overline{B}\,\overline{C}$、$\overline{A}\,\overline{B}C$、$\overline{A}B\overline{C}$、$\overline{A}BC$、$A\overline{B}\,\overline{C}$、$A\overline{B}C$、$AB\overline{C}$、$ABC$，其 $m_0=000$，$m_1=001$，$m_2=010$，$m_3=011$，$m_4=100$，$m_5=101$，$m_6=110$，$m_7=111$。

4 个变量最多能构成 2^4 个最小项：$\overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$、$\overline{A}\,\overline{B}\,\overline{C}D$、$\overline{A}\,\overline{B}C\overline{D}$、$\overline{A}\,\overline{B}CD$、$\overline{A}B\overline{C}\,\overline{D}$、$\overline{A}B\overline{C}D$、$\overline{A}BC\overline{D}$、$\overline{A}BCD$、$A\overline{B}\,\overline{C}\,\overline{D}$、$A\overline{B}\,\overline{C}D$、$A\overline{B}C\overline{D}$、$A\overline{B}CD$、$AB\overline{C}\,\overline{D}$、$AB\overline{C}D$、$ABC\overline{D}$、$ABCD$，其 $m_0=0000$，$m_1=0001$，$m_2=0010$，$m_3=0011$，$m_4=0100$，$m_5=0101$，$m_6=0110$，$m_7=0111$。$m_8=1000$，$m_9=1001$，$m_{10}=1010$，$m_{11}=1011$，$m_{12}=1100$，$m_{13}=1101$，$m_{14}=1110$，$m_{15}=1111$。

可见，n 变量最多可构成的最小项数是 2^n 个。而且：

① 每个最小项都是各变量相“与”构成的，即 n 个变量的最小项含有 n 个因子。

② 每个变量都以原变量或反变量的形式出现一次，且仅出现一次。

2．最小项的性质

最小项具备下列性质：

① 对于任意一个最小项，只有一组变量取值可使它的值为 1，而变量取其余各组值时，该最小项均为 0。

② 任意两个不同的最小项之积恒为 0。

③ 变量全部最小项之和恒等于 1。

3．最小项表达式

任何一个逻辑函数都可以表示为最小项的标准形式——最小项相“或”表达式，最小项标准表达式的形式是唯一的。例如两变量的最小项标准表达式为：

$$F(A, B)= \overline{A}\,\overline{B}+\overline{A}B+A\overline{B}+AB$$

三变量的最小项标准表达式为：

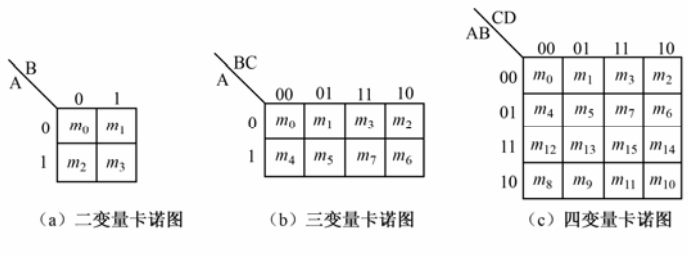
$$F(A,B,C)= \overline{A}\,\overline{B}\,\overline{C}+\overline{A}\,\overline{B}C+\overline{A}B\overline{C}+\overline{A}BC+A\overline{B}\,\overline{C}+A\overline{B}C+AB\overline{C}+ABC$$

1.3.3　卡诺图表示法

1．卡诺图

卡诺图是一种平面方格阵列图，它将最小项按相邻原则排列到小方格内。卡诺图的画图规则：任意两个几何位置相邻的最小项之间，只允许有一个变量的取值不同。

根据画图规则，图 1.7 中分别画出了两个、三个和 4 个变量的卡诺图。卡诺图中的“0”表示对应逻辑变量的反变量（带有非号的逻辑变量），“1”表示原变量。



（a）二变量卡诺图　（b）三变量卡诺图　（c）四变量卡诺图

图 1.7　两个、三个和 4 个变量的卡诺图

由图 1.7 中不难看出，相邻行（列）之间的变量组合中，仅有一个变量不同，同一行（列）两端的小方格中，也是仅有一个变量不同，即同一行（列）两端的小方格具有几何位置相邻的特点。同一行（列）变量组合的排列顺序为 00→01→11→10。

2．用卡诺图表示逻辑函数

用卡诺图表示逻辑函数时，将函数中出现的最小项，在对应卡诺图方格中填入 1，没有的项填 0（或不填），所得图形即为该函数的卡诺图。

【例 1.8】画出逻辑函数 $F= AB+A\overline{C}+A\overline{B}\,\overline{C}$ 的卡诺图。

【解】此例题为三个变量的逻辑函数，其卡诺图如图 1.8 所示。

【例 1.9】画出逻辑函数 $F=\sum m$（0，3，4，6，7，12，14，15）的卡诺图。

【解】该逻辑函数式已直接给出包含的所有最小项，因此直接按照各最小项的位置在方格内填写“1”即可，如图 1.9 所示。

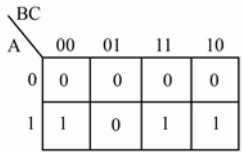


图 1.8　例 1.8 卡诺图

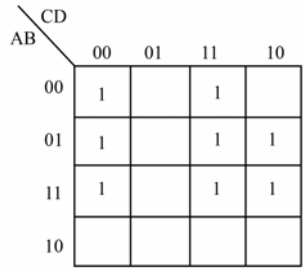


图 1.9　例 1.9 卡诺图

由于卡诺图的画法满足几何相邻原则，因此相邻小方格中的最小项仅有一个变量不同。根据公式 $AB+A\overline{B}=A$，可将两项合并为一项，同时消去一个互非的变量。

合并最小项的规律：处于同一行或同一列两端的两个相邻小方格，同时为“1”时可合并为一项，同时消去一个互非的变量；四个小方格组成一个大方块，或组成一行（列），或在相邻两行（列）的两端，或处于四角时，可以合并为一项，同时消去两个互非的变量；8 个小方格组成一个长方形，或处于两边的两行（列），可合并为一项，同时消去三个互非的变量；如果逻辑变量数为五个或五个以上时，在用卡诺图化简时，合并的小方格应组成正方形或长方形，同时满足相邻原则。

1.3.4　逻辑函数的卡诺图化简法

1．利用卡诺图化简逻辑函数式的步骤

① 根据变量的数目，画出相应方格数的卡诺图；

② 根据逻辑函数式，把所有为“1”的项画入卡诺图中；

③ 用卡诺圈把相邻最小项进行合并，合并时就遵照卡诺圈最大化原则；

④ 根据所圈的卡诺圈，消除圈内全部互非的变量，每一个圈作为一个“与”项，将各“与”项相或，即为化简后的最简与或表达式。

2．利用卡诺图化简逻辑函数的举例

【例 1.10】化简例 1.9 题中的逻辑函数 $F=\sum m$（0，3，4，6，7，12，14，15）。

【解】此逻辑函数的卡诺图填写在前面已经完成，利用卡诺图化简如图 1.10 所示。

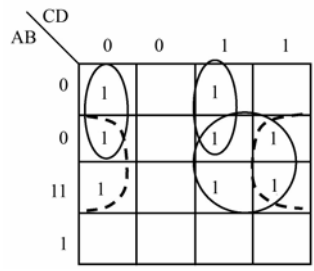


图 1.10　例 1.10 卡诺图

卡诺图中 m_0 和 m_4 几何相邻，可用一个卡诺圈将它们圈起来。由于此卡诺圈中只有变量 B 是互非的，所以 B 被消去，保留其余三个变量 $\overline{A}\,\overline{C}\,\overline{D}$；$m_3$ 和 m_7 几何相邻，也可用一个卡诺圈把它们圈起来。由于此卡诺圈中也是只有变量 B 互非，因此消去 B 后保留其余三个变量 $\overline{A}CD$。显然上述操作中告诉我们，卡诺圈圈住 $2^1=2$ 个最小项时，可消去 1 个互非的变量。卡诺图中有 m_6、m_7、m_{14} 和 m_{15} 几何相邻，因此可用一个卡诺圈把它们圈起来。此卡诺圈中变量 A 和 D 互非，因此消去 A 和 D 后保留其余两个变量 B 和 C；卡诺图中还有 m_4、m_{12}、m_6 和 m_{15} 几何相邻，可用两个半圈构成

一个卡诺圈将它们圈起来（卡诺图可视为球状的）。由于此卡诺圈中变量 A 和 C 是互非的，所以 A 和 C 被消去，保留其余两个变量 B 和 $\overline{D}$。上述操作过程告诉我们，卡诺圈圈住 $2^2=4$ 个最小项时，可消去 2 个互非的变量。以此类推，卡诺圈若圈住 $2^3=8$ 个最小项时，可消去 3 个互非的变量，……若圈住 2^n 个最小项时，就可消去 n 个互非的变量。

例 1.10 的化简结果为：$F=\overline{A}\,\overline{C}\,\overline{D}+\overline{A}CD+BC+B\overline{D}$

由于卡诺图化简法对变量在 4 个以下的逻辑函数式效果较好，变量太多时由于卡诺图的方格数太多，因此卡诺图化简的优越性也就体现不出了。因此，利用卡诺图化简逻辑函数，通常只用于不超过 4 个变量的逻辑函数式。

【例 1.11】用卡诺图化简 $F=A\overline{B}\,\overline{C}D+AB\overline{C}\,\overline{D}+A\overline{B}+A\overline{D}+A\overline{B}C$。

【解】将函数 $F=A\overline{B}\,\overline{C}D+AB\overline{C}\,\overline{D}+A\overline{B}+A\overline{D}+A\overline{B}C$ 填入卡诺图中：填写 $A\overline{B}\,\overline{C}D$ 时，找出 AB 为 10 的行和 CD 为 01 的列，在它们交叉点对应的小方格内填 1，填写 $AB\overline{C}\,\overline{D}$ 时，找出 AB 为 11 的行和 CD 为 00 的列，在它们交叉点对应的小方格内填 1，填写 $A\overline{B}$ 时找出 AB＝10 的行，每个小方格内填入 1；填写 $A\overline{D}$ 时找出 A＝1 的行和 D＝0 的列，在它们交叉点对应的小方格内填入 1；填写 $A\overline{B}C$ 时找出 AB＝10 的行，再找出 C＝1 的列，在它们交叉点对应的小方格内填入 1；然后按合并原则用卡诺圈圈项化简，如图 1.11 所示。化简后得：$F=A\overline{B}+A\overline{D}$。

3．带有约束项的逻辑函数的化简

如果一个有 n 个变量的逻辑函数，它的最小项数为 2^n 个，但在实际应用中可能仅用一部分，另外一部分禁止出现或者出现后对电路的逻辑状态无影响时，称这部分最小项为无关最小项，也称为约束项，用 d 表示。例如 8421BCD 码中的 1010～1111 即约束项。

由于无关最小项对最终的逻辑结果不产生影响，因此在化简的过程中，可以根据化简的需要将这些约束项看作 1 或者 0。约束项在卡诺图中填写时一般用×表示。

【例 1.12】用卡诺图化简 $F=\sum m$（1，3，5，7，9）$+\sum d$（10，11，12，13，14，15），其中$\sum d$（10，11，12，13，14，15）表示约束项。

【解】先作出此函数的卡诺图如图 1.12 所示。利用约束项化简时，根据需要将 m_{11}、m_{13}、m_{15} 对应的方格看作 1，m_{10}、m_{12}、m_{14} 对应的方格看作 0 时，只需圈一个卡诺圈即可。

合并后得最简函数 F＝D

利用约束项化简的过程中，应注意尽量不要将不需要的约束项也画入圈内，否则得不到函数的最简形式。

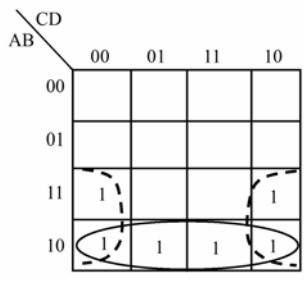


图 1.11　例 1.11 卡诺图

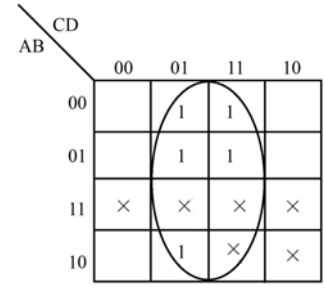


图 1.12　例 1.12 卡诺图

思考与问题

1. 逻辑代数的运算应遵循的规则有哪些？

2. 用代数法化简下列逻辑函数表达式

（1）$F=ABC+\overline{B}C$

（2）$F=A\overline{B}(A+B)$

（3）$F=AB+\overline{A}C+BC$

（4）$F=ABCD+\overline{B}C+\overline{A}D$

（5）$F=\overline{C}\,\overline{D}+\overline{C}D+C\overline{D}+CD$

（6）$F=\overline{A}BD+A\overline{B}C+A$

3. 你能说出两个变量、三个变量和四个变量的最小项个数吗？若有 n 个变量，其最小项数又为多少呢？

4. 将 $F=A\overline{B}+\overline{A}(B\overline{C}+\overline{B}C)$ 写成为最小项表达式。

5. 将 $F=AB\overline{C}+\overline{A}BC+AC$ 化为最简与或式。

6. 用卡诺图化简下列逻辑函数

（1）$F=A\overline{B}C+ABC\overline{D}+A(B+\overline{C})+BC$

（2）$F(A、B、C、D)=\sum m(0,1,4,5,6,12,13)$

7. 充分利用无关项化简下列逻辑函数

（1）$F(A,B,C,D)=\sum m(1,3,4,9,11,12,14,15)+d(5,6,7,13)$

（2）$F(A,B,C,D)=\sum m(0,\ 1,\ 4,\ 9,\ \ 12,\ 13)+\sum d(2,3,6,10,11,14)$



实践环节

1.1　Multisim 8.0 电路仿真软件学习

1.1.1　Multisim 8.0 电路仿真软件简介

利用计算机仿真软件在虚拟环境下“通电”工作，并用各种虚拟仪器进行测量，对电路进行分析的方法称为电路仿真。电路仿真技术可以实现电路原理图的输入、实际电路的仿真分析以及印制电路板制作的高度自动化，大大提高电子设计人员的工作效率，因此，学习和掌握电路仿真技术是电子工程技术人员的必需。本教材主要向学习者介绍由加拿大 Interactive Image Technologies 公司推出的 Multisim 8.0 电路仿真软件，简称 EWB8.0，该软件功能很强，我们仅针对数字电子技术课程的学习做简要的介绍。

1．Multisim 8.0 电路仿真软件的操作界面

Multisim 8.0 与其他应用程序一样，有一个标准的操作界面，主要由主菜单栏、系统工具栏、设计工具栏、主元件库、虚拟电路工作窗口、仿真开关、虚拟仪器库及使用元件清单 8 个基本部分组成，如图 1.13 所示。

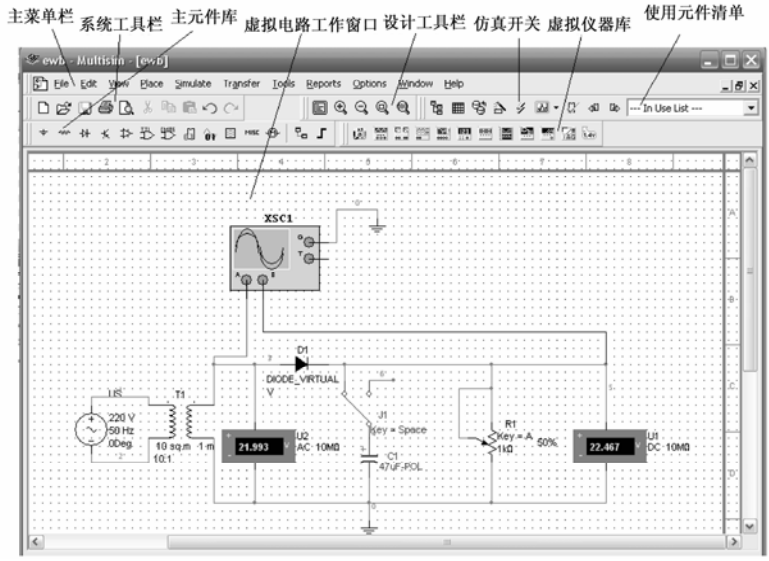


图 1.13　Multisim 8.0 操作界面

2．主菜单

Multisim 8.0 的主菜单如图 1.14 所示。

主菜单条上有 11 项：File（文件）、Edit（编辑）、View（视图）、Place（放置元件）、Simulate（仿真）、Transfer（传递）、Tools（工具）、Reports（报告）Options（选择）、Window（窗口）、Help（帮助）。每一项都包含一些命令和选项，其中文件和编辑两个菜单功能与 Word 类似，其他菜单均为 EWB 的功能。主菜单的下拉菜单中，有许多常用功能都设置有快捷方式放在界面上，例如设计工具、元件库、虚拟仪器仪表库、运行开关等。



图 1.14　主菜单

3．系统工具栏

Multisim 8.0 的系统工具栏和 Windows 中 Word 的系统工具栏相同，如图 1.15 所示。

4．设计工具栏

设计工具栏如图 1.16 所示。



图 1.15　系统工具栏

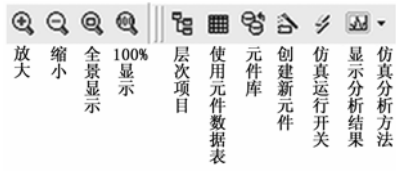


图 1.16　设计工具栏快捷键

5．主元件库

图 1.17 所示主元件库包括 12 组，每个组包括若干个系列。有的系列是实际元件，这些实

际元件给出了生产厂家的实际参数，这些参数是不能修改的，例如实际电阻给出了电阻值、公差、额定功耗、封装形式等详细参数；有的系列是虚拟元件，虚拟元件的背景为绿色。虚拟元件通常只给出几个主要参数，这些参数可以由用户任意设定。

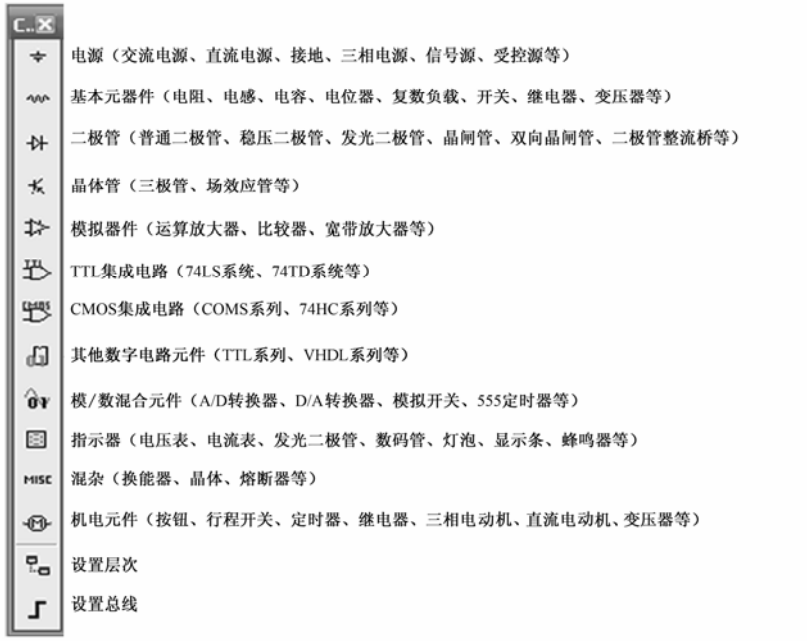


图 1.17　主元件库

（1）电源系列：如果单击窗口上主元件库的电源系列图标，就可以出现如图 1.18 所示的菜单界面。

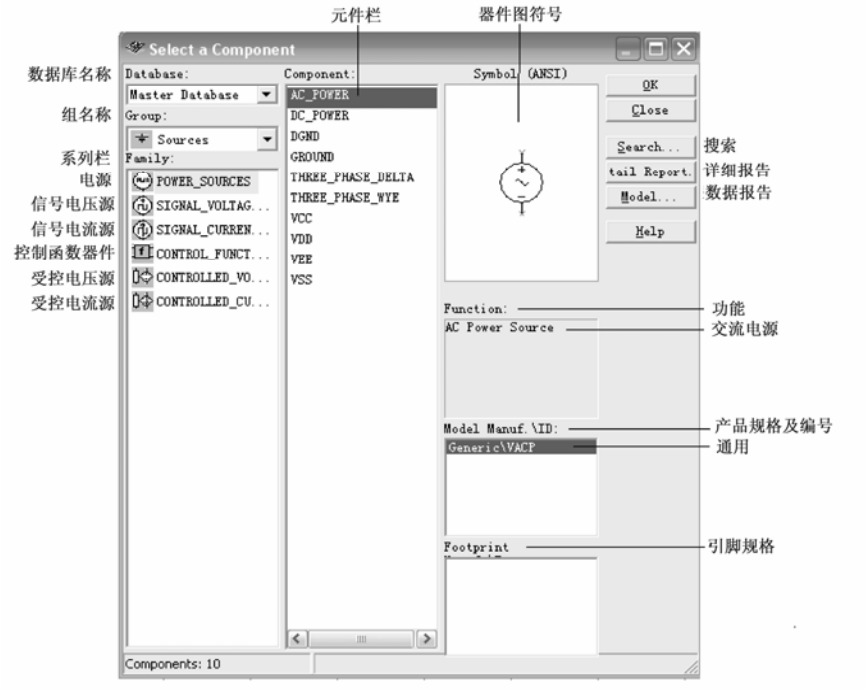


图 1.18　主元件库中的电源系列

（2）基本元器件系列（如图 1.19 所示）：

（3）二极管系列（如图 1.20 所示）：



图 1.19　基本元器件系列



图 1.20　二极管系列

（4）三极管系列（如图 1.21 所示）：



图 1.21　三极管系列

（5）模拟器件系列如图 1.22 所示。

（6）TTL 集成电路系列如图 1.23 所示。

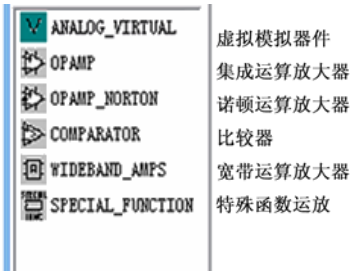


图 1.22　模拟器件系列

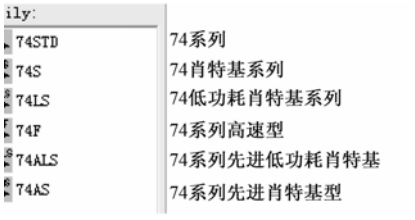


图 1.23　TTL 集成电路系列

（7）CMOS 集成电路系列如图 1.24 所示。

（8）其他数字元件如图 1.25 所示。



图 1.24　CMOS 集成电路系列

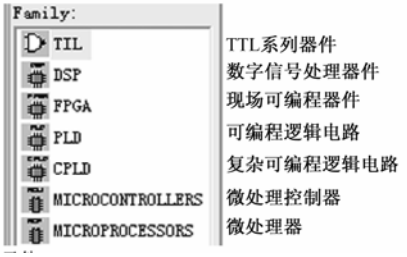


图 1.25　其他数字元件

（9）模数混合元件如图 1.26 所示。

（10）指示器如图 1.27 所示。

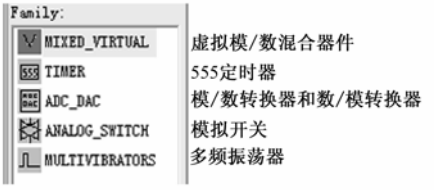


图 1.26　模/数混合元件



图 1.27　指示器

（11）混杂元件如图 1.28 所示。

（12）机电元件如图 1.29 所示。



图 1.28　混杂元件



图 1.29　机电元件

6．虚拟仪器库

Multisim 8.0 的虚拟仪器库共有 11 类虚拟仪器，各种仪器仪表的功能如图 1.30 所示。

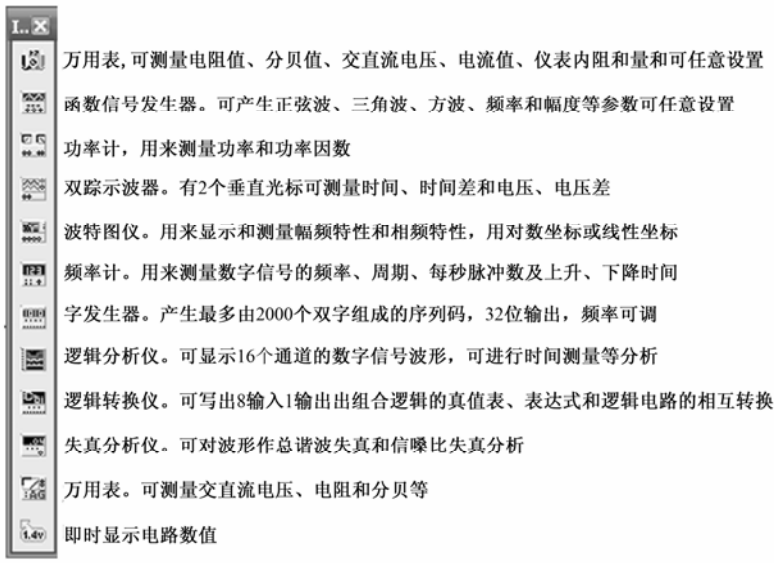


图 1.30　虚拟仪器库及其仪器功能简介

如果开始打开软件时虚拟仪器库不在桌面，可以单击操作界面上方的空白处，即可出现一个仪器库单。当我们选择其中的“Instruments”时，就可把常用仪器库调出在桌面上。同样，当我们建立电路需要某种仪器时，只需用鼠标左键单击虚拟仪器库中相应的仪器图标，然后拖放到工作区合适的位置。在 EWB 电路仿真软件中，虚拟仪器的使用方法基本上与实际仪器仪

表类似，连接虚拟电路时，其输入和输出端子与实际电路的连接方法相同。

7．可修改参数的常用器件库

与虚拟仪器库调出方法类同，只要用鼠标右键单击工作窗口上方的空白处，就可在出现的器件库选择菜单中选择创建电路所需要的元器件库标条。例如选中“Basic”，即可把图 1.31 所示元器件库调出在桌面上。



图 1.31　可修改参数的常用元器件库

图中可修改参数的元器件是蓝色的。

如果用鼠标右键在操作界面上方空白处单击后，在出现的选择菜单中选中“Main”，就可把图 1.32 所示的设计工具条调出来放在桌面上。

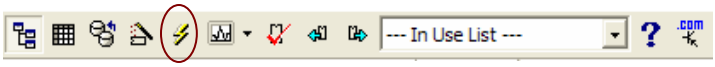


图 1.32　设计工具条

图中圈画的图标为电路仿真开关，用鼠标左键单击该图标即可执行电路仿真。

1.1.2　电路的建立与仿真分析法

1．建立电路的方法

建立电路有两种方法，一是采用主菜单中的放置元件（Place）命令，二是采用快捷方式，通常选用第二种方法。

（1）调用元件和设置参数

若用主元件库，用鼠标左键单击相应元件图标，就可在电路窗口中出现一个菜单，选择其中需要的元件，单击“OK”即可拖拽在电路窗口建立一个元件。若用虚拟元件库，可用鼠标左键直接单击相应元件图标，即可在电路窗口建立一个元件。

元件调出及建立后，用鼠标左键按住可拖曳元件至合适位置，元件上的参数字符也可用鼠标左键按住拖曳至任意位置。若要显示元件参数，则可用鼠标左键双击元件，即可出现一个参数对话框，可以在对话框中修改元件参数（实际元件的参数一般不可修改）。若用鼠标右键单击元件图，即可显示一个可以对元件进行复制、剪切、旋转、改变颜色、改变广西字型尺寸以及编辑符号的对话框。

（2）调用虚拟仪器及设置

在仪器库中用左键单击所需仪器按键后，就可以拖拽该仪器至操作窗口合适的位置。左键双击该仪器，会出现一个仪器的面板图，在仪器面板图上用户可以选择测量项目和设置量程等。用右键单击仪器图，则显示一个可以对仪器图进行复制、剪切、旋转、改变颜色、改变字型和尺寸的对话框。

（3）连线

自动连线时，用左键单击要连线的其中一个端子，然后鼠标移至连线的另一个端子，单击左键即可完成两个端子之间的连线；手动连线时，先单击连线中的一个端子，然后按住左键，

沿着需要的连线路径走，在拐弯处单击左键，继续按住左键前进，直到连接至另一个端子，再单击左键结束。用右键双击连线，出现一个对话框，如图 1.33 所示。在此对话框中可以命令和修改连线的编号。右键单击连线，在弹出的菜单上可以对连线进行删除或者改变连线颜色。

2．仿真电路的方法

仿真电路时，用左键单击窗口界面上方的仿真开关，左键双击仪器，就可以显示仪器面板图，从仪器面板图上可以观察动态波形或读数。在仿真运行时电路参数不可改变，若需改变电路参数时，可再单击一次仿真开关则停止仿真，之后再对参数进行修改。

3．仿真分析的方法

Multisim 8.0 提供的分析方法有 15 种，左键单击设计工具栏中的分析方法图标，即可显示分析方法菜单如图 1.34 所示。



图 1.33　设置和改变连线编号对话框



图 1.34　分析方法菜单

在电路仿真中将用到直流分析法、交流分析法及傅里叶分析法等。

1.1.3　电路仿真练习

反相器（非门）

练习步骤：

① 按照图 1.35 进行电路连线，创建和连接虚拟电路。

② 对器件和仪器进行赋值。

③ 改变滑动变阻器 *R*（总阻值为 1kΩ）的数值，观察电压计的读数。观察灯变化时电阻 *R* 的阻值为多少，电压计的读数为多少，并记录这些值。

④ 分析反相器的输入输出特性，并画出输入输出曲线图（高低电平值）。

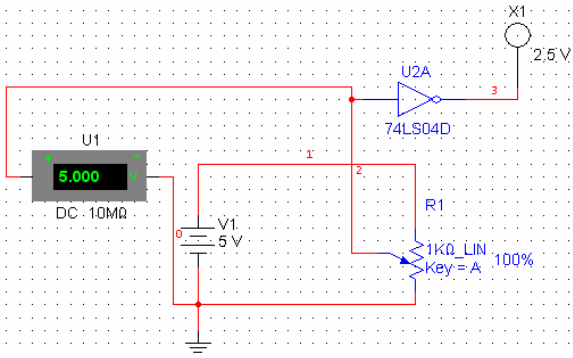


图 1.35　反相器电路仿真

电路图中的可变电阻从可修改元器件库中选择，根据需要进行赋值。图标上的“Key＝A”表示其数值百分比变换时的操作键。若要改变电路的电阻 *R* 值，选中图标上的百分比，单击“A”可按百分比增加，单击“shift＋A”则按百分比减小。

第 1 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．由二值变量所构成的因果关系称为_____关系。能够反映和处理_____关系的数学工具称为逻辑代数。

2．在正逻辑的约定下，“1”表示_____电平，“0”表示_____ 电平。

3．数字电路中，输入信号和输出信号之间的关系是_____关系，所以数字电路也称为_____电路。在_____关系中，最基本的关系是_____、_____和_____。

4．用来表示各种计数制数码个数的数称为_____，同一数码在不同数位所代表的_____不同。十进制计数各位的_____是 10，_____是 10 的幂。

5．_____BCD 码和_____码是有权码；_____码和_____码是无权码。

6．_____是表示数值大小的各种方法的统称。一般都是按照进位方式来实现计数的，简称为_____制。任意进制数转换为十进制数时，均采用_____的方法。

7．十进制整数转换成二进制时采用_____法；十进制小数转换成二进制时采用_____法。

8．十进制数转换为八进制和十六进制时，应先转换成____制，然后再根据转换的____数，按照_____一组转换成八进制；按_____一组转换成十六进制。

9．逻辑代数的基本定律有_____律、_____律、_____律、_____律和_____律。

10．最简与或表达式是指在表达式中_____最少，且_____也最少。

11．卡诺图是将代表_____的小方格按_____原则排列而构成的方块图。卡诺图的画图规则：任意两个几何位置相邻的_____之间，只允许_____的取值不同。

12．在化简的过程中，约束项可以根据需要看作_____或_____。

二、判断正误题（每小题 1 分，共 10 分）

1．奇偶校验码是最基本的检错码，用来使用 PCM 方法传送讯号时避免出错。（　　）

2．异或函数与同或函数在逻辑上互为反函数。（　　）

3．8421BCD 码、2421BCD 码和余 3 码都属于有权码。（　　）

4．二进制计数中各位的基是 2，不同数位的权是 2 的幂。（　　）

5．每个最小项都是各变量相“与”构成的，即 n 个变量的最小项含有 n 个因子。（　　）

6．因为逻辑表达式 A＋B＋AB＝A＋B 成立，所以 AB＝0 成立。（　　）

7．逻辑函数 $F=A\overline{B}+\overline{A}B+\overline{B}C+B\overline{C}$ 已是最简与或表达式。（　　）

8．利用约束项化简时，将全部约束项都画入卡诺图，可得到函数的最简形式。（　　）

9．卡诺图中为 1 的方格均表示逻辑函数的一个最小项。（　　）

10．标准与或式和最简与或式的概念相同。（　　）

三、选择题（每小题 2 分，共 20 分）

1．逻辑函数中的逻辑“与”和它对应的逻辑代数运算关系为（　　）。

A．逻辑加　　B．逻辑乘　　C．逻辑非

2．十进制数 100 对应的二进制数为（　　）。

A．1011110　　B．1100010　　C．1100100　　D．11000100

3．和逻辑式 $\overline{AB}$ 表示不同逻辑关系的逻辑式是（　　）。

A．$\overline{A}+\overline{B}$　　B．$\overline{A}\cdot\overline{B}$　　C．$\overline{A}\cdot B+\overline{B}$　　D．$A\overline{B}+\overline{A}$

4．数字电路中机器识别和常用的数制是（　　）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

5．以下表达式中符合逻辑运算法则的是（　　）。

A．$C\cdot C=C^2$　　B．1＋1＝10　　C．0＜1　　D．A＋1＝1

6．A＋BC＝（　　）。

A．A＋B　　B．A＋C

C．（A＋B）（A＋C）　　D．B＋C

7．在（　　）输入情况下，“与非”运算的结果是逻辑 0。

A．全部输入是 0　　B．任一输入是 0

C．仅一输入是 0　　D．全部输入是 1

8．逻辑变量的取值 1 和 0 可以表示（　　）。

A．开关的闭合、断开　　B．电位的高、低

C．真与假　　D．电流的有、无

9．求一个逻辑函数 F 的对偶式，可将 F 中的（　　）。

A．“ • ”换成“＋”，“＋”换成“ • ”

B．原变量换成反变量，反变量换成原变量

C．变量不变

D．常数中“0”换成“1”，“1”换成“0”

10．在（　　）输入情况下，“或非”运算的结果是逻辑 0。

A．全部输入是 0　　B．全部输入是 1

C．任一输入为 0，其他输入为 1　　D．任一输入为 1

四、简述题（每小题 4 分，共 16 分）

1．逻辑代数与普通代数有何异同？

2．什么是最小项？最小项具有什么性质？

3．在我们所介绍代码范围内，哪些属于有权码？哪些属于无权码？

4．试述卡诺图化简逻辑函数的原则和步骤。

五．计算题（共 34 分）

1．用代数法化简下列逻辑函数（12 分）

① $F=(A+\overline{B})C+\overline{A}B$

② $F=A\overline{C}+\overline{A}B+BC$

③ $F=\overline{A}\,\overline{B}C+\overline{A}BC+AB\overline{C}+\overline{A}\,\overline{B}\,\overline{C}+ABC$

④ $F=A\overline{B}+B\overline{C}D+\overline{C}\;\overline{D}+AB\overline{C}+A\overline{C}D$

2．用卡诺图化简下列逻辑函数（8 分）

$F=\sum m(3,4,5,10,11,12)+\sum d(1,2,13)$

$F(ABCD)=\sum m(1,2,3,5,6,7,8,9,12,13)$

$F=(A、B、C、D)=\sum m(0,1,6,7,8,12,14,15)\sum$

$F=(A、B、C、D)=\sum m(0,1,5,7,8,14,15)+\sum d(3,9,12)$

3．完成下列数制之间的转换（8 分）

① $[365]_{10}=[\quad]_2=[\quad]_8=[\quad]_{16}$

② $[11101.1]_2=[\quad]_{10}=[\quad]_8=[\quad]_{16}$

③ $[57.625]_{10}=[\quad]_8=[\quad]_{16}$

4．完成下列数制与码制之间的转换（6 分）

① $[47]_{10}=[\quad]_{余3码}=[\quad]_{8421码}$

② $[3D]_{16}=[\quad]_{格雷码}$

③ $[25.25]_{10}=[\quad]_{8421BCD}=[\quad]_{2421BCD}=[\quad]_8$

第 2 单元　门电路和集成逻辑门

任务导入

当今社会是数字化的社会，数字技术、数字器件得到了十分迅速的发展，数字电路本身也在不断地进行更新换代，由早期的电子管、晶体管、小中规模集成电路、发展到大规模、超大规模集成电路（VLSIC，几万门以上）以及许多具有特定功能的专用集成电路。数字 IC 芯片中集成的电路可谓越来越复杂，功能越来越强大，数字电路的分析也越来越困难。但是，电路再复杂、功能再强大的集成电路，究其内部电路原理，都离不开基本的逻辑门。图 2.1 所示为常用集成逻辑门芯片。



图 2.1　集成逻辑门芯片

集成逻辑门在实用数字电子技术中，是构成组合逻辑电路的基本单元。如图 2.2 所示的数字电子钟电路中，我们就可看到其内部包含有大量的集成逻辑门或者由集成逻辑门构成的其他器件。



图 2.2　数字电子钟集成电路

图 2.3 所示是一个数字密码锁的原理电路图。

在这个密码锁的原理电路图中，不但含有红色虚线框内的四个逻辑门，同时其他器件也大都是由逻辑门作为基本部分构成的。

实用中还有多数表决器电路、抢答器电路、判奇/判偶电路、频率计电路等，这些数字器件的电路中无不包含大量的逻辑门。因此，学习门电路和集成逻辑门，对每一个从事电子技术

的工程技术人员来讲是十分必要的。只有充分了解各种门电路的功能原理，掌握了集成逻辑门的使用方法和外部连线技能，才能够在实际应用电路中正确选择、检测和连接符合电路功能要求的逻辑门。

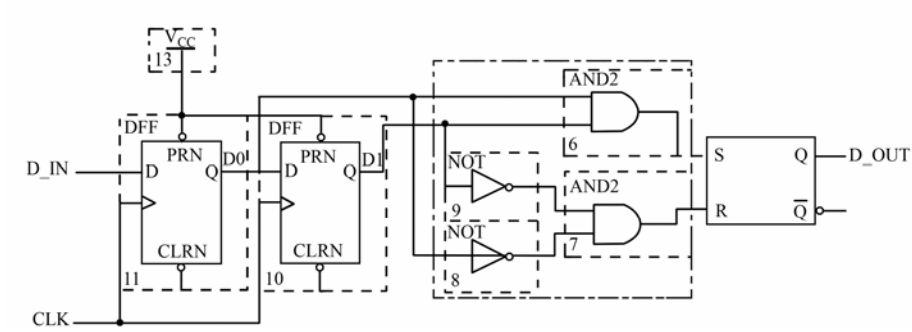


图 2.3　数字密码锁原理电路图

本单元的学习任务如下：

（1）半导体二极管和三极管开关状态下构成的逻辑门电路及其外特性。

（2）集成 TTL 集成逻辑门的外特性及其应用。

（3）CMOS 集成逻辑门的外特性及其应用。

（4）常用集成逻辑门的特点和使用场合。

通过本单元的学习，应了解三种基本门电路的结构组成，熟悉二极管、三极管的开关特性，理解三种基本门电路的工作原理，掌握它们的逻辑功能，具有利用三种基本逻辑门组合成不同复合逻辑门电路的能力，掌握集成逻辑门的外部特性，熟悉 TTL 集成与非门 74LS00、74LS20 的引脚排列及功能测试方法。

理论知识

2.1　半导体二极管和三极管的开关特性

由半导体二极管、三极管构成的电子开关是由信号控制的，特点是体种小、开关转换速度快、易于控制和使用寿命长。这些优点使得电子开关广泛应用于电子设备中，尤其在数字电路的接通、断开和转换中起着重要的作用，成为构成数字电路不可缺少的功能器件。

2.1.1　半导体二极管的开关特性

由于半导体二极管具有“单向导电”特性，即在正向偏压时 PN 结导通，导通状态下二极管的电阻很小，约为几十至几百欧姆；在反向偏压下，二极管呈截止状态，截止时二极管的电阻很大，一般硅二极管在 10MΩ以上，锗管也有几十千欧至几百千欧。利用这一特性，在数字电路中，二极管可作为一个理想的电子开关，在电路中起控制电流接通或关断的作用。

1．静态特性

二极管的静态特性是指二极管在导通和截止两种稳定状态下的特性。

为了便于分析，二极管的导通电压取单一值，即硅管 0.7V，锗管 0.3V。

（1）正向特性

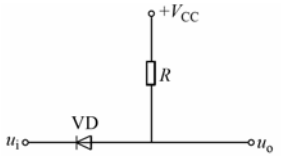


图 2.4　二极管开关电路

通常把二极管的导通压降称为门槛电压，用 U_T 表示。设在如图 2.4 所示的二极管开关电路中，如果电路的输入电压为低电平，且 $V_{CC}-u_i$ 大于门槛电压 U_T 时，二极管 VD 正向偏置而呈导通状态，导通时二极管电阻很小，因此正向电流急剧增长，此时的二极管相当于一个接通的电子开关。由于正向导通时可能因流过的电流过大而导致二极管烧坏，所以，组成实际电路时通常要串接一只电阻 R，以限制二极管的正向电流。

（2）反向特性

当二极管开关电路的输入电压为高电平，即 $V_{CC}-u_i$ 小于门槛电压 U_T 时，二极管 VD 反向偏置而呈截止状态，截止状态下二极管呈现很大的电阻，正向电流基本不能通过而约等于 0，这时电路中的电阻 R 上基本无电流，输出电压 $u_o \approx +V_{CC}$，为高电平“1”。

在实际工程中，经常要根据各种情况对二极管做不同的等效电路，通常都要在二极管开关电路中串联一个限流电阻 R，以免当正向电流突然增大时造成二极管烧损。

2．动态特性

二极管的动态特性是指二极管在导通与截止两种状态转换过程中的特性，它表现在完成两种状态之间的转换需要一定的时间。

（1）开通时间

二极管从截止态到导通态所需的时间称为开通时间。当二极管正偏导通时，其 PN 结在正向电压作用下空间电荷区迅速变窄，正向电阻很小，因此在导通过程中及导通以后，二极管的正向压降都很小，电路中的正向电流几乎是立即达到了最大值。由于二极管的开通时间极短，因此对二极管的开关速度影响甚小，一般可忽略不计。

（2）反向恢复时间

二极管从正向导通到反向截止所需要的时间称为反向恢复时间。当二极管突然由正向偏置变为反向偏置时，PN 结两边存储的载流子在反向电压作用下朝各自原来的方向运动，即 P 区中的电子被拉回 N 区，N 区中的空穴被拉回 P 区，形成反向漂移电流，开始时空间电荷区依然很窄，二极管电阻很小，所以反向电流很大；经过一定的时间 t_S 后，PN 结两侧存储的载流子显著减少，空间电荷区逐渐变宽，反向电流慢慢减小；直至经过时间 t_t 后，反向电流减小至反向饱和电流，二极管截止。其动态特性时的电压、电流波形如图 2.5 所示。

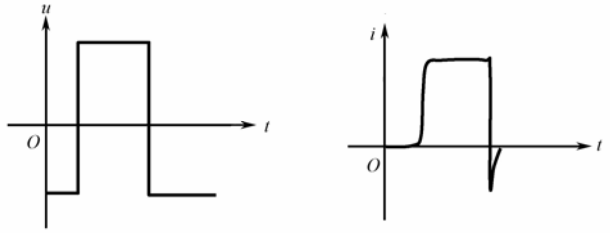


图 2.5　二极管的动态波形

（3）开关时间

开通时间和反向恢复时间两者之和称为二极管的开关时间。因反向恢复时间远大于正向导通所需要的时间，故在开关二极管的使用参数中，往往只给出反向恢复时间，以此来作为二极

管的开关时间。

二极管的反向恢复时间限制了二极管的开关速度。但是在实际应用中，开关二极管的开关速度是相当快的，硅开关二极管的反向恢复时间只有几纳秒，即使是锗开关二极管，也不过几百纳秒。

2.1.2 半导体三极管的开关特性

在数字电路中，三极管作为开关主要工作于截止和饱和两种状态，而放大状态是截止和饱和之间的过渡状态。

1．双极型三极管的开关特性

由模拟电子技术的学习我们已经了解到三极管的内部结构及输出特性曲线上的三个工作区，若要使三极管工作在饱和区，发射结和集电结都要正向偏置；若使三极管可靠截止，则发射结和集电结均要工作在反向偏压下。如图 2.6 所示三极管开关电路，当三极管输入电压较大时，基极电阻 R_B 上通过较大的电流，使得三极管导通并且饱和，此时，集电极电阻 R_C 上通过的电流 i_C 很大，其压降约等于电源＋V_{CC}，因此电路输出 $u_o \approx 0$，为低电平；当三极管输入电压较小，且使三极管的发射结反偏时，三极管截止，截止状态下集电极电阻 R_C 上电流 i_C 约等于 0，其压降也约等于 0，因此输出电压 $u_o \approx +V_{CC}$，为高电平。

由以上分析可得，双极型三极管作为开关使用时，电路的构成是共发射极组态。当三极管处于饱和状态时，相当于一个闭合的开关，输入可通过三极管，由于共发射组态电路的输出、输入反相关系，输入为高电平时，输出为低电平；当三极管处截止状态时，相当一个断开的开关，输入信号无法通过，三极管输入为 0，而开关电路的输出由于反相原因而呈高电平。

2．MOS管的开关特性

MOS 管是一种集成度高、功耗低、工艺简单的半导体器件。与双极型三极管相对应，MOS 管也有三个电极：栅极 G、源极 S 和漏极 D。MOS 管的一个重要参数是开启电压 U_T，当图 2.7 所示电路中的输入电压 U_{GS} 小于开启电压 U_T 时，由于漏源间导电沟道尚未形成，MOS 管截止，电路中无电流，此时 MOS 管开关电路处于“关态”，开关断开时，由于漏极电流 $i_D=0$，输出电压 $U_{DS} \approx V_{DD}$，为高电平；当输入电压 $U_{GS} > U_T$ 时，MOS 管的漏源间形成导电沟道，处于导通状态并且很快饱和，开关电路处于“开态”，开关电路呈“开态”时，漏极电流迅速增大且很快饱和，因此漏极电阻上压降约等于漏极电源 U_{DD}，使输出电压 $U_{DS} \approx 0$，为低电平。

由上述分析过程可以看出，MOS 管所构成的共源组态电路和双极型三极管构成的共射组态电路相似，输出对输入都具有反相作用，因此在数字开关电路中又常常把上述两种电路称为反相器。

值得注意的是：MOS 管随着 U_{GS} 的增大，漏极和源极之间的电阻 R_{DS} 由大变小，漏极电流逐渐增加，输出电压不断下降，MOS 管的工作状态从截止区经过恒流区最后进入可变电阻区。在可变电阻区，R_{DS} 的大小受输入电压 U_{GS} 的控制。也就是说，MOS 管即便在导通时，其内阻 R_{DS} 至少也要有 1kΩ左右，其阻值有时是不能忽略不计的。

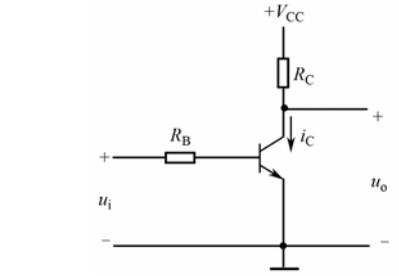


图 2.6　三极管基本开关电路

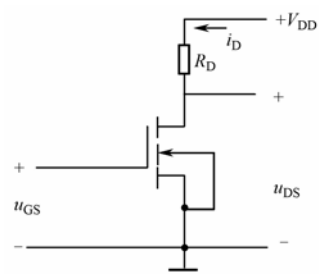


图 2.7　MOS 管基本开关电路

另外，在动态工作情况下，发生高、低电平跳变时，MOS 管的漏极电流变化和输出电压的变化都将滞后于输入电压的变化，因此，由 MOS 管构成的反相器，处理信号的速度要比双极型三极管反相器慢。

本节内容告诉我们，只要选择合理的外部电路参数，就可以使二极管、双极型三极管和 MOS 管工作在“开”态或“关”态，在电路中起开关作用。

思考与问题

1．利用二极管的开关特性，用两个二极管和一个电阻构成一个两输入的“与”逻辑电路。

2．利用双极型三极管的开关特性，你能构成一个“非”逻辑电路吗？

3．三极管构成的反相器，必须是何种组态的电路？

2.2　分立元件的基本逻辑门

2.2.1　“与”门

当门电路用二极管、晶体管和电阻等分立元件构成时，称为分立元件门电路。目前电子工业的飞速发展和集成电路的日新月异，分立元件门电路几乎都被集成门电路所取代。但是，为了更好地理解和掌握基本逻辑门电路的工作原理和逻辑功能，我们仍用分立元件的门电路剖析基本逻辑门的电路组成及逻辑功能。

1．“与”门电路的构成

图 2.8（a）是“与”门原理电路，由三个二极管（分析时可理想化，将二极管正向导通时视为短路，反向阻断时视为开路）和一个限流电阻构成。电路中的 A、B、C 是“与”门电路的三个信号输入端，输入信号只有高电平 3V 和低电平 0V 两种取值，“与”门电路中的电源 V_{CC} 取＋5V。

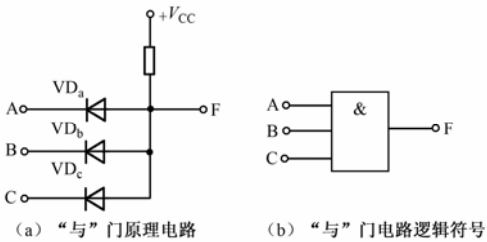


图 2.8　“与”门原理电路及其逻辑符号

实际问题分析中，各种逻辑门的功能都是确定和已知的。因此，数字电路图中通常不用原理电路表示逻辑门，而是采用逻辑图符号来表示相应的逻辑门，如图（b）所示的“与”门电路的逻辑图符号代替了“与”门原理电路。

2.“与”门电路的工作原理

“门”就是一种开关，只有当满足一定的条件时，“门”才能打开，否则“门”就关闭。因此，门电路实际上就是逻辑开关电路。

“与”门工作原理：

① 当输入端中至少有一个为低电平“0”时，对于共阳极接法的二极管，由于 V_{CC} 高于输入端电位，必然有二极管导通。设 A 端为 0V 时，二极管 VD_a 阴极电位最低，因此 VD_a 首先快速导通，使输出端 F 点的电位钳位至低电平“0”，则其他二极管无论是高电平还是低电平，相对于 F 点都将处于反偏的截止状态。这一结果符合“与”逻辑真值表中的“输入有 0 时输出为 0”的与逻辑关系。

② 若电路中所有输入端的电位全部为高电平 3V 时，各二极管相当于并联，由于正偏二极管全部导通，输出电位 F 被钳位在高电平 3V 上，这一结果和与逻辑真值表中的“输入全 1 时输出为 1”的与逻辑相符。

显然，“与”门电路的逻辑功能可表述为：“有 0 出 0，全 1 出 1”。一个“与”门，其输入端至少有两个，但输出端只能是一个。

2.2.2 “或”门

1.“或”门电路的构成

图 2.9（a）是“或”门原理电路，和“与”门电路一样，电路中的二极管均为理想二极管，A、B、C 三个输入端信号只有高电平 3V 和低电平 0V 两种取值，限流电阻仍是接在电源与输出端之间。和“与”门电路不同的是，三个二极管成共阴极接法，电源 V_{CC}＝－5V。

图 2.9（b）图所示为“或”门电路的逻辑图符号。

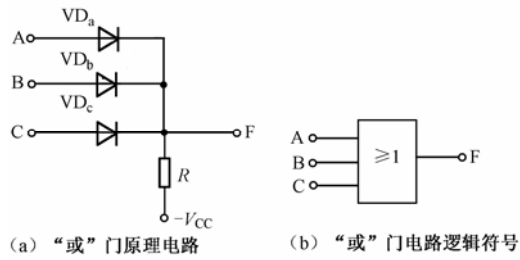


图 2.9 “或”门原理电路及其逻辑符号

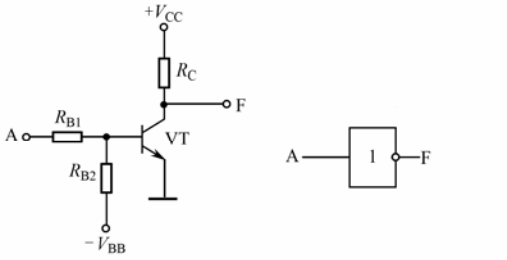
2.“或”门电路的工作原理

“或”门工作原理分析：

① 当输入端中至少有一个为高电平时，对于共阴极接法的二极管，由于电源电位低于输入端电位，必然有二极管导通。当任一输入端为 3V 时，该端子上连接的二极管就会因其阳极电位最高而迅速导通，致使输出端 F 点的电位被钳位至高电平 3V，其他二极管由于反偏而处于截止状态，从而实现了**或**逻辑真值表中的“输入有 1 时，输出为 1”的逻辑功能。

② 当输入端均为低电平 0V 时，电路中的所有二极管相当于并联而全部导通，输出端 F 点的电位被钳位至低电平 0V，实现了真值表中的“输入全部是 0 时，输出为 0”的**或**逻辑功能。

“或”门的逻辑功能可表述为：“有 1 出 1，全 0 出 0”。一个“或”门的输入端至少有两个，输出端只有一个。



（a）“非”门原理电路　　（b）“非”门电路逻辑符号

图 2.10　“非”门原理电路及其逻辑符号

2.2.3　“非”门

1．“非”门电路的构成

图 2.10 所示的由双极型三极管构成的反相器电路实际上就是一个“非”门。A 是“非”门电路的输入端，F 是“非”门电路的输出端。图（b）所示为相应“非”门的逻辑图符号。

2．“非”门电路的工作原理

设图中输入信号的两种取值分别为低电平 0V 和高电平 3V。

当输入端 A 为高电平 3V 时，三极管饱和导通，$i_C R_C \approx +V_{CC}$，输出端 F 点的电位约等于“0”V，实现了真值表中的“输入为 1 时，输出为 0”的**非**逻辑功能。

当输入端 A 为低电平 0V 时，三极管截止，输出端 F 点的电位约等于$+V_{CC}$，实现了“输入为 0 时，输出为 1”的**非**逻辑功能。

显然，反相器的输入和输出关系取高电平为逻辑“1”，低电平为逻辑“0”时，即可得到和逻辑“非”真值表完全相同的功能。在“非”门的逻辑图符号中，方框图右边的小圆圈表示“非”的含义。一个“非”门只有一个输入端和一个输出端。

思考与问题

1．基本逻辑门有哪些？

2．你能迅速说出与门、或门和非门的逻辑功能吗？

3．试默画出三种基本逻辑门的图符号。

2.3　复合逻辑门

1．与非门

一个与门的输出端和一个非门的输入端连接，就构成了一个与非门。与非门在数字电子技术中应用最普遍，其逻辑功能可描述为：当输入端中有一个或一个以上输入低电平时，输出端为高电平；当输入端全部为高电平时，输出为低电平。显然，与非门是“与”逻辑的非运算，逻辑功能可概括为“有 0 出 1，全 1 出 0”。

与非门的逻辑图符号如图 2.11 所示。

2．或非门

一个或门的输出端和一个非门的输入端连接，即构成一个或非门。或非门的逻辑功能是：当输入端中有一个或一个以上输入高电平时，输出端为低电平；当输入端全部为低电平时，输出为高电平，逻辑功能的描述为“有 1 出 0，全 0 出 1”。

或非门的逻辑图符号如图 2.12 所示。

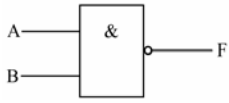


图 2.11　与非门逻辑图符号

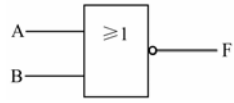


图 2.12　或非门逻辑图符号

3．与或非门

两个或两个以上的与门输出端分别和一个或门的输入端相连接，或门的输出端和一个非门的输入端连接，就构成了一个与或非门。与或非门的逻辑功能是：当各与门的输入端中都有一个或者一个以上输入为低电平时，输出端为高电平；当至少有一个与门的输入端全部为高电平时，输出为低电平。

与或非门的逻辑图符号如图 2.13 所示。

4．异或门

异或门是一种有两个输入端和一个输出端的门电路。其逻辑功能是：当两个输入端的电平相同时，输出端为低电平；当两个输入端的电平相异时，输出为高电平。这种逻辑功能可简述为“相异出 1，相同出 0”。

异或门的逻辑图符号如图 2.14 所示。

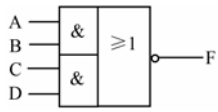


图 2.13　与或非门逻辑图符号

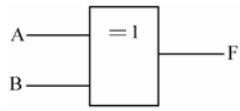


图 2.14　异或门逻辑图符号

5．同或门

同或门也是一种有两个输入端一个输出端的门电路。其逻辑功能是：当两个输入端的电平相同时，输出端为高电平；当两个输入端的电平相异时，输出为低电平。同或逻辑门显然是异或门的反，同或门的逻辑功能可简述为“相同出 1，相异出 0”。

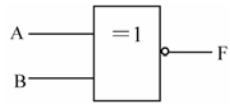


图 2.15　同或门逻辑图符号

同或门的逻辑图符号如图 2.15 所示。

思考与问题

1．你能说出常用复合门电路的种类吗？

2．同或门和异或门的功能是什么？两者有联系吗？

3．写出图 2.16 所示各电路的逻辑函数表达式。

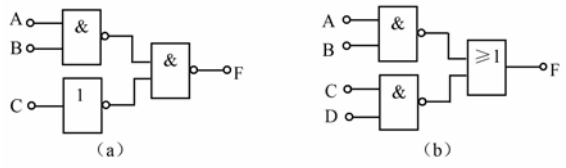


图 2.16　逻辑电路图

4．默画出各种复合门电路的逻辑图符号。

2.4　TTL集成逻辑门

前面介绍的分立元件逻辑门电路，其优点是结构简单、成本不高，但是存在严重的缺点：一是输出的高、低电平数值和输入的高、低电平数值不相等；二是带负载能力差，一般不能直接驱动负载电路，而且连线和焊点太多，造成电路体积的庞大，使得电路的可靠性变差。为了提高电路的带负载能力和工作可靠性，人们研制出了各种数字集成逻辑门。和分立元件的逻辑门电路相比，数字集成逻辑门电路成本更低、带负载能力很强，工作可靠性高、且便于安装调试。由于数字集成逻辑门只有电源、输入、输出、控制等引脚，因此只要外部电路连接正确，即可保证逻辑门工作的可靠性。目前实际应用中，一般都采用集成逻辑门，而分立元件的门电路只是偶尔作为集成门电路的部分电路。

集成逻辑门电路按元件类型的不同可分为双极型逻辑门（TTL 集成逻辑门）和单极型逻辑门（CMOS 集成逻辑门）两大类。

其中 TTL 是“晶体管－晶体管—逻辑电路”的简称。TTL 集成电路相继生产的产品有 74（标准）、74H（高速）、74S（肖特基）和 74LS（低功耗肖特基）4 个系列。其中 74LS 系列产品具有最佳的综合性能，是 TTL 集成电路的主流，也是应用最广泛的系列。

2.4.1　典型TTL与非门

在所有的集成电路中，与非门的应用最为普遍。

1．电路组成

典型的 TTL 与非门电路如图 2.17（a）所示，图（b）为它的逻辑符号。

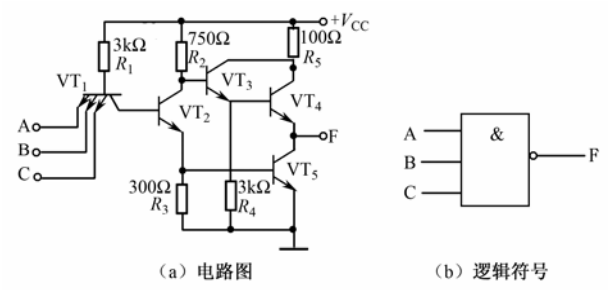


图 2.17　TTL 与非门

可以看出，TTL 与非门由以下三部分组成：

（1）输入级

由多发射极晶体管 VT_1 和电阻 R_1 组成。所谓多发射极晶体管，可看作是由多个晶体管的集电极和基极分别并接在一起，而发射极作为逻辑门的输入端。多个发射极的发射结可看作是多个钳位二极管，其作用是限制输入端可能出现的负极性干扰脉冲。VT_1 的引入，不但加快了晶体管 VT_2 储存电荷的消散，提高了 TTL 与非门的工作速度，而且实现了逻辑“与”功能。

（2）中间级

中间级又称为倒相极，由电阻 R_2，R_3 和三极管 VT_2 组成。中间级的作用是从 VT_2 的集电极和发射极同时输出两个相位相反的信号，作为输出极中三极管 VT_3 和 VT_5 的驱动信号，同时控制输出级的 VT_4、VT_5 管工作在截然相反的两个状态，以满足输出级互补工作的要求。三极管 VT_2 还可将前级电流放大以供给 VT_5 足够的基极电流。

（3）输出级

由晶体三极管 VT_3，VT_4 和 VT_5 和电阻 R_4、R_5 组成推拉式互补输出电路，这种输出级的连接形式又称为图腾结构。当 VT_5 导通时，VT_4 截止；VT_5 截止时，VT_4 导通。图腾结构的与非门无论是开门还是关门，总有一个管子处于截止状态，因此降低了静态损耗，而且推拉式输出级非常有利于增强电路的负载能力，还可提高电路的开关速度。

2．工作原理

① 当输入信号中至少有一个为低电平（0.3V）时，低电平所对应的 PN 结导通，VT_1 的基极电位被固定在 1V（0.3V＋0.7V）上，而由“地”经 VT_5 发射结→VT_2 发射结→VT_1 的集电极，显然 VT_1 的集电极电位为 0.7V＋0.7V＝1.4V，VT_1 的集电结处于反偏而无法导通，因而导致 VT_2、VT_5 截止。由于 VT_2 截止，所以其集电极电位约等于集电极电源＋5V。这个＋5V 电位可使 VT_3、VT_4 导通并处于深度饱和状态。因 R_2 和 I_{B3} 都很小，均可忽略不计，所以与非门输出端 F 点的电位：

$$V_F = V_{CC} - I_{B3}R_2 - U_{BE3} - U_{BE4} \approx 5 - 0 - 0.7 - 0.7 \approx 3.6\text{V}$$

显然，电路在这种情况下实现了“有 0 出 1”的**与非**逻辑功能。

② 当输入信号全部为高电平（3.6V）时，VT_1 管的基极电位被钳制在 2.1V，而 VT_1 管的集电极电位为 1.4V，显然 VT_1 处于“倒置”工作状态，此时集电结做为发射结使用。倒置情况下，VT_1 可向 VT_2 基极提供较大的电流，使得 VT_2 和 VT_5 均处于深度饱和状态。从另一方面看，电源经 R_1、VT_1 集电结向 VT_2 管提供足够的基极电流，使 VT_2 管饱和导通。VT_2 管的发射极电流在电阻 R_3 上产生的压降又为 VT_5 管提供足够的基极电流使 VT_5 管饱和导通，从而使与非门输出 F 点的电位等于 VT_5 管的饱和输出值，即为 0.3V。

TTL 电路在输入全为高电平时，输出为低电平，符合与非门“全 1 出 0”的**与非**逻辑功能。

3．外特性和主要参数

上面分析的是 TTL 集成与非门的内部电路功能，了解即可。实际应用中，更重要的是集成电路的外部特性及正确连接。

图 2.18 所示为 TTL 与非门的电压传输特性，即 TTL 与非门的外特性。外特性的 *AB* 段，VT_2、VT_5 截止，对应输出的高电平 U_{OH} 值；外特性的 *B* 点，VT_2 管开始导通；外特性中的 *BC* 段，是 VT_2 导通、VT_5 截止的线性区，此区域上对应 $0.9U_{OH}$ 时的输入电压通常小于 1V；外特性的 *C* 点处，VT_5 开始导通；CD 段为 VT_2、VT_5 都导通的转折区；外特性的 *D* 点对应输出的开门电平 U_{OL} 值；外特性的 *DE* 段对应 VT_2、VT_5 都饱和的区域。

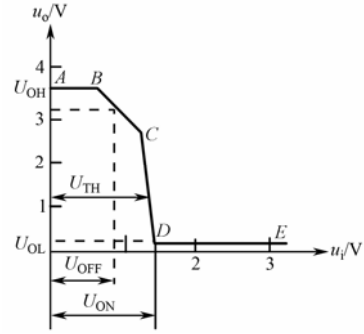


图 2.18　TTL 与非门的电压传输特性

需要指出的是：TTL 与非门电压传输特性中的参

数，均为符合一定的条件下测试出来的典型值，测试时电路连接一般应遵守这样一些原则：不用的输入端悬空（悬空端子为高电平“1”）或接高电平；输出高电平时不带负载；输出低电平时输出端应接规定的灌电流负载。

TTL 与非门外特性曲线中，标示的各电路参数是传输特性的表现形式，其主要参数如下。

① 输出高电平 U_{OH}：为被测与非门一输入端接地、其余输入端开路时，输出端的电压值。一般 74 系列的 TTL 与非门输出高电平的典型值为 3.6V（产品规格为＞3V）。

② 输出低电平 U_{OL}：为被测与非门一输入端接 1.8V、其余输入端开路、负载接 380Ω的等效电阻时，输出端的电压值。典型值为 0.3V（产品规格为＜0.35V）。

③ 关门电平 U_{OFF}：表示使与非门关断所需的最大输入电平，即图中输出为 $0.9U_{OH}$ 时，所对应的输入电压值，U_{OFF} 的典型值为 1V（产品规格为＜0.8V）。

关门电平和输入低电平（输入高电平和输入低电平的门槛值一般取 1.4V）的差值称为输入低电平噪声容限 U_{NL}，即 $U_{NL}=U_{OFF}-U_{IL}$。低电平噪声容限是保证输出高电平不低于 U_{OH} 时输入端允许的最大噪声电压值。

④ 开门电平 U_{ON}：输出为 0.35V 时，所对应的输入电压称为开门电平 U_{ON}。典型值为 1.4V（产品规格为＞1.8V）。

输入高电平和开门电平的差值称为输入高电平噪声容限 U_{NH}，即 $U_{NH}=U_{IH}-U_{ON}$。高电平噪声容限是保证输出为低电平的前提下所允许的最大噪声电压。

⑤ 阈值电压 U_{TH}：电压传输特性转折区中点所对应的输入电压值，阈值电压是 VT_5 管导通和截止的分界线，也是输出高、低电平的分界线，所以也称为门槛电压。在分析 TTL 与非门工作状态时，阈值电压 U_{TH} 很关键：输入电压小于该值时，可认为与非门截止，输出高电平；当输入电压大于该值时，可认为与非门饱和，输出低电平。一般 TTL 与非门阈值电压的典型值为 1.4V。

⑥ 扇出系数 N_0：门电路的输出端允许下一级接同类门电路的数目称为扇出系数。扇出系数反映了与非门的最大负载能力。N_0 值越大，表明与非门电路的带负载能力越强（产品规格为 4～8）。

2.4.2 集电极开路的TTL与非门（OC门）

集电极开路的 TTL 与非门通常被人们称为 OC 门，OC 门的电路结构和逻辑图符号如图 2.19 所示。

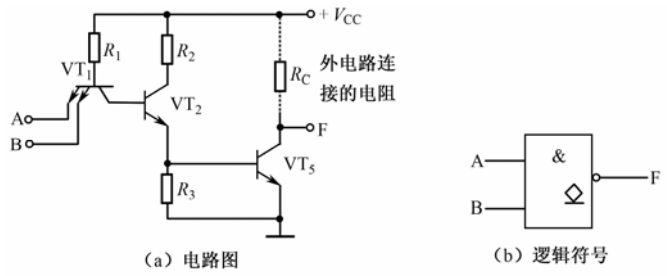


图 2.19　OC 门的电路图及逻辑符号

典型的、具有图腾结构的 TTL 与非门，使用时输出端不能长久接“地”或与电源短接。若输出端接地，则在门电路输出高电平时，流过有源负载 VT_3、VT_4 的电流很大，时间稍长就

会被烧毁；若输出端接电源，则在门电路输出低电平时，VT_5 处于饱和状态，这时也会有很大的电流流过 VT_5，使它烧毁。因此，多个图腾结构的 TTL 与非门，其输出端是不能连接在一起使用的，否则就会有一个很大的电流由输出为逻辑高电平的与非门流向输出为逻辑低电平的与非门，从而将门电路烧毁，即普通 TTL 与非门无法实现“线与”的逻辑功能。

为解决普通 TTL 与非门电路的“线与”问题，人们研制出了 OC 门。OC 门与普通 TTL 与非门的主要区别有以下两点：

① 没有 VT_3 和 VT_4 组成的射极跟随器，VT_5 的集电极是开路的。应用时应将 VT_5 的集电极经外接电阻 R_C 接到电源口 V_{CC} 和输出端之间，这时才能实现与非逻辑功能。

② 普通 TTL 与非门的输出是图腾结构的推拉输出，输出电阻很小，不允许将两个或两个以上的普通 TTL 与非门的输出端直接连接在一起。但是 OC 门的输出端就可以直接并接在一起，从而实现“线与”的逻辑功能，如图 2.20 所示。

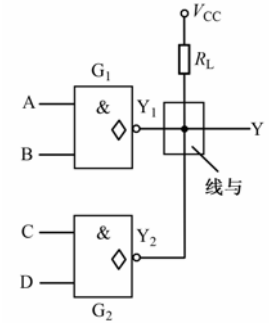


图 2.20　两个 OC 门的线与

图中，当 A、B 同时为高电平时，Y_1 才能为低电平，当 C、D 同时为高电平时，Y_2 才能为低电平。将 Y_1 和 Y_2 两条输出线直接接在一起，只要 Y_1 和 Y_2 中有一个为低电平，输出 Y 就是低电平。只有 Y_1 和 Y_2 同时为高电平时，Y 才能是高电平，显然，$Y=Y_1 \cdot Y_2$。Y 和 Y_1、Y_2 之间的这种连接方式称为“线与”，在逻辑图中用方框表示。

图 2.20 所示具有“线与”逻辑的两个 OC 门，可用逻辑函数式 $Y=Y_1 \cdot Y_2=\overline{AB} \cdot \overline{CD}=\overline{AB+CD}$ 表示，显然这个电路可得到与或非逻辑功能。

为了承受较大电流和较高电压，把一些 OC 门的输出管尺寸设计得比较大，例如 SN7407，输出管允许的最大负载电流为 40mA，截止时耐压为 30V，足以直接驱动小型继电器。

为保证具有“线与”逻辑功能的几个 OC 门高电平不低于 U_{OH} 值，电源 V_{CC} 上串接的电阻 R_L 的数值不能选得过大，其最大值应按照下式进行选择

$$R_{L((max)}=\frac{V_{CC}-U_{OH}}{nI_{OH}+mI_{IH}} \tag{2.1}$$

式（2.1）中，I_{OH} 是每个 OC 门输出三极管截止时的灌电流，I_{IH} 是负载门每个输入端的高电平输入电流。

当“线与”的 OC 门中只有一个导通时，这时负载电流将全部流入导通的那个 OC 门，因此 R_L 的数值又不能选得过小，以确保流入导通 OC 门的电流不至超过最大允许的负载电流 I_{LM}。R_L 最小值应按照下式进行选择

$$R_{L((min)}=\frac{V_{CC}-U_{OL}}{I_{LM}-m'I_{IL}} \tag{2.2}$$

式（2.2）中，U_{OL} 是规定的输出低电平，m' 是负载门的个数，I_{IL} 是每个负载门输入端的低电平输入电流（如果负载门为或非门，则 m' 是输入端数）。

最后选定的 R_L 电阻数值应介于上述两个公式规定的最大值和最小值之间。

除了与非门和反相器以外，与门、或门、或非门等都可以做成集电极开路的输出结构，而且外接负载电阻的计算方法与上述方法相同。

2.4.3　三态门

图腾结构的 TTL 与非门有两个输出状态，即逻辑 0 或逻辑 1，这两个状态都是低阻输出。三态门除具有这两个状态外，还有高阻输出的第三态，高阻态下三态门的输出端相当于和其他电路断开。三态门的逻辑图符号见图 2.21（b）和（c）。

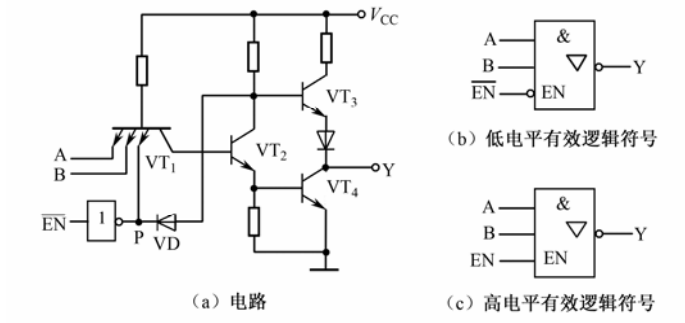


图 2.21　三态门输出的电路图和逻辑图符号

图 2.19（a）为三态输出的 TTL 与非电路。可以看出，三态门是在普通 TTL 与非门电路的基础上增加一个带有控制端 EN 的控制电路。由一级反相器和一个钳位二极管构成的控制电路为低电平有效；由两级反相器和一个钳位二极管构成的控制电路为高电平有效。

以低电平有效的控制电路为例来说明其控制原理。

当 $\overline{EN}=0$ 时，二极管 VD 截止，此时三态门就是普通 TTL 与非门。当 $\overline{EN}=1$ 时，多发射极晶体管 VT_1 饱和，VT_2、VT_4 截止，同时二极管 VD 导通，使 VT_3 同时截止。这时从外往输出端看去，电路输出端呈现高阻状态。由于该电路的输出端存在高阻、高电平、低电平三种状态，故称为三态门。

低电平有效的三态门，其逻辑功能真值表如表 2-1 所示。

表 2-1　三态门真值表

使能端 $\overline{EN}$	数据输入端 A　B	输出端 Y
0	0　0	1
0	0　1	1
0	1　0	1
0	1　1	0
1	×　×	高阻态

控制端高电平有效，即指 EN＝1 时为正常的**与非**工作状态，而当 EN＝0 时，高电平有效的控制端三态门电路输出为高阻态。

三态门在计算机系统中得到了广泛的应用，其中一个重要用途是构成数据总线。

计算机系统中为了减少各个单元电路之间连线的数目，希望能在同一条传输线上是分时传递若干个门电路的输出信号。这时可采用三态门构成如图 2.22 所示的连接方式。

图中 G_1、G_2、…、G_n 均为三态门，只要在工作时控制各个三态门的门控端 EN 轮流等于

1，而且任何时候仅有一个等于 1，就可以把各个三态门的输出信号轮流送到公共传输总线上而互不干扰，这种连接方式称为总线结构。

总线结构中处于禁止态的三态门，由于输出呈现高阻态，可视为与总线脱离。利用这种分时传送原理，可以实现多组三态门挂在同一总线上进行数据传送。而某一时刻只允许一组三态门的输出在总线上发送数据，从而实现了用一根导线轮流传送多路数据。图中总线即用于传输多个三态门输出信号的导线（母线）。总线结构可省去大量的机内连线。

三态门还可以做成单输入、单输出的总线驱动器，并且输入与输出有同相和反相两种类型。

利用三态门还能实现数据的双向传输如图 2.23 所示。

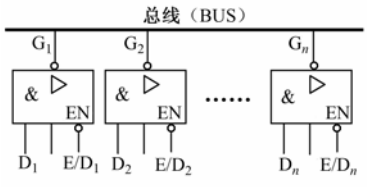


图 2.22　三态门应用举例

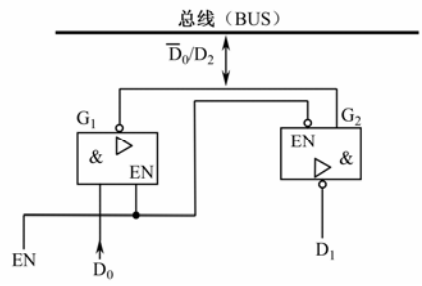


图 2.23　用三态门实现数据的双向传输

图中，当 EN＝1 时，G_1 工作而 G_2 为高阻态，数据 D_0 经 G_1 反相后送到总线上去；当 EN＝0 时，G_2 工作而 G_1 为高阻态，来自总线的数据经 G_2 反相后由 D_1 送出。

工程实际中，经常将多个双向三态传输器集成在一个芯片内，使用起来十分方便。如 74HCT640 等。

2.4.4　TTL集成电路的改进系列

为了提高电路的工作速度和降低其功耗，人们相继研制出了一些改进型 TTL 集成电路。

1．74H系列

74H 系列又称高速系列，在电路结构上主要采取了两项改进措施：一是在输出级采用了达林顿结构，这种结构进一步减小了门电路输出高电平时的输出电阻，从而提高了对负载电容的充电速度；二是将所有电阻的阻值降低了几乎一半，电阻的减小不仅缩短了电路中各节点电位上的上升时间和下降时间，也加速了三极管的开关过程，因此，74H 系列门电路的平均传输延迟时间比 74 系列门电路缩短了一半，通常在 10ns 以内。

2．74S系列

74S 系列中 S 代表肖特基，因此 74S 系列是指 TTL 肖特基系列集成电路。

74 系列的门电路中，三极管工作在深度饱和状态，这种状态是造成传输时间的延迟的主要原因。如果能使三极管导通时避免进入深度饱和状态，则传输时间将大幅度减小。为此，在 74 系列门电路中采用抗饱和的肖特基三极管，这种三极管由普通双极型三极管和肖特基势垒二极管组合而成。实际制作时，只需在制作基极的铝引线时，把引线连接至肖特基势垒二极管的阳极，由肖特基势垒二极管的阴极延伸到 N 型的集电区半导体引线上即可。

由于肖特基势垒二极管的开启电压很低，只有 0.3～0.4V，所以当肖特基三极管的 bc 结进入正向偏置以后，肖特基势垒二极管首先导通，并将 bc 结的正向电压钳位在 0.3～0.4V。此后，从基极注入的过驱动电流从肖特基势垒二极管流走，从而有效地制止了三极管进入深度饱和状态。

74S00 与非门就是 TTL 肖特基集成电路的应用实例。74S00 不仅采取了肖特基结构，还在电路中引进了有源泄放电路，进一步改善了门电路的电压传输特性，更加接近理想开关特性。但是，74S 系列由于采用抗饱和三极管和减小了电路中的电阻，使得电路的功耗加大，导致电路输出低电平的升高（达 0.5V 左右）。

3．74LS系列

为了获得更少的延迟时间和更小的功耗，在兼顾功耗与速度两个方面的基础上开发出了低功耗肖特基系列集成电路，简称为 74LS 系列。

74LS 门电路为降低功耗，大幅度地降低了集成电路内部各个电阻的阻值，同时将 R_5 原来接地的一端改接到输出端，改进后的功耗仅为 74 系列的五分之一，74H 系列的十分之一。为了缩短传输延迟时间，提高开关工作速度，在采用肖特基抗饱和三极管的基础上又进一步改进，使得其传输延迟时间只有 74 系列的五分之一，74S 系列的三分之一。

由于 74LS 系列 TTL 集成电路的电压传输特性上，CD 段几乎在同一条直线上，因此不存在线性区，而且阈值电压也要比 74 系列低，约为 1V 左右。

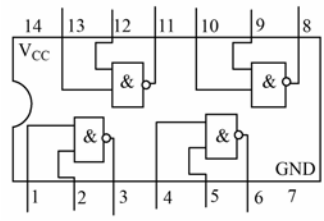


图 2.24　四-2 输入与非门引脚排列图

在不同系列的 TTL 器件当中，只要器件型号的后几位数码相同，则它们的逻辑功能、外形尺寸、引脚排列就完全一样，例如 7400、74S00、74LS00 都是四-2 输入与非门，采用的都是 14 个引脚的双列直插式封装，而且输入端、输出端、电源及地端引脚位置都是相同的，如图 2.24 所示。

2.4.5　TTL集成逻辑门的使用注意事项

1．电源

① 74LS 系列 TTL 集成门电路的典型电源电压为＋5V（±0.25V），超出此范围可能造成电路工作的紊乱。电源的正极和“地”不能接反，电源电压的极限参数为 7V。TTL 集成电路存在尖峰电流，需要良好地接地，并且要求电源内阻尽可能小。为防止外来干扰信号通过电源进入电路，常在电源输入端接入 10～100μF 的低频滤波电容，每隔 5～10 个集成电路在电源和地之间接入一个 0.01～0.1μF 的高频滤波电容。

② 数字逻辑电路和强电控制电路要分别接地，避免强电控制电路在地线上产生干扰。

③ 在电源接通时，严禁插拔集成电路，因为电流的冲击可能造成集成芯片的永久性损坏。

2．闲置输入端

TTL 集成电路芯片的输入端不能直接与高于＋5V 和低于－0.5V 的低内阻电源连接，否则将损坏芯片。闲置输入端应根据逻辑功能的要求连接，以不改变电路逻辑状态及工作稳定

为原则。

① TTL 集成电路芯片的输入端口为“与”逻辑关系时（与门、与非门），多余的输入端可以悬空（但不能带开路长线）或通过一只 1～10kΩ的电阻接电源正极，在前级驱动能力允许时，也可并接到一个已被使用的高输入端上。

② TTL 门输入端口为“或”逻辑关系时（或门、或非门），闲置的输入端可以接低电平或直接接地，在前级驱动能力允许时，也可并接到一个已被使用的低输入端上。

③ 对于与或非门中不使用的与门，该与门至少有一个输入端接地。

3．输出端

① 输出端不允许直接接电源或直接接地，否则可能使输出级的管子因电流过大而损坏，输出端可通过上拉电阻与电源正极相连，使输出高电平提升。输出电流应小于产品手册上规定的最大值。

② 具有图腾结构的几个 TTL 与非门输出端不能直接并联。

③ 集电极开路的集成芯片输出端可以并联使用以实现“线与”，其公共输出端和电源正极之间应接负载电阻。集电极开路的集成门可驱动大电流负载，实现电平转换。

④ 电路的输出端接容性负载时，应在电容之前接限流大电阻（≥2.7kΩ），避免出现在开机的瞬间，较大的冲击电流烧坏电路。

除此之外，还要注意对 TTL 集成芯片焊接时，应选用 45W 以下的电烙铁，最好用中性焊剂，所用设备应接地良好。

思考与问题

1．TTL 与非门如有多余输入端能不能与“地”相接？TTL 或非门如有多余输入端能不能与 5V 电源相接或悬空？

2．试述图腾结构的 TTL 与非门和 OC 门的主要区别是什么？

3．三态门和普通 TTL 与非门有什么不同？主要应用在什么场合？

4．何谓“线与”？哪一种逻辑门能实现“线与”逻辑？

5．试通过实验记录。用内阻为 20kΩ/V 的万用表测量 74LS00 集成芯片中的一个门，在下列各种情况下：

（1）其他输入端悬空；

（2）其他输入端接 5V 电源；

（3）其他输入端有一个接地；

（4）其他输入端有一个接 0.3V。

测量门上一个悬空输入端的电压，测量值各为多少伏？

2.5　MOS集成逻辑门

CMOS 集成电路是互补金属－氧化物－半导体场效应管门电路的简称，由增强型 NMOS 管和增强型 PMOS 管所组成互补对称关系。由于 CMOS 集成逻辑门的突出优点是静态功耗很低，抗干扰能力很强，稳定性好，便于集成化，因此在中、大规模集成电路中得到了广泛的应用，目前在数字电路中所占的比重已远远超过了 TTL 集成逻辑门。目前国产的 CMOS 数字集

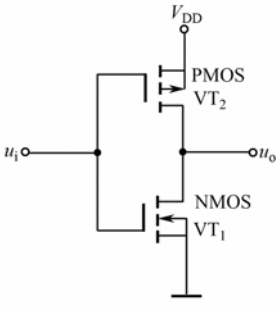


图 2.25　CMOS 反相器

成电路主要有 4000 系列和高速系列，其中高速系列主要包含 CC54HC/CC74HC 和 CC54HCT/CC74HCT 两个子系列。

2.5.1　CMOS反相器

1．CMOS反相器的电路组成

在图 2.25 中，工作管 VT_1 是增强型 NMOS 管，负载管 VT_2 是 PMOS 管，两管的漏极 D 接在一起作为电路的输出端，两管的栅极 G 接在一起作为电路的输入端，VT_1 的源极 S_1 与其衬底相连并接地，VT_2 的源极 S_2 与其衬底相连并接电源 V_{DD}。

2．CMOS反相器的工作原理

如果要使电路中的绝缘栅型场效应管形成导电沟道，VT_1 的栅源电压必须大于开启电压的值，VT_2 的栅源电压必须低于开启电压的值，所以，为使电路正常工作，电源电压 V_{DD} 必须大于两管开启电压的绝对值之和。

当输入电压 u_i 为低电平时，NMOS 管 VT_1 的栅源电压小于开启电压，不能形成导电沟道，VT_1 截止，S_1 和 D_1 之间呈现很大的电阻；PMOS 管 VT_2 的栅源电压大于开启电压，能够形成导电沟道，VT_2 导通，S_2 和 D_2 之间呈现较小的电阻。电路的输出约为高电平 V_{DD}。这一过程实现了“输入为 0，输出为 1”。

当输入电压 u_i 为高电平 V_{DD} 时，NMOS 管 VT_1 的栅源电压大于开启电压，形成导电沟道，VT_1 导通，S_1 和 D_1 之间呈现较小的电阻；PMOS 管 VT_2 的栅源电压为 0V，不满足形成导电沟道的条件，VT_2 截止，S_2 和 D_2 之间呈现很大的电阻，电路的输出为低电平。这一过程实现了“输入为 1，输出为 0”。

显然，CMOS 反相器电路的输出和输入之间满足“非”逻辑关系，所以该电路是非门。

在稳态时，由于 VT_1 和 VT_2 中必然有一个管子是截止的，所以电源向电路提供的电流极小，电路的功率损耗很低，被称为微功耗电路。

CMOS 反相器由于电路中的 NMOS 管和 PMOS 管特性对称，因此具有很好的电压传输特性，其阈值电压 $V_{TH} \approx V_{DD}/2$，所以噪声容限很高，约为 $V_{DD}/2$。

2.5.2　CMOS传输门和模拟开关

1．CMOS传输门的电路组成

当一个 PMOS 管和一个 NMOS 管并联时，就构成一个如图 2.26 所示的传输门。传输门电路中两个增强型 MOS 管的源极相接，作为电路的输入端，两管漏极相连作为电路的输出端。两管的栅极作为电路的控制端，分别与互为相反的控制电压 CP 和 $\overline{CP}$ 相连。另外，PMOS 管的衬底接 U_{DD}，NMOS 管的衬底与“地”相接。

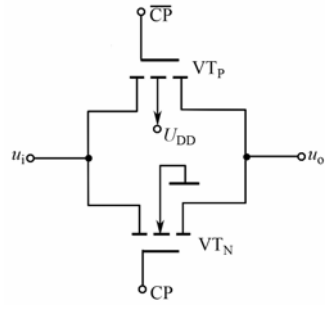


图 2.26　CMOS 传输门

2．CMOS传输门的工作原理

当控制端 CP 为高电平“1”时，$\overline{CP}$ 为低电平“0”，传输门导通，数据可以从输入传输到输出端，也可以从输出端传输到输入端，实现数据的双向传输。当控制端 CP 为低电平“0”，$\overline{CP}$ 为高电平“1”时，传输门截止，禁止传输数据。

由于传输门中两个 MOS 管的结构对称，源、漏极可以互换，实现双向传输，因此又被称为双向模拟电子开关。

传输门不但可以实现数据的双向传输，经改进后也可以组成单向传输数据的传输门，利用单向传输门可以构成传送数据的总线；当传输门的控制信号由一个非门的输入和输出来提供时，又可构成一个模拟开关，其电路和原理在此不加论述。

2.5.3 CMOS与非门

1．CMOS与非门的电路组成

图 2.27 所示为 CMOS 与非门电路。电路中的两个驱动管 VT_{N1} 和 VT_{N2} 相串联，两个负载管 VT_{P1} 和 VT_{P2} 相并联。

2．工作原理

当输入 A、B 中有一个为低电平“0”时或两个输入全为“0”时，两个驱动管至少有一个阻断或全阻断，两个负载管至少有一个导通或全导通，因此输出 Y 为 1；当输入 A、B 全为高电平“1”时，两个驱动管才全导通，两个负载管全阻断，因此输出 Y 为低电平“0”，显然实现了与非门的“有 0 出 1，全 1 出 0”逻辑功能。其功能真值表如表 2-2 所示。

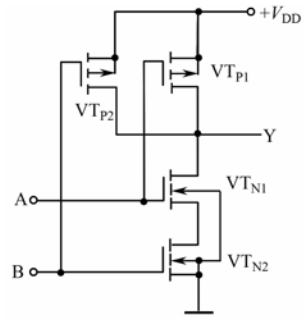


图 2.27　CMOS 与非门电路图

表 2-2　CMOS 与非门功能真值表

输入变量		MOS 管状态				输出变量
A	B	VT_{N1}	VT_{N2}	VT_{P1}	VT_{P2}	Y
0	0	断	断	通	通	1
0	1	断	通	通	断	1
1	0	通	断	断	通	1
1	1	通	通	断	断	0

2.5.4 CMOS或非门

1．CMOS或非门的电路组成

图 2.28 所示为 CMOS 或非门电路。电路中的两个驱动管 VT_{N1} 和 VT_{N2} 相并联，两个负载管 VT_{P1} 和 VT_{P2} 相串联。

2．工作原理

当输入 A、B 中有一个为高电平“1”或两个输入全为“1”时，两个驱动管至少有一个导

通或全导通，两个负载管至少有一个阻断或全阻断，因此输出 Y 为低电平“0”；当输入 A、B 全为低电平“0”时，两个驱动管才全阻断，两个负载管全导通，此时输出 Y 为高电平“1”，显然实现了或非门的“有 1 出 0，全 0 出 1”逻辑功能。其功能真值表如表 2-3 所示。

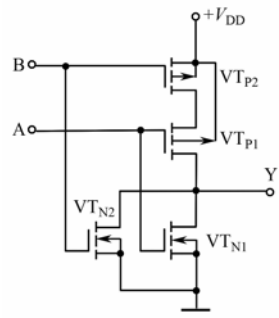


图 2.28　CMOS 或非门电路图

表 2-3　CMOS 或非门功能真值表

输入变量		MOS 管状态				输出变量
A	B	VT_{N1}	VT_{N2}	VT_{P1}	VT_{P2}	Y
0	0	断	断	通	通	1
0	1	断	通	通	断	0
1	0	通	断	断	通	0
1	1	通	通	断	断	0

2.5.5　其他CMOS集成逻辑门

1．漏极开路的与非门（OD门）

与 TTL 集成 OC 门类似，该电路是具有与非功能的特殊与非门，具有“线与”逻辑功能。而且，当输出低电平小于 0.5V 时，它可吸收 50mA 的灌电流。同样，OD 门和 OC 门同样可在电路中用作电平转换。

2．CMOS三态输出门

CMOS 三态输出门是在 CMOS 反相器的基础上串接了 PMOS 管 VT_{P2} 和 NMOS 管 VT_{N2} 组成的。CMOS 三态门的功能与 TTL 三态门功能类似，当使能端有效时，它相当于一个反相器，当使能端处无效态时，它的输出对“地”和对电源 V_{DD} 都呈高阻态。

3．高速CMOS集成逻辑门

和 TTL74 系列逻辑门相比，CMOS4000 系列电路虽然集成度高、抗干扰能力强且低功耗，但由于 MOS 管存在较大的极间电容和较小的漏极电流，因此造成它的开关速度较低，带负载能力差，使其使用范围受到较大限制。

为了提高 CMOS 集成逻辑门的开关速度，人们设法减少 MOS 管的导电沟道长度和缩小 MOS 管的几何尺寸，以减小 MOS 管的极间电容；为了提高 CMOS 集成逻辑门的负载能力，研制过程中采用缩短 MOS 管的导电沟道长度和加大导电沟道宽度的方法来提高漏极电流。这些措施使得高速 CMOS 集成逻辑门的平均传输延迟时间达到了小于 10ns/门。目前主要有 CC54HC/CC74HC 和 CC54HCT/CC74HCT 两个子系列，它们的逻辑功能、外引脚排列与同型号的 TTL 电路相同。

工程实际应用中，高速 CMOS 逻辑门 CC54HC/CC74HC 子系列的工作电压为 2～6V，输入电平特性与 CMOS4000 系列相仿；当 CC54HC/CC74HC 子系列的电源电压取 5V 时，输出高低电平与 TTL 电路兼容。高速 CMOS 逻辑门 CC54HCT/CC74HCT 子系列型号中的 T 表示与 TTL 电路兼容，其电源电压为 4.5～5.5V，输入电平与 LSTTL 系列逻辑门相同。

2.5.6 CMOS集成逻辑门的特点及使用注意事项

1．CMOS门电路的特点

和 TTL 集成逻辑门相比，CMOS 逻辑门的特点如下：

① CMOS 电路的集成度高，更适合于实现中、大规模集成电路。

② CMOS 电路由于存在较大的极间电容，因此开关速度较 TTL 电路低。

③ CMOS 电路的功耗比 TTL 电路小得多。当电源电压为 5V 时，门电路的静态功耗小于 2.5～5μW，中规模集成电路的功耗也不会超过 100μW。

④ CMOS 电路的带负载能力较 TTL 电路差。

⑤ CMOS 电路的电源电压允许范围较大，CMOS4000 系列的电源电压约在 3～15V，HCMOS 集成电路为 2～6V，十分方便于电路电源电压的选择。

⑥ CMOS 电路的噪声容限最大可达电源电压的 45%，最小不低于电源电压的 30%，而且随着电压的提高而增大，因此干扰能力强，适合于特殊环境下工作。

2．CMOS集成电路使用注意事项

（1）电源电压

① CMOS 集成电路的电源电压极性不能接反，否则会造成电路永久性失效。

② CC4000 系列的电源电压可在 3～15V 的范围内选择，但最大不允许超过极限值 18V，电源电压选择得越高，电压的抗干扰能力就越强。为防止通过电源引入干扰信号，应根据具体情况对电源进行去耦和滤波。

③ 高速 CMOS 集成电路中的 HC 系列电源电压可在 2～6V 范围内选择，HCT 系列的电源电压在 4.5～5.5V 范围内选择，最大不得超过 7V 的极限值。

④ CMOS 集成电路应在静电屏蔽下运输和存放。调试电路板时，开机先接通电路板电源，后开信号源电源；关机时先关信号源电源，后断开电路板电源。严禁带电从插座上拔插器件。

（2）闲置输入端的处理

① CMOS 集成电路闲置不用的输入端不能悬空。

② 与门和与非门闲置输入端应接高电平；或门和或非门的闲置输入端应接地。

③ 通常闲置输入端不宜与使用输入端并联使用，因为并联使用会增大输入电容，使开关速度进一步下降。但在工作速度要求不高的情况下，有时也允许输入端并联使用。

（3）输出端的连接

① 同一芯片上的 CMOS 门，在输入相同时，输出端可以并联使用（目的是增大驱动能力），否则，输出端不许并联使用。

② 由于电路的输出级一般为 CMOS 反相器结构，输出端不允许直接与电源或“地”端直接相连，否则造成输出级的 MOS 管因过电流而损坏。

③ 当 CMOS 集成电路输出端与大容量负载相连时，为保证管子不因大电流而烧损，应在输出端和电容之间串接一个限流电阻。

（4）其他注意事项

① CMOS 集成电路容易受静电感应而击穿，在使用和存放时应注意静电屏蔽，焊接时电烙铁必须可靠接地，必要时可将电源插头拔下，利用电烙铁的余热焊接。

② CMOS 集成电路在存放和运输时，应选择导电容器或金属容器放置。

③ 组装、调试 CMOS 集成电路时，应使所有仪器仪表处于良好接地状态。

CMOS 集成电路虽然出现较晚，但发展很快，更便于向大规模集成电路发展。其主要缺点是工作速度较低。但近些年来，人们一直在寻求提高其开关速度的方法，从电路结构上，制造工艺上不断改进 CMOS 集成电路，使得 CMOS 集成电路的工作速度得到了较大的改观。

思考与问题

1．CMOS 反相器、CMOS 漏极开路的 OD 门和 CMOS 三态门，它们的输出端可以并联使用吗？为什么？

2．CMOS 传输门具有哪些用途？

3．CMOS 集成电路具有什么特点？和 TTL 集成电路相比较有哪些不足？

4．为什么 CMOS 门电路闲置的输入端不允许悬空处理？

5．为什么说 CMOS 集成电路比 TTL 集成电路的静态功耗低？抗干扰能力强？

6．如将 CMOS 与非门、或非门和异或门作反相器使用，输入端应如何连接？

2.6　集成逻辑门使用中的实际问题

集成逻辑门在具体的应用中，器件的主要技术参数有传输延迟时间、功耗、噪声容限，带负载能力等，根据这些参数可以正确地选用一种器件或两种器件混用。下面对使用中不同门电路之间的接口技术，门电路与负载之间的匹配等几个实际问题进行讨论。

2.6.1　各种逻辑门之间的接口问题

在数字电路或系统的设计中，往往由于工作速度或者功耗指标的要求，需要采用多种逻辑器件混合使用。例如，TTL 和 CMOS 两种器件都要使用。由前面几节的讨论可知，不同的器件其电压和电流参数也各不相同，这就需要采用接口电路，一般需要考虑下面三个条件：

① 驱动器件必须能对负载器件提供灌电流的最大值。

② 驱动器件必须对负载器件提供足够大的拉电流。

③ 驱动器件的输出电压必须处在负载器件所要求的输入电压范围内，包括高、低电压值。

在上述条件中，①和②属于门电路的扇出系数问题，取决于各种逻辑门的带负载能力。条件③则属于电压兼容性问题。其余如噪声容限、输入和输出电容以及开关速度等参数在某些设计中也必须予以考虑。

下面分别就 CMOS 门驱动 TTL 门或者相反的两种情况的接口问题进行分析。

1．CMOS4000 系列驱动TTL门

当 CMOS4000 系列和 TTL 电路的电源电压相等时，则 CMOS4000 系列可直接驱动 TTL 门，不需另加接口电路，仅按电流大小计算出扇出系数即可。

图 2.29 表示两种 CMOS4000 系列驱动 TTL 门的简单电路。

图（a）所示是将同一芯片上的多个 CMOS 与非门并联使用，增大输出电流，以满足 TTL 电路输入低电平大电流的需求。同理，为增大输出电流，同一芯片上的多个 CMOS 或非门、

多个非门同样可采取这种方法获得输出较大电流，以推动 TTL 电路。

如图 2.29（b）所示是在 CMOS 电路输出端及 TTL 电路输入端之间接入一个 CMOS 驱动器，以此来增大 CMOS 电路的输出电流。

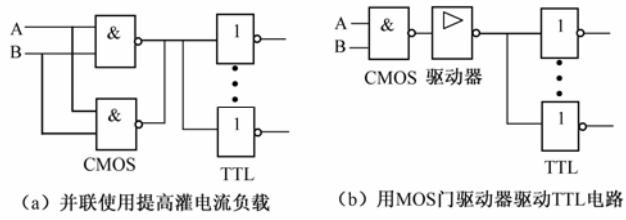


图 2.29　CMOS4000 系列驱动 TTL 门电路

当高速 CMOS 门和 TTL 负载门的电源电压相同时，如 CC74HC 和 CC74HCT 系列，这时 CMOS 门的输出端可直接与 TTL 输入端相连，也能满足 TTL 输入电流的要求。

【例 2.1】已知 74HC00 与非门电路用来驱动一个基本的 TTL 反相器和 6 个 74LS 门电路。试验算此时的 CMOS 门电路是否过载？

解：①查相关手册得接口参数如下：一个基本的 TTL 门电路，I_{IL}＝1.6mA，6 个 74LS 门的输入电流 I_{IL}＝6×0.4mA＝2.4mA。总的输入电流 $I_{IL(total)}$＝1.6mA＋2.4mA＝4mA。

② 因 74HC00 门电路的 I_{OL}＝I_{IL}＝4mA，所以驱动的 TTL 门电路并未过载，可直接与 TTL 负载门相连。

2．TTL门驱动CMOS门

当 TTL 门驱动 CMOS 门时，由于 TTL 为驱动器件，CMOS 为负载器件，由手册可知，当 TTL 输入为低电平时，它的输出电压参数与 CMOS HC 的输入电压参数是不兼容的。例如，LSTTL 系列的 $V_{OH(min)}$ 为 2.7V，而 HC CMOS 的 $V_{IH(min)}$为 3.5V。为了克服这一矛盾，应在 TTL 电路的输出端和 CMOS 电路的输入端之间接一个上拉电阻 RP，电路连接情况如图 2.30 所示。

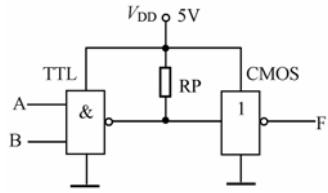


图 2.30　TTL 门驱动 CMOS 门

由图可知，用上拉电阻 RP 接到 V_{DD} 可将 TTL 的输出高电平电压升到约 5V，上拉电阻的值取决于负载器件的数目以及 TTL 和 CMOS 的电流参数。

当 TTL 驱动 CMOSHCT 系列时，由于电压参数兼容，不需另加接口电路。基于这一情况，在数字电路设计中，也常用 CMOSHCT 当做接口器件，以免除上拉电阻。

2.6.2　门电路带负载时的接口电路

1．用门电路直接驱动显示器件

在数字电路中，往往需要用发光二极管来显示信息的传输，如简单的逻辑器件的状态、七段数码显示或图形符号显示等。在各种情况下均需接口电路将数字信息转换为模拟信息显示。

如图 2.31 所示为 CMOS 反相器驱动一个发光二极管电路的应用举例。其中，图（a）中让 CMOS 反相器 74HC04 的输出端与一个发光二极管 LED 的阳极相连，LED 的阴极上串接了

一限流电阻 R 以保护 LED 发光管，限流电阻的另一端与“地”相接；图（b）则是在 CMOS 反相器的输出端连接 LED 的阴极，让 LED 的阳极与限流电阻相接，限流电阻的另一端与电源相连。

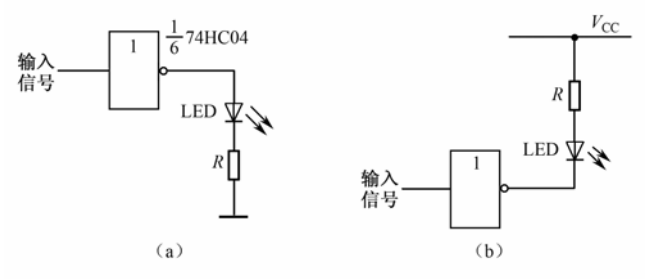


图 2.31　用门电路直接驱动显示器件图例

图中限流电阻的大小可分别按下面两种情况来计算。当图 2.31（a）中门电路的输入为低电平时，输出为高电平，于是

$$R=\frac{V_{OH}-V_F}{I_D}$$

反之，当 LED 接入电路的情况如图 2.31（b）所示时，门电路的输入信号应为高电平，输出为低电平，故有

$$R=\frac{V_{CC}-V_F-V_{OL}}{I_D}$$

以上两个公式中：I_D 为通过发光管 LED 的电流；V_F 是 LED 的正向压降，V_{OH} 和 V_{OL} 分别为门电路输出的高、低电平电压值，通常取典型值。

2．机电性负载接口

在工程实践中，往往会遇到用各种数字电路来控制机电性系统的功能，如控制电动机的位置和转速，继电器的接通与断开，流体系统中的阀门的开通和关闭，自动生产线中机械手的多参数控制，等等。

在继电器的应用中，继电器本身有额定的电压和电流参数。一般情况下，需用运算放大器来提升到必需的数/模电压和电流接口值。对于小型继电器，可以将两个反相器并联作为驱动电路，如图 2.32 所示。

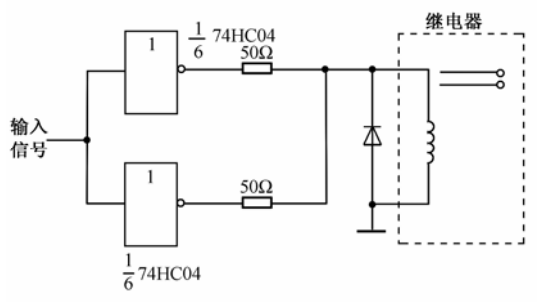


图 2.32　继电器接口电路图例

2.6.3 抗干扰措施

1．多余输入端的处理措施

集成逻辑门电路在使用时，一般不让多余的输入端悬空，以防止干扰信号引入。对多余输入端的处理以不改变电路工作状态及稳定可靠为原则。

对于 TTL 与非门，一般可将多余的输入端通过上拉电阻（1～3kΩ）接电源正端，也可利用一反相器将其输入端接地，其输出高电位可接多余的输入端。

对于 CMOS 电路，多余输入端可根据需要使之接地（或非门）或直接接 V_{DD}（与非门）。

2．去耦合滤波器

数字电路或系统往往由多个逻辑门电路芯片构成，它们均由公共的直流电源供电。这种电源是非理想的，一般是由整流稳压电路供电，具有一定的内阻抗。当数字电路运行时，产生较大的脉冲电流或尖峰电流，当它们流经公共的内阻抗时，必将产生相互的影响，甚至使逻辑功能发生错乱。

对于上述情况常用的处理方法是采用去耦合滤波器，通常是用 10～100μF 的大电容器与直流电源并联，以滤除不需要的多余频率成分。除此以外，对于每一个集成芯片还应加接 0.lμF 的电容器，以滤除开关噪声。

3．接地和安装工艺

正确的接地技术对于降低电路噪声是很重要的。这方面可将电源“地”与信号“地”分开，先将信号“地”汇集在一点，然后将两者用最短的导线连在一起，以避免含有多种脉冲波形（含尖峰电流）的大电流引到某数字器件的输入端，而导致系统正常的逻辑功能失效。此外，当系统中兼有模拟和数字两种器件时，同样需要将两者的“地”分开，然后再选用一个合适的共同点接地，以免除电源“地”和信号“地”之间的影响。必要时，也可设计模拟和数字两块电路板，各备直流电源，然后将两者的“地”恰当地连接在一起。在印制电路板的设计或安装中，要注意连线尽可能短，以减少接线电容而导致寄生反馈有可能引起的寄生振荡。有关这方面技术问题的详细介绍，可参阅有关文献。集成数字电路的数据手册，也可提供某些典型电路的应用设计，同样是有益的参考资料。

此外，CMOS 器件在使用和储藏过程中要注意静电感应导致损伤的问题。静电屏蔽是常用的防护措施。

思考与问题

1. 用 CMOS4000 系列门电路驱动 TTL 负载门时，为了满足 TTL 负载门较大电流的需求，通常可采用什么方法解决？

2．TTL 门电路驱动 CMOS 门电路时，如果电源不兼容时，通常采用什么方法解决兼容问题？

2.1 集成逻辑门电路的功能测试

一、实验目的

（1）认识各种逻辑门集成芯片及其各引脚功能的排列情况。
（2）初步掌握正确使用数字电路实验系统。
（3）进一步熟悉各种常用门电路的逻辑符号及逻辑功能。
（4）了解 TTL、CMOS 两种集成电路外引线排列的差别及标示识别。

二、实验集成电路图符号及集成电路引脚排列图

（1）常用组合逻辑门电路图符号。如图 2.33 所示为常用组合逻辑门电路图符号。

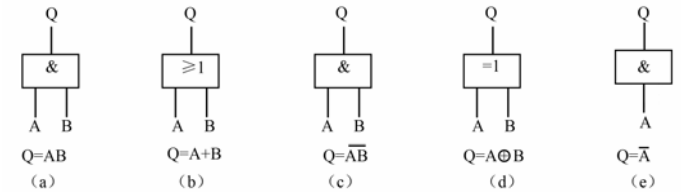


图 2.33　常用组合逻辑门电路图符号

（2）几种常用集成电路芯片引脚排列图。几种常用集成电路的引脚排列图如图 2.34 所示，凡前面带有 74LS 的均为 TTL 集成电路，前面带有 CC40 的均为 CMOS 集成电路，注意两种电路的引脚排列上的差异！

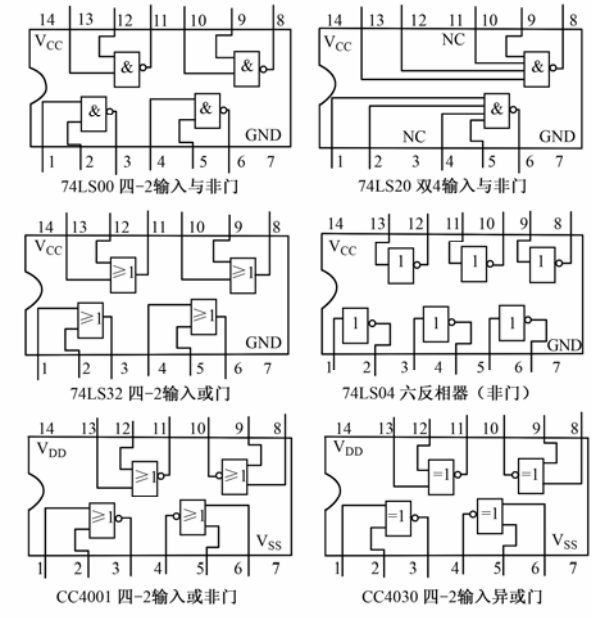


图 2.34　测试集成逻辑门的引脚排列图

三、TTL、CMOS集成电路外引线连接注意事项

（1）TTL 集成门电路外引脚分别对应逻辑符号图中的输入、输出端，在标准双列直插式的 TTL 集成电路中，7 脚为电源地（GND），14 脚为电源正极（＋5V），其余引脚为输入和输出，若集成芯片引脚上的功能标号为 NC，则表示该引脚为空脚，与内部电路不连接。

（2）外引脚的识别方法：将集成块正面对准使用者，以凹口侧小标志点“•”为起始脚 1，逆时针方向前数 1，2，3，…，*N* 脚，使用时根据功能查找 IC 手册，即可知各引脚功能，如图 2.35 所示。

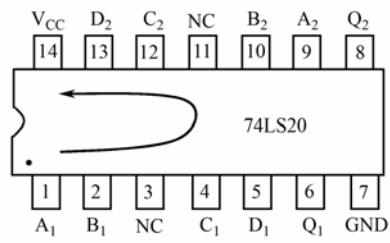


图 2.35　TTL 门的引脚识别

（3）TTL 电路（OC 门和三态门除外）的输出端不允许并联使用，也不允许直接与＋5V 电源或地线相连，否则将会使电路的逻辑混乱并损害器件。

（4）TTL 电路输入端外接电阻要慎重，要考虑输入端负载特性。针对逻辑门不同外电阻阻值有特别要求，否则会影响电路的正常工作。

（5）多余输入端的处理，输入端可以串入一个 1～10kΩ的电阻或直接接在大于＋2.4V 和小于＋4.5V 电源上，来获得高电平输入，直接接“地”为低电平输入。或门及或非门等 TTL 电路的多余输入端不能悬空，只能接“地”。与门、与非门等 TTL 电路的多余输入端可以悬空（相当于高电平），但悬空时对地呈现阻抗很高，容易受到外界干扰，因此，可将它们接电源或与其他输入并联使用，但并联时对信号的驱动电流的要求增加了。

（6）严禁带电操作，应该在电路切断电源的时候，拔插集成电路，否则容易引起集成电路的损坏。

（7）CMOS 集成电路的正电源端 V_{DD} 接电源正极，V_{SS} 接电源负极，（通常接地），不允许反接。同样在装接电路，拔插集成电路时，必须切断电源，严禁带电操作。

（8）CMOS 集成电路多余的输入端不允许悬空，应按逻辑要求处理接电源或地，否则将会使电路的逻辑混乱并损害器件。

（9）CMOS 集成电路器件的输入信号不允许超出电源电压范围，或者说输入端的电流不得超过 10mA。若不能保证这一点，必须在输入端串联限流电阻，CMOS 电路的电源电压应先接通，再接入信号，否则会破坏输入端的结构，关机时应先断输入信号再切断电源。

四、实验步骤

（1）在数字逻辑测试仪或数字电子实验台上找到相应的逻辑门电路 14P 插座，把待测集成电路芯片插入。插入时注意引脚位置不能插反，否则造成集成电路烧损的事故。

（2）由于电路芯片上一般集成多个门，测试功能时只需对其中一个门测试就行了。注意同一个逻辑门的标号应相同，不允许张冠李戴。

（3）集成电路芯片上逻辑门的输入 A、B 应接于逻辑电平开关上。逻辑电平电键为向上时输出高电平“1”，电键为向下输出低电平“0”，输出的逻辑电平作为逻辑门电路的输入信号。

（4）让待测逻辑门的输出端与数字逻辑测试仪或数字电路实验台上对应的发光二极管 LED 上的输入电平相连，如图 2.36 所示。

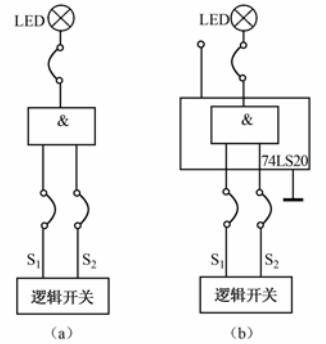


图 2.36　TTL 与门实验连接图

把待测门电路的输出端子插入逻辑电平输入的任意一个插孔内，当输出为高电平“1”时插孔上面的发光二极管 LED 亮；如果输出为低电平“0”，插孔上面的发光二极管 LED 不亮。

（5）输入、输出全部连接完毕后，把芯片上的“地”端与电源“地”相连，把芯片上的正电源端与“＋5V”直流电源相连。这时才能验证逻辑门的功能（例如 74LS00 四-2 输入与非门集成芯片功能测试）：

① 将其中一个门的输入端 A 和 B 均输入低电平“0”，观察输出发光管的情况，记录下来；

② 改变，将 A 输入“0”、B 输入“1”，观察输出发光管情况，记录下来；

③ 改变，将 A 输入“1”、B 输入“0”，观察输出发光管情况，记录下来；

④ 改变，将 A 输入“1”、B 输入“1”，观察输出发光管情况，记录下来。

根据检测结果得出结论，与非门功能应为“有 0 出 1，全 1 出 0”。

（6）以下各逻辑门的功能测试均按上述要求检测，逐个得出结论。

五、实验思考题

（1）欲使一个异或门实现非逻辑，电路将如何连接，为什么说异或门是可控反相器？

（2）对于 TTL 电路为什么说悬空相当于高电平？而 CMOS 集成门电路多余端为什么不能悬空？

（3）你能用两个与非门实现与门功能吗？

2.2　学习Multisim 8.0 电路仿真

一、实验目的

（1）进一步熟悉 Multisim 8.0 中虚拟仪器的使用。

（2）掌握仪器库中函数信号发生器和字发生器的使用方法。

（3）掌握三态门的电路仿真。

二、Multisim 8.0 中虚拟仪器的使用

1．函数信号发生器

Multisim 8.0 虚拟仪器库中的函数信号发生器可产生频率、幅度和偏置都可调的正弦波、三角波和方波，其中三角波和方波还可以调节占空比，方波还可以调节上升/下降时间。虚拟的函数信号发生器的图符号如图 2.37 所示，设置界面如图 2.38 所示。

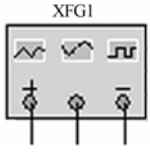


图 2.37　函数信号发生器的图符号

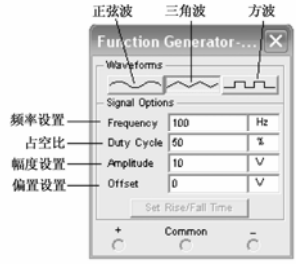


图 2.38　函数信号发生器设置界面

将函数信号发生器与虚拟仪器库中的示波器相连接，连接方法如图 2.39 所示。

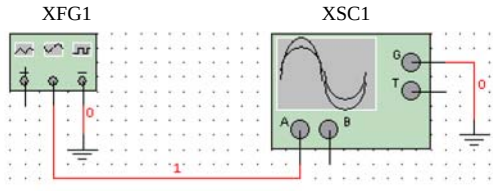


图 2.39　函数信号发生器与示波器相连接的方法

在连接好的示波器图标上用鼠标左键双击，即可出现一个带有显示屏的菜单，如图 2.40 所示，即可观看到我们设置的频率为 100Hz，占空比 50%，幅值设置 10V，偏置设置 0V 的三角波，如图 2.40 所示。

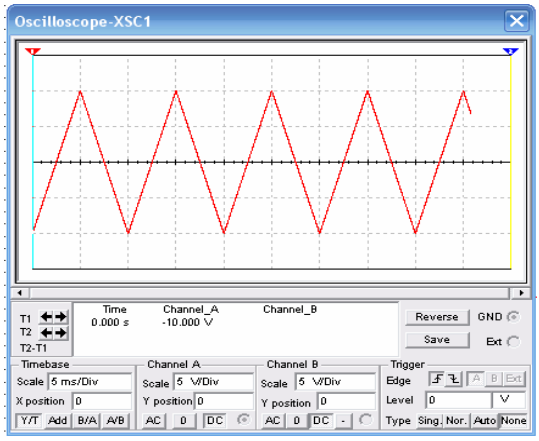


图 2.40　函数信号发生器产生的三角波

2．字发生器

Multisim 8.0 虚拟仪器库中的字发生器可产生最多 2000 个字的数字信号，每个字 32 位，按设置的频率分别从 32 个端口输出。

字发生器的图符号如图 2.41 所示。

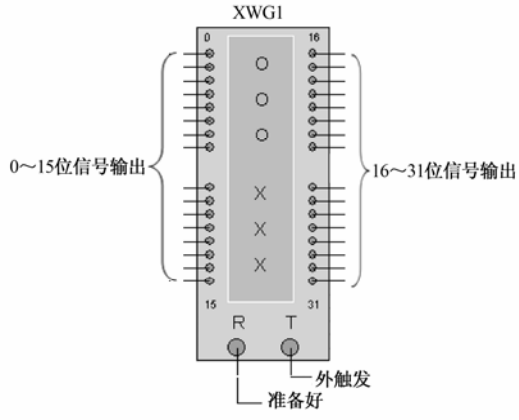


图 2.41　字发生器图符号

双击字发生器图符号，可出现一个对话框如图 2.42 所示。

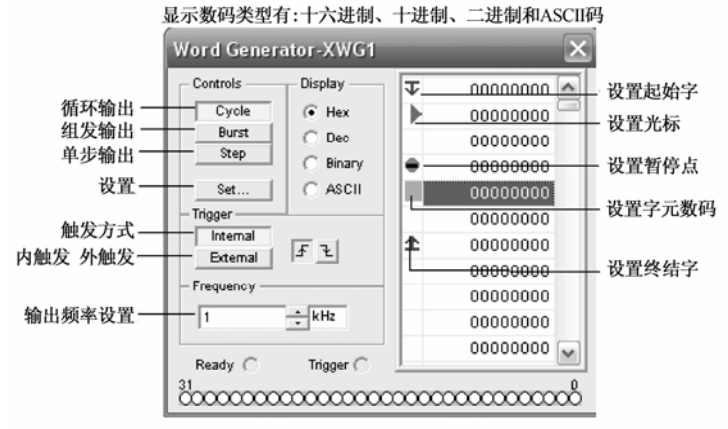


图 2.42　字发生器主设置对话框

单击设置键（Set），可出现如图 2.43 所示的字元个数设置对话框，根据需要设置字元个数。例如设置字元个数为 8，如图中所示。

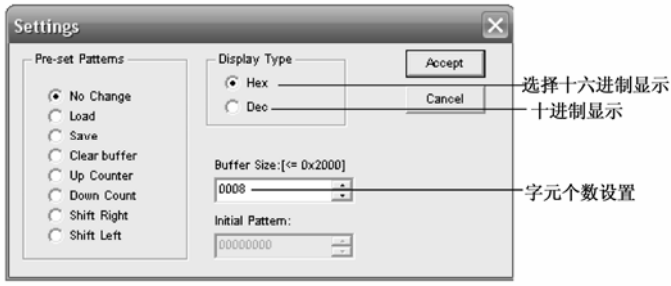


图 2.43　字元个数设置对话框

在如图 2.44 所示的主设置界面右侧的字码显示框中只显示 8 个字（十六进制）。将这 8 个字设置为十六进制数 0、1、0、1、2、3、2、3，并设置为无暂停点的循环输出，输出频率设置为 1kHz。

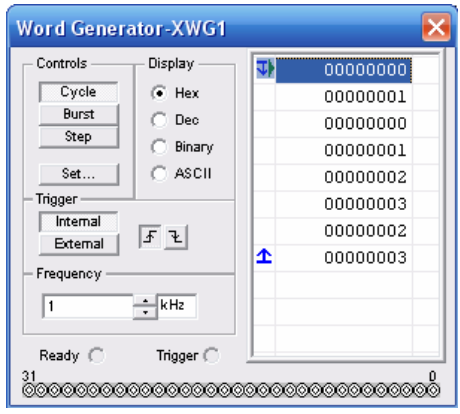


图 2.44　只显示 8 个字的主设置界面

然后，把字发生器和示波器按照图 2.45 左所示连接方式相连，用鼠标左键双击示波器，出现示波器显示设置对话框，按照图中所示进行相应设置：周期设置为 1ms/ Div；幅度 A、B 均设置为 2V/Div；X 轴偏移量设置为 0；Y 轴偏移量设置为－3；水平面高度 Level 设置为 0.5V。

单击仿真开关，则示波器运行，观察波形运行情况，8 个字将循环输出，每 1ms 输出 1 个字。因设置的输出频率为 1kHz，所以 0 输出端的波形频率为 500Hz，1 输出端的波形频率为 125Hz。

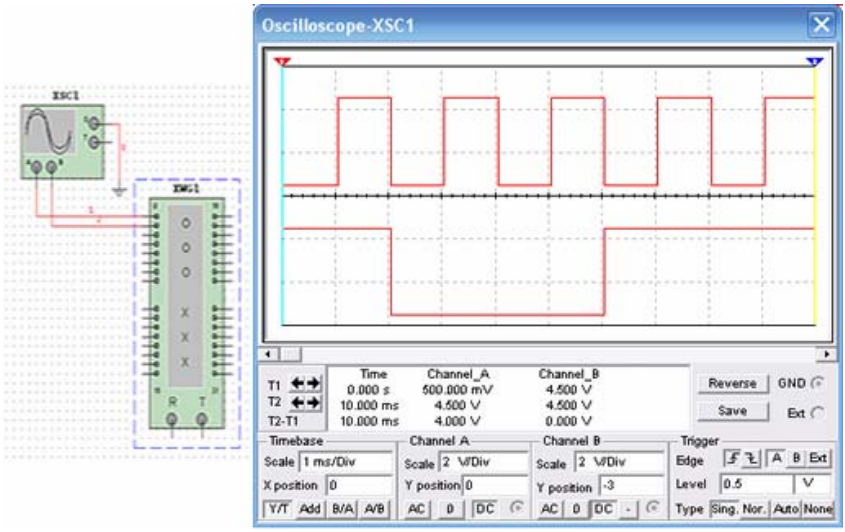


图 2.45　字发生器与示波器的连接及其字发生器的波形观察

3．三态与门电路仿真

按图 2.46 连接电路。

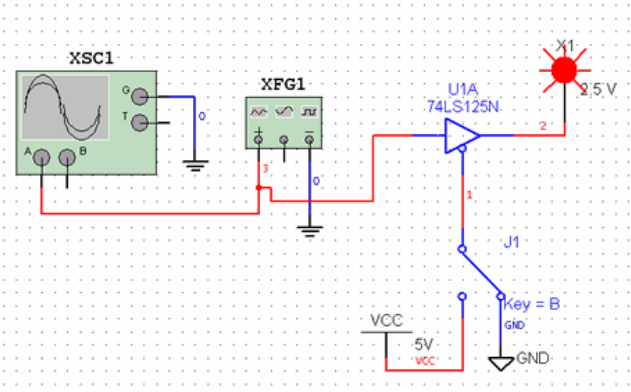


图 2.46　三态“与”门仿真实验电路

其中函数信号发生器和示波器的参数按照图 2.47 所示进行设置。设置完毕后，打开仿真开关，让使能控制端先和 5V 电源相连（注意三态与门的使能端是低电平有效），观察电路中灯的变化，再单击“B”，让使能端与“地”端相连，继续观察灯泡的变化，并记录下来。同

时也可双击示波器，同时观察示波器的波形与灯变化的情况。

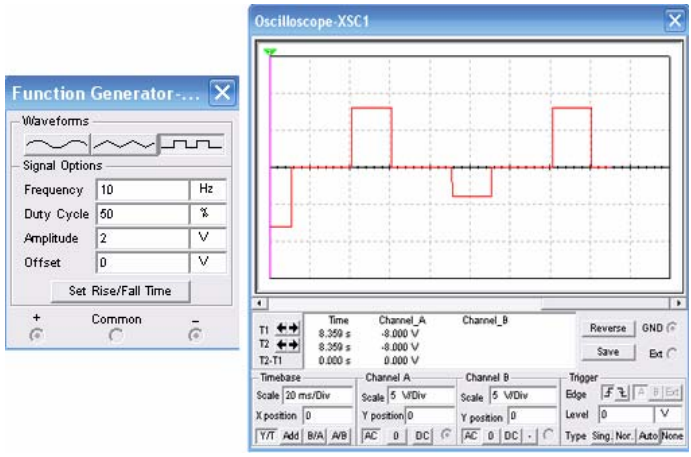


图 2.47　函数信号发生器和示波器参数的设置

4．试按照图 2.48 进行与、或、非等逻辑门的功能测试

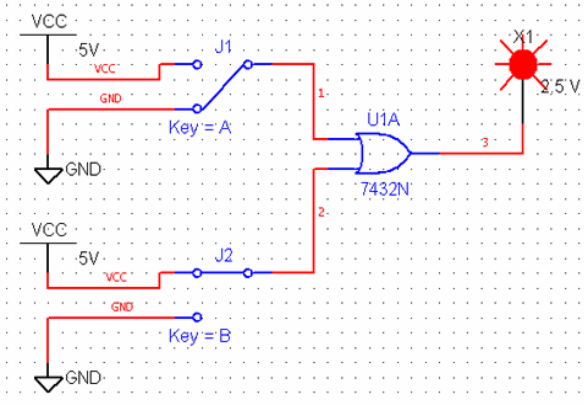


图 2.48　函数信号发生器和示波器参数的设置

第 2 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 23 分）

1．基本逻辑关系的电路称为_____，其中最基本的有_____、_____和_____门。常用的复合逻辑门有_____门、_____门、_____门、_____门和_____门。

2．TTL 集成电路的子系列中，74S 表示_____系列，74H 表示_____系列、74LS 表示_____系列。

3．CMOS 集成电路是由_____型_____管和_____型_____管组成的互补对称 MOS 门电路，其中 CC4000 系列和_____系列是它的主要子系列。

4．功能为“有 0 出 1、全 1 出 0”的门电路是_____门；具有“_____”功能的门电路是或门；实际中集成_____门应用得最为普遍。

5. 普通的 TTL 与非门具有_____结构，输出只有_____和_____两种状态；TTL 三态与非门除了具有_____态和_____态，还有第三种状态_____态，三态门可以实现_____结构。

6. 集成电极开路的 TTL 与非门又称为_____门，其输出可以_____。

7. TTL 集成电路和 CMOS 集成电路相比较，_____集成门的带负载能力较强，_____集成门的抗干扰能力较强。

8. 两个参数对称一致的一个_____管和一个_____管，并联可构成一个 CMOS 传输门。两管源极相连构成传输门的_____端，两管漏极相连构成传输门的_____端，两管的栅极分别与两个互非的_____端相连。

9. 具有图腾结构的 TTL 集成电路，同一芯片上的输出端，不允许_____联使用；同一芯片上的 CMOS 集成电路，输出端可以_____联使用，但不同芯片上的 CMOS 集成电路上的输出端是不允许_____联使用的。

10. 当外界干扰较小时，TTL_____门闲置的输入端可以_____处理；TTL_____门不使用的闲置输入端应与_____相接；CMOS 门输入端口为“与”逻辑关系时，闲置的输入端应接_____电平，具有“或”逻辑端口的 CMOS 门多余的输入端应接_____电平，即 CMOS 门的闲置输入端不允许_____。

二、判断正误题（每小题 1 分，共 10 分）

1. 所有的集成逻辑门，其输入端子均为两个或两个以上。（　　）
2. 根据逻辑功能可知，异或门的反是同或门。（　　）
3. 具有图腾结构的 TTL 与非门可以实现“线与”逻辑功能。（　　）
4. 逻辑门电路是数字逻辑电路中的最基本单元。（　　）
5. TTL 和 CMOS 两种集成电路与非门，其闲置输入端都可以悬空处理。（　　）
6. 74LS 系列产品是 TTL 集成电路的主流，应用最为广泛。（　　）
7. 74LS 系列集成芯片属于 TTL 型，CC4000 系列集成芯片属于 CMOS 型。（　　）
8. 三态门采用了图腾输出结构，不仅负载能力强，且速度快。（　　）
9. OC 门可以不仅能够实现“总线”结构，还可构成与或非逻辑。（　　）
10. CMOS 电路的带负载能力和抗干扰能力均比 TTL 电路强。（　　）

三、选择题（每小题 2 分，共 16 分）

1. 具有“有 1 出 0、全 0 出 1”功能的逻辑门是（　　）。
 A. 与非门　　B. 或非门　　C. 异或门　　D. 同或门
2. 两个类型的集成逻辑门相比较，其中（　　）型的抗干扰能力更强。
 A. TTL 集成逻辑门　　B. CMOS 集成逻辑门
3. CMOS 电路的电源电压范围较大，约在（　　）。
 A. －5～＋5V　　B. 3～18V　　C. 5～15V　　D. ＋5V
4. 若将一个 TTL 异或门当做反相器使用，则异或门的 A 和 B 输入端应：（　　）。
 A. B 输入端接高电平，A 输入端作为反相器输入端

B．B 输入端接低电平，A 输入端作为反相器输入端

C．A、B 两个输入端并联，作为反相器的输入端

D．不能实现

5.（　　）的输出端可以直接并接在一起，实现“线与”逻辑功能。

A．TTL 与非门　　B．三态门　　C．OC 门

6.（　　）在计算机系统中得到了广泛的应用，其中一个重要用途是构成数据总线。

A．三态门　　B．TTL 与非门　　C．OC 门

7．一个两输入端的门电路，当输入为 1 0 时，输出不是 1 的门电路为（　　）。

A．与非门　　B．或门　　C．或非门　　D．异或门

8．一个四输入的与非门，使其输出为 0 的输入变量取值组合有（　　）。

A．15 种　　B．1 种　　C．3 种　　D．7 种

四、简述题（每小题 4 分，共 24 分）

1．数字电路中，正逻辑和负逻辑是如何规定的？

2．你能说出常用复合门电路的种类吗？它们的功能如何？

3．TTL 与非门闲置的输入端能否悬空处理？CMOS 与非门呢？

4．试述图腾结构的 TTL 与非门和 OC 门、三态门的主要区别是什么？

5．如果把与非门、或非门、异或门当做非门使用时，它们的输入端应如何连接？

6．提高 CMOS 门电路的电源电压可提高电路的抗干扰能力，TTL 门电路能否这样做？为什么？

五、分析题（共 27 分）

1．已知输入信号 A、B 的波形和输出 Y_1、Y_2、Y_3、Y_4 的波形如图 2.49 所示。试判断各为哪种逻辑门，并画出相应逻辑门图符号，写出相应逻辑表达式。（12 分）

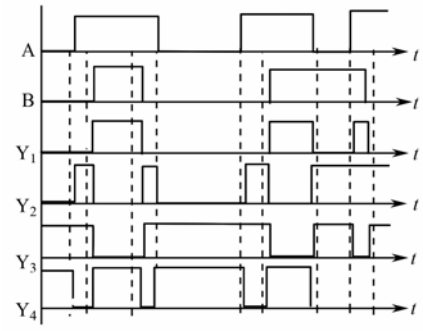


图 2.49　分析题 1 的波形图

2．电路如图 2.50（a）所示，其输入变量的波形如图（b）所示。试判断图中发光二极管在哪些时段会亮。（7 分）

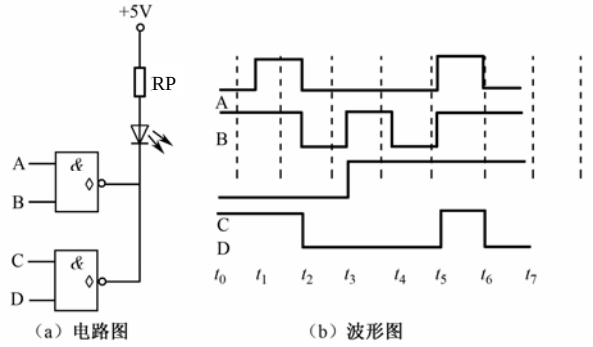


图 2.50　分析题 2 的电路与波形图

3．试写出如图 2.51 所示数字电路的逻辑函数表达式，并判断其功能。（8 分）

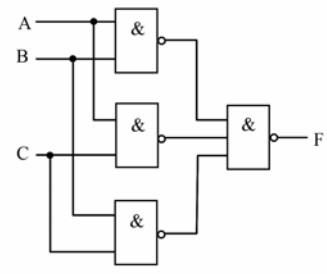


图 2.51　分析题 3 的电路图

第 3 单元　组合逻辑电路

任务导入

数字电子技术中，为了完成较为复杂的逻辑运算和逻辑功能，往往需要把多种逻辑门按照一定的方式组合起来，构成具有一定功能的数字电路。这些以逻辑门作为基本单元的数字电路称为组合逻辑电路。实用数字电路器件编码器、译码器、多路选择器、多路分配器和全加器等，都属于组合逻辑电路器件。如图 3.1 所示为数字电路中常用的译码器、编码器和数据选择器。



图 3.1　常用组合逻辑电路器件

以译码器为例，如图 3.2 所示为 3−8 译码器 74LS138 的内部结构原理图。

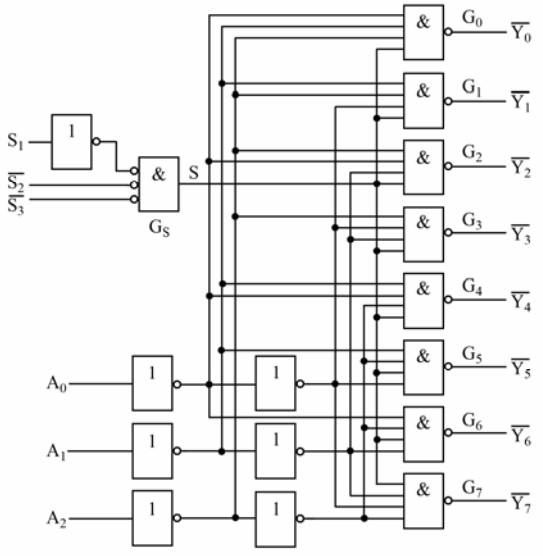


图 3.2　3−8 译码器 74LS138 内部结构原理图

从译码器 74LS138 的内部结构原理图可以看出，它是由许多逻辑门组合起来构成的功能电路。同样，编码器、数据选择器和全加器也都是内部包含许多逻辑门的功能电路。

组合逻辑电路是电子工程技术人员必须要掌握的重要基础知识之一。对于已经设计出来的组合逻辑电路，使用者只有了解和熟悉它们的功能和外部特性，才能在实际电子线路中正确选择和合理使用它们；当实用中需要设计一定功能的组合逻辑电路时，技术人员首先要掌握相关

的组合逻辑电路理论知识和实际应用技术，才可能设计出实用、可靠、功能完善和经济指标好的组合逻辑电路新器件。

本单元的学习任务如下：

（1）组合逻辑电路的分析方法。

（2）组合逻辑电路的设计方法。

（3）实用组合逻辑电路器件的功能及应用技能。

（4）应用 Multisim 8.0 EDA 电路仿真软件设计一定功能的组合逻辑电路。

本单元的学习中，对编码器、译码器、数据选择器、数据比较器等典型中规模组合逻辑标准器件，其内部逻辑电路结构并不需要去记忆，重点要放在理解这些器件的功能原理，掌握这些中规模集成逻辑器件的使用方法。



理论知识

3.1 组合逻辑电路的分析

组合逻辑电路的基础就是数字逻辑基础和逻辑门。只有理解了组合逻辑电路的工作特性，才能进一步掌握组合逻辑的分析方法，学会组合逻辑电路的设计步骤，掌握组合逻辑电路的设计方法。

3.1.1 组合逻辑电路的特点

组合逻辑电路中，任何时刻的输出仅仅取决于该时刻电路的输入，与电路原来的状态无关。这就是组合逻辑电路在逻辑功能上的共同特点。

3.1.2 组合逻辑电路功能的描述

组合逻辑电路在功能描述上通常有四种方法。

1．逻辑函数式

例如，一个组合逻辑电路的逻辑函数式为

$$F=\overline{A}B+A\overline{B}$$

我们马上就可以看出来，这个组合逻辑电路的功能是输出对输入具有异或功能。如果逻辑函数式较为复杂，其实现的功能一下看不出来，则可通过逻辑函数的化简得到最简式，然后分析而得出。

2．真值表

真值表描述组合逻辑电路的功能比较直观。假如我们通过分析已经得到一个最简的逻辑函数式，把这个最简逻辑函数式中的输出、输入关系用真值表表示出来，例如，表 3-1 就是一个三变量的组合逻辑电路的真值表。

表 3-1　三变量的组合逻辑电路的真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

观察真值表的输入与输出关系，当输入变量中有奇数个 1 时，输出就为 1；输入变量中有偶数个 1 或全 0 时，输出就为 0。可判断出该组合逻辑电路是一个三变量的判奇电路。

3．波形图

组合逻辑电路的输入变量和输出变量之间的关系用波形图表示时，更加直观。例如，一个两变量的组合逻辑电路，其波形图如图 3.3 所示。

图中波形显示，当两输入相同时输出为 0，两输入相异时，输出为 1。可见，这是一个具有异或功能的组合逻辑电路。

4．逻辑图

对于任意一个多输入、单输出或多输入、多输出的组合逻辑电路，都可以用以常用逻辑门图符号相连接的逻辑电路图来表达，如图 3.4 所示。

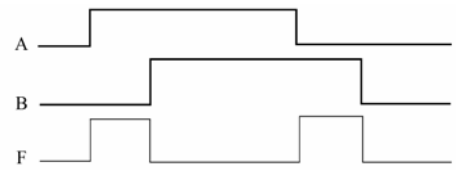


图 3.3　两变量组合逻辑电路的波形图

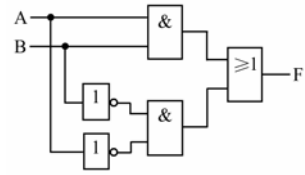


图 3.4　组合逻辑电路图

3.1.3　组合逻辑电路的分析

根据给定的逻辑电路，找出其输出信号和输入信号之间的逻辑关系，确定电路逻辑功能的过程叫做组合逻辑电路的分析。

1．组合逻辑电路的一般分析步骤

通常组合逻辑电路的分析步骤如下，最后得到表示输出与输入关系的逻辑函数式。

（1）根据已知逻辑电路图，从电路的输入到输出逐级写出逻辑函数式；

（2）用公式法或卡诺图法对写出的逻辑函数式进行化简，得到最简逻辑表达式；

（3）根据最简逻辑表达式，列出相应的逻辑电路真值表（如果最简逻辑表达式一眼即可看出其电路功能，则这一步可省略）；

（4）根据真值表找出电路输出与输入之间的关系，即总结出电路的逻辑功能，以理解电路的作用。（如果通过真值表分析电路功能已经明了，这一步骤可省略。）

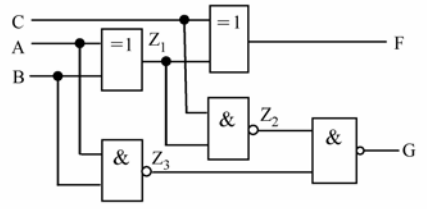


图 3.5　例 3.1 逻辑电路图

2．组合逻辑电路分析举例

【例 3.1】分析如图 3.5 所示逻辑电路的功能。

解：① 对图用逐级递推法写出输出 F 和 G 的逻辑函数表达式。

$$Z_1=A\oplus B$$

$$Z_2=\overline{(A\oplus B)C}$$

$$Z_3=\overline{AB}$$

$$F=C\oplus(A\oplus B)$$

$$G=\overline{\overline{(A\oplus B)C}\cdot\overline{AB}}$$

$$=(A\oplus B)C+AB$$

② 用代数法化简逻辑函数。

$$F=C\oplus(A\oplus B)$$

$$=C\overline{A}\overline{B}+\overline{A}\overline{B}+\overline{C}(A\overline{B}+\overline{A}B)$$

$$=C[(\overline{A}+B)(A+\overline{B})]+A\overline{B}\overline{C}+\overline{A}B\overline{C}$$

$$=\overline{A}\overline{B}C+ABC+A\overline{B}\overline{C}+\overline{A}B\overline{C}$$

$$G=(A\oplus B)C+AB$$

$$=C(A\overline{B}+\overline{A}B)+AB$$

$$=A\overline{B}C+\overline{A}BC+AB$$

$$=AC+BC+AB$$

③ 列出真值表如表 3-2 所示。

④ 逻辑功能分析：观察真值表可得出电路的特点是，当输入信号中有两个或两个以上“1”时，输出 G 为“1”，其他为“0”；当输入信号中“1”的个数为奇数个时，输出 F 为“1”，其他为“0”。如果我们认为 A 和 B 分别是被加数和加数，C 是低位的进位数，则 F 是按二进制数计算时本位的和，G 是向高位的进位数，由此说明该电路是一个 1 位全加器。

【例 3.2】分析如图 3.6 所示逻辑电路的功能。

表 3-2　例 3.1 电路真值表

输　入			输　出	
A	B	C	F	G
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

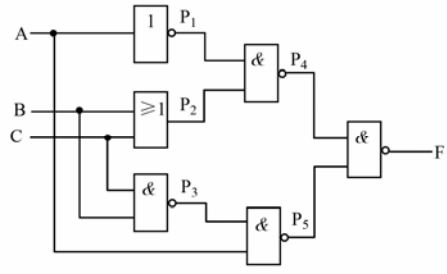


图 3.6　例 3.2 逻辑电路图

解: ① 对图用逐级递推法写出输出 F 的逻辑函数表达式。

$P_1=\overline{A}$

$P_2=B+C$

$P_3=\overline{BC}$

$P_4=\overline{P_1P_2}=\overline{\overline{A}(B+C)}$

$P_5=\overline{AP_3}=\overline{A\overline{BC}}$

$F=\overline{P_4P_5}=\overline{\overline{A}(B+C)A\overline{BC}}$

② 用代数法化简逻辑函数

$$F=\overline{\overline{A}(B+C)A\overline{BC}}$$
$$=\overline{A}(B+C)+A\overline{BC}$$
$$=\overline{A}B+\overline{A}C+A\overline{B}+A\overline{C}$$

表 3-3　例 3.2 电路真值表

输　入			输　出
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

③ 列出真值表如表 3-3 所示。

④ 逻辑功能分析：观察真值表可得出电路的特点是，当输入信号中三个完全相同时输出为“0”，若三个输入中至少有一个不相同时输出即为“1”。由于三变量不一致时输出 F 为“1”，因此这是一个三变量不一致电路。

思考与问题

1．组合逻辑电路有什么共同特点？组合逻辑电路的基本单元是什么？

2．试述组合逻辑的分析步骤。

3．在组合逻辑电路的分析过程中，哪几个步骤是不可少的？

3.2　组合逻辑电路的设计

3.2.1　组合逻辑电路的设计步骤

根据给定的逻辑功能，写出最简的逻辑函数式，并根据逻辑函数式构成相应组合逻辑电路的过程称为组合逻辑电路的设计。显然，组合逻辑电路的设计过程与组合逻辑电路的分析过程是互逆的。

组合逻辑电路设计的一般步骤如下。

（1）根据给出的条件和最终实现的功能，首先定出逻辑变量和逻辑函数，并用相应字母表示出来，其次用 0 和 1 各表示一种状态，由此找出逻辑变量和逻辑函数之间的关系。

（2）根据逻辑变量和逻辑函数之间的关系列出真值表，根据真值表写出逻辑表达式。

（3）化简逻辑函数。

（4）根据最简逻辑表达式画出相应的逻辑电路。

3.2.2　组合逻辑电路的设计举例

【例 3.3】设计一个多数表决器，三人参加表决，多数通过，少数否决。

解：① 逻辑变量和逻辑函数及其状态的设置。根据题目的要求，表决人对应输入逻辑变量，设用 A、B、C 表示；表决结果对应输出逻辑函数，用字母 F 表示。

设输入为“1”时，表示同意，为“0”时表示否决；输出为“1”时为通过，为“0”时提案被否决。

② 列出相应真值表，如表 3-4 所示。

表 3-4　例 3.3 电路真值表

输　入			输　出
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

③ 写出逻辑函数表达式并化简：

由于真值表中的每一行对应一个最小项，所以将输出为“1”的最小项用“与”项表示后进行逻辑加，即可得到逻辑函数的最小项表达式。在写最小项时，逻辑变量为“0”时用反变量表示，为 1 时用原变量表示。

在真值表中输出逻辑函数共有 4 个 1，所以最小项表达式共有 4 个，它们是：$011\to\overline{A}BC;\ 101\to A\overline{B}C;\ 110\to AB\overline{C};\ 111\to ABC$。即 $F=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC$

用卡诺图化简如图 3.7 所示，化简结果得

$$F=AB+BC+CA$$

④ 根据逻辑函数式可画出逻辑电路图。

由于实际制作逻辑电路的过程中，一块集成芯片上往往有多个同类门电路，所以在构成具体逻辑电路时，通常只选用一种门电路，而且一般选用与非门的较多。此多数表决电路的逻辑函数式可利用反演律，很容易得到与非与非式。即

$$F=\overline{AB+BC+CA}=\overline{\overline{AB}\cdot\overline{BC}\cdot\overline{CA}}$$

这样，我们就得到了如图 3.8 所示的由 4 个与非门构成的多数表决器逻辑电路。

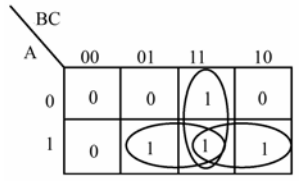


图 3.7　例 3.3 卡诺图

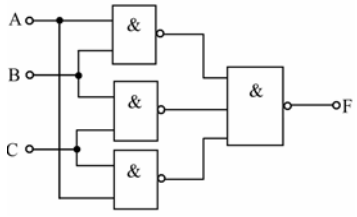


图 3.8　例 3.3 逻辑电路图

【例 3.4】用与非门设计一个监视交通信号灯工作状态的逻辑电路。交通灯的每一组信号灯由红、黄、绿三盏灯组成。正常工作时，只有一盏灯亮，而且只允许一盏灯亮。若出现其他情况均为交通灯电路发生故障，这时应提醒维护人员去修理。示意图如图 3.9 所示。

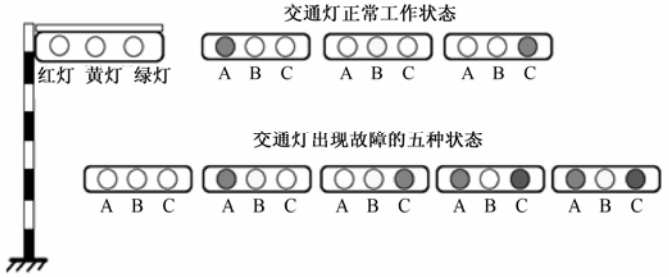


图 3.9　交通信号灯的正常情况和故障情况图例

解：① 选取电路变量并赋值。

取红、黄、绿三盏灯的状态为输入变量，分别用 A、B、C 表示，并规定灯亮时为 1，灯不亮时为 0。取故障信号为输出变量，以 F 表示，并规定正常工作状态下 F 为 0，发生故障时 F 为 1。

② 根据题意列出表 3-5 所示的逻辑真值表。

③ 写出逻辑函数表达式并化简为

$$F=\overline{A}\overline{B}\overline{C}+\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC$$

用卡诺图化简如图 3.10 所示。

表 3-5　例 3.4 的逻辑真值表

输　　入			输　　出
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

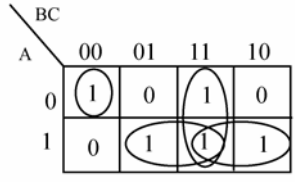


图 3.10　例 3.4 卡诺图

化简结果得 $F=\overline{A}\overline{B}\overline{C}+AB+AC+BC$

④ 根据逻辑函数式可画出逻辑电路图。

题目要求用与非门进行设计。因此，该电路可对最简函数式进一步变换，主要还是利用反演律，很容易得到与非与非式。即

$$F=\overline{\overline{A}\overline{B}\overline{C}+AB+AC+BC}=\overline{\overline{A}\overline{B}\overline{C}+\overline{AB}+\overline{AC}+\overline{BC}}$$

这样，我们就得到了如图 3.11 所示的组合逻辑电路。

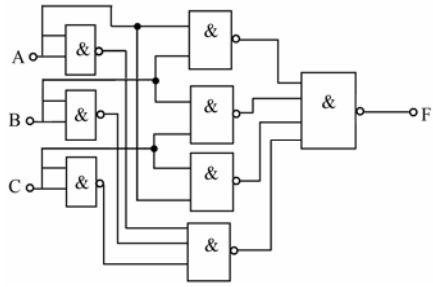


图 3.11　例 3.4 逻辑电路图

随着中、大规模集成电路的出现，组合逻辑电路在设计概念上也随之发生了很大的变化，现在已经有了逻辑功能很强的组合逻辑器件，灵活地应用它们，将会使组合逻辑电路在设计时事半功倍。

思考与问题

1．试述组合逻辑电路的设计步骤。

2．试用与非门设计一个三变量的判奇电路。

3.3 编 码 器

3.3.1 编码、编码器

1．编码

在数字逻辑应用技术中，经常需要把具有某种特定含义的信号用若干个 0 和 1 的组合构成一个二进制数，这个二进制数因为被赋予了特定的含义而称为**代码**。在数字电路中输入的每一个高、低电平编成一个二进制代码的过程就是**编码**。

电子设备中将字符变换成二进制码，叫做字符编码。例如，用 4 位二进制数的 0000～1001 这 10 种状态，分别表示 0～9 这 10 个十进制数码，称为 8421 编码。

2．编码器

所谓编码器，就是能将有特定意义的输入数字信号或文字符号的数字信号编成相应若干位二进制代码形式输出的组合逻辑电路。

例如，计算机键盘上的按键，这些按键每个至少负责一个功能。由于计算机只识别二进制信息，所以计算机在处理各种文字符号或数码时，就必须首先把这些文字符号或数码进行二进制编码，在编码时对所使用的每一个二进制代码赋予特定的含义，分别表示某个确定的信号或者对象，能够实现这种功能的组合逻辑电路称为**编码器**。操作计算机键盘时，用户每按下一个键，键盘中的编码器就能够迅速将此按键所对应的编码通过接口电路输送到计算机的键盘缓冲器中，由 CPU 进行识别处理。

3.3.2 普通编码器

目前在数字电子技术中经常使用的编码器有普通编码器和优先编码器两类。在普通编码器中，任何时刻只允许输入一个编码信号，否则输出将发生混乱。

以如图 3.12 所示的 3 位二进制普通编码器为例，对普通编码器的工作原理进行分析。

图中 8–3 编码器，其名称中的 8 指的是 8 个为高电平的输入信号 I_7、I_6、I_5、I_4、I_3、I_2、I_1、I_0；名称中的 3 则是指输出的 3 位二进制代码 Y_2、Y_1、Y_0。从图中的输入、输出关系中，可得到如表 3-6 所示的真值表。

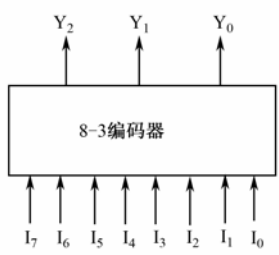


图 3.12 8–3 编码器框图

表 3-6　8–3 编码器的真值表

输　入								输　出		
I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	Y_2	Y_1	Y_0
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

将表 3-6 中的输出、输入逻辑关系写成相应的逻辑函数式如下：

$$Y_2=\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4I_3\bar{I}_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3I_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2I_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2\bar{I}_1I_0$$

$$Y_1=\bar{I}_7\bar{I}_6I_5\bar{I}_4\bar{I}_3\bar{I}_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5I_4\bar{I}_3\bar{I}_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2I_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2\bar{I}_1I_0$$

$$Y_0=\bar{I}_7I_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5I_4\bar{I}_3\bar{I}_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3I_2\bar{I}_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2I_1\bar{I}_0+\bar{I}_7\bar{I}_6\bar{I}_5\bar{I}_4\bar{I}_3\bar{I}_2\bar{I}_1I_0$$

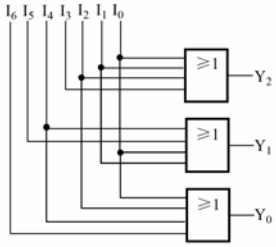


图 3.13　3 位二进制编码电路

由逻辑函数式可知，如果任何时刻 I_7～I_0 中只有一个取值为 1，则输入变量的组合仅有表中所示的 8 种状态，其他的输入变量组合显然都是无关最小项，利用无关最小项可把上述逻辑关系化简为

$$\begin{aligned}Y_2&=I_3+I_2+I_1+I_0\\Y_1&=I_5+I_4+I_1+I_0\\Y_0&=I_6+I_4+I_2+I_0\end{aligned}\qquad(3.1)$$

则最简式可以画出相应的逻辑电路，如图 3.13 所示。

3.3.3　优先编码器

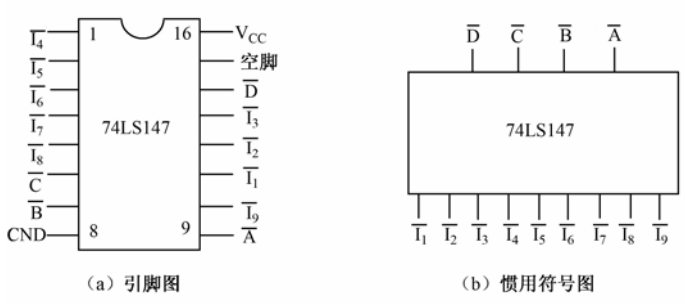
在数字逻辑电路应用技术中，尤其在计算机操作系统中，常常要控制几个工作对象，例如，计算机主机要控制打印机、磁盘驱动器、输入键盘等。当某个部件需要实行操作时，必须先送一个信号给主机，提出服务请求，经主机识别后再发出允许操作的服务响应信号，并按事先编好的程序工作。但当操作者不慎而同时按下两个或更多个按键时，由于计算机的机械操作键盘比较简单，同一时刻只允许给其中的 1 个部件发出操作信号，就会造成几个部件同时发出服务请求，从而造成计算机输出的混乱。

为避免上述现象的发生，数字电子技术中根据操作任务的轻重缓急，事先规定好这些控制对象允许操作的先后次序，即事先按照优先级别给控制对象排好队，当有多个输入信号同时出现时，操作系统只对输入中优先级别最高的进行编码。具有能够识别请求信号的优先级别，并进行优先编码的组合逻辑器件称为优先编码器。

1．10–4 优先编码器

10–4 优先编码器是将十进制数码转换为二进制代码的组合逻辑电路。74LS147 优先编码

器的引脚排列图如图 3.14 所示。



（a）引脚图　　（b）惯用符号图

图 3.14　74LS147 的引脚图和惯用符号图

74LS147 是一个 16 脚的 TTL 集成电路，是优先编码器的定型产品。74LS147 芯片的 15 脚为空脚，$\overline{I_1}$ ～ $\overline{I_9}$ 为输入信号端，$\overline{A}$ ～ $\overline{D}$ 为输出端。输入和输出均为低电平有效。

74LS147 优先编码器属于 8421BCD 码编码器，其功能真值表见表 3-7。

表 3-7　74LS147 编码器真值表

输　入									输　出			
$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{I_8}$	$\overline{I_9}$	$\overline{D}$	$\overline{C}$	$\overline{B}$	$\overline{A}$
×	×	×	×	×	×	×	×	×	1	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	×	0	1	1	1	1	1	1	0	1	1
×	×	0	1	1	1	1	1	1	1	1	0	0
×	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

由表 3-7 可以看出，在 74LS147 优先编码器中，无输入信号时，输出端全部为高电平“1”，“1”表示无输入信号。

由真值表第 2 行可知，当 $\overline{I_9}$ 输入为低电平“0”时，无论其他输入端是否有输入信号输入，编码器的输出均为 0110（1001 的反码），即再根据其他输入端的输入情况可以得出相应的输出代码。

由真值表第 3 行可知，只要 $\overline{I_9}$ 输入为高电平“1”，$\overline{I_8}$ 输入为低电平“0”时，不管其余端子有无信号输入，编码器均按 $\overline{I_8}$ 输入编码，输出为十进制数 8 的 8421BCD 码的反码 0111。

以此类推，可得 74LS147 优先编码器的输入端 $\overline{I_9}$ 的优先级别最高，其余输入的优先级别依次为 $\overline{I_8}$、$\overline{I_7}$、$\overline{I_6}$、$\overline{I_5}$、$\overline{I_4}$、$\overline{I_3}$、$\overline{I_2}$、$\overline{I_1}$，$\overline{I_0}$ 的优先级别最低。

2．8–3 优先编码器

74LS148 也是 TTL 集成电路，和 74LS147 一样是优先编码器的定型产品。74LS148 的引

脚排列图和惯用符号图如图 3.15 所示。图中 $\overline{I_0}$ ～ $\overline{I_7}$ 为输入信号端，$\overline{Y_0}$ ～ $\overline{Y_2}$ 为输出端，$\overline{S}$ 为使能输入端，$\overline{O_E}$ 为使能输出端，$\overline{G_S}$ 为片优先编码输出端。

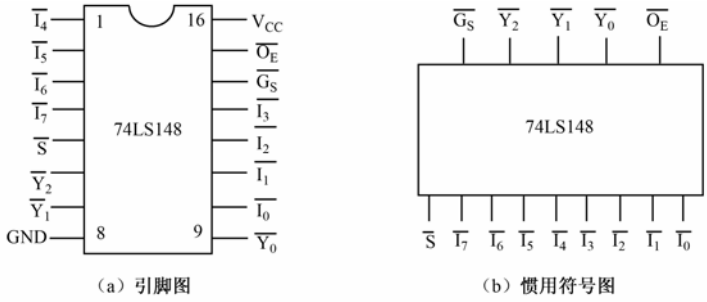


图 3.15　74LS148 的引脚图和惯用符号图

在表示输入、输出端的字母上，“非”号表示低电平有效。

当使能输入端 $\overline{S}$ =1 时，为禁止编码状态，此时不论 8 个输入端为何种状态，3 个输出端均为高电平“1”。当使能输入端 $\overline{S}$ =0 时，电路处于正常编码状态，编码器工作。由于优先编码器中优先级别高的信号排斥优先级别低的信号，具有单方面排斥的特性，因此 74LS148 的输出端电平由 $\overline{I_0}$ ～ $\overline{I_7}$ 的输入信号而定。$\overline{I_7}$ 的优先级别最高，$\overline{I_0}$ 的优先级别最低。

当使能输入端 $\overline{S}$ =0，且至少有一个输入端有编码请求信号逻辑“0”时，优先编码工作状态标志 $\overline{G_S}$ =0，表明编码器处于正常编码工作状态。这时使能输出端 $\overline{O_E}$ 为高电平“1”。

使能输出端 $\overline{O_E}$ =0 时，表示电路处于正常编码同时又无输入编码信号的状态。即 $\overline{O_E}$ 只在允许编码而又没有输入信号时为低电平“0”。

74LS148 集成芯片的真值表见表 3-8。

表 3-8　74LS148 编码器真值表

输　　入									输　　出				
$\overline{S}$	$\overline{I_0}$	$\overline{I_1}$	$\overline{I_2}$	$\overline{I_3}$	$\overline{I_4}$	$\overline{I_5}$	$\overline{I_6}$	$\overline{I_7}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{G_S}$	$\overline{O_E}$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	0	0	0	1
0	×	×	0	1	1	1	1	1	1	0	1	0	1
0	×	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

从真值表中可以解读出优先编码器 74LS148 输出和输入之间的关系。

74LS148 使能端 $\overline{S}$、$\overline{G_S}$ 和 $\overline{O_E}$ 通常应用在扩展功能中。当两个 74LS148 级联应用时，高位芯片的 $\overline{G_S}$ 端与低位芯片的 $\overline{S}$ 端连接起来，可以扩展优先编码功能。$\overline{G_S}$ 为优先扩展输出端，

级联应用时可作为输出位的扩展端。

3．74LS148 的扩展应用

利用使能端的作用，可以用两块 74LS148 扩展为 16−4 优先编码器，如图 3.16 所示。

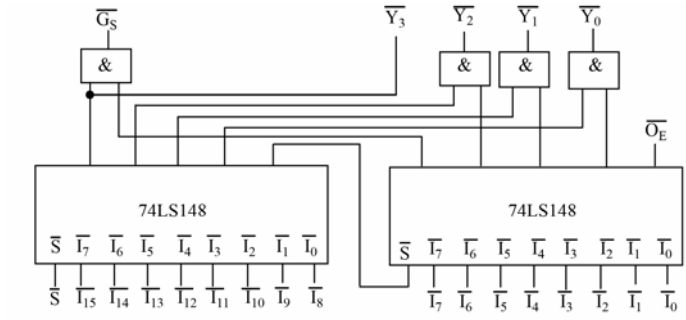


图 3.16　74LS148 优先编码器的功能扩展

当高位芯片的使能输入端为“0”时，允许对 $\overline{I_8}$ ～ $\overline{I_{15}}$ 编码，当高位芯片有编码信号输入时，$\overline{O_E}$ 为 1，它控制低位芯片处于禁止状态；若当高位芯片无编码信号输入时，$\overline{O_E}$ 为 0，低位芯片处于编码状态。高位芯片的 $\overline{G_S}$ 端作为输出信号的高位端，输出信号的低 3 位由两块芯片的输出端对应位相“与”后得到。在有编码信号输入时，两块芯片只能有一块工作于编码状态，输出也是低电平有效，相“与”后就可以得到相应的编码输出信号。

【例 3.5】电话室需对 4 种电话编码控制，优先权由高到低是：火警电话、急救电话、工作电话、生活电话，分别编码为 11、10、01、00 。试设计该编码器电路。

解：① 假设火警、急救、工作和生活 4 种电话信号分别为 A、B、C、D，并用 1 表示有电话，0 表示无电话；输出编码用 F_1、F_0 表示。按题意可列真值表如表 3-9 所示，表中×表示取值任意。

② 写出 F_1、F_2 的逻辑函数式并化简。

$F_1 = A + \overline{A}B = A + B$

$F_0 = A + \overline{A}\,\overline{B}C = A + \overline{B}C$

③ 根据逻辑函数式画出相应逻辑电路图，如图 3.17 所示。

表 3-9　例 3.5 真值表

输　入				输　出	
A	B	C	D	F_1	F_0
1	×	×	×	1	1
0	1	×	×	1	0
0	0	1	×	0	1
0	0	0	1	0	0

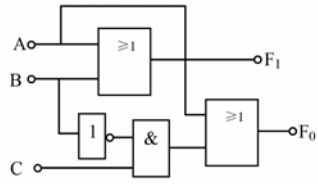


图 3.17　例 3.5 逻辑电路图

由逻辑图不难看出，该电路有三个输入信号（A、B、C）就可以正常工作。当 A＝B＝C＝0 时，F_1F_0＝00，即表示对生活电话编码，输入信号 D 的 输入端可以省略。

本例可用来熟悉优先编码器的功能和特点，通过本例可以初步了解组合逻辑电路的设计方法。

思考与问题

1．何谓编码？优先编码器中“优先”二字如何理解？

2．你能说出“10−4”、“8−3”分别代表的什么吗？74LS147 和 74LS148 是 TTL 集成电路还是 CMOS 集成电路？

3．你能通过例题初步了解到组合逻辑电路的设计步骤吗？能否用自己的语言对组合逻辑电路的设计步骤进行叙述？

3.4 译 码 器

3.4.1 译码、译码器

1．译码

将输入的每个二进制代码都译成对应的高、低电平信号的过程称为译码。显然，译码和编码的过程互逆。

2．译码器

能实现译码功能的组合逻辑电路称为译码器。译码器和编码器都是多输入、多输出的组合逻辑电路。译码器在数字系统中不仅用于代码的转换、终端的数字显示，还用于数据分配、存储器寻址和组合控制信号等。

按功能的不同，译码器可分为变量译码器、代码变换译码器和显示译码器。我们本章主要介绍变量译码器和显示译码器的外部工作特性和应用。

3.4.2 变量译码器

74LS138 是一个有 16 个引脚的变量译码器，具有电源端，“地”端，3 个输入端 A_2、A_1、A_0，8 个输出端 $\overline{Y_7}$ ～ $\overline{Y_0}$，3 个使能端 G_1、$\overline{G_{2A}}$、$\overline{G_{2B}}$。其引脚图和惯用符号图如图 3.18 所示。

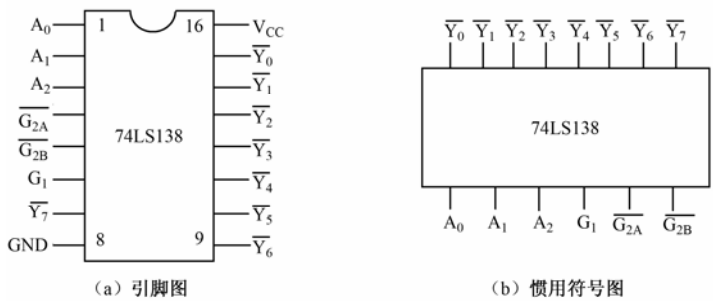


图 3.18　74LS148 的引脚图和惯用符号图

74LS138 的输入、输出关系见表 3-10。

表 3-10　74LS138 译码器的真值表

输入				输出							
G_1	$\overline{G_{2A}}$	$\overline{G_{2B}}$	A_2 A_1 A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
×	1		× × ×	1	1	1	1	1	1	1	1
0	×		× × ×	1	1	1	1	1	1	1	1
1	0		0 0 0	0	1	1	1	1	1	1	1
1	0		0 0 1	1	0	1	1	1	1	1	1
1	0		0 1 0	1	1	0	1	1	1	1	1
1	0		0 1 1	1	1	1	0	1	1	1	1
1	0		1 0 0	1	1	1	1	0	1	1	1
1	0		1 0 1	1	1	1	1	1	0	1	1
1	0		1 1 0	1	1	1	1	1	1	0	1
1	0		1 1 1	1	1	1	1	1	1	1	0

从真值表中可看出，当输入使能端 G_1 为低电平“0”时，无论其他输入端为何值，输出全部为高电平“1”；当输入使能端 $\overline{G_{2A}}$ 和 $\overline{G_{2B}}$ 中至少有一个为高电平“1”时，无论其他输入端为何值，输出全部为高电平“1”；当 G_1 为高电平“1”、$\overline{G_{2A}}$ 和 $\overline{G_{2B}}$ 同时为低电平“0”时，由 A_2、A_1、A_0 决定输出端中输出低电平“0”的一个输出端，其他输出为高电平“1”。（将输入 A_2、A_1、A_0 看做二进制数，它所代表的十进制数，就是输出低电平输出端的下标。）两片 74LS138 可以构成 4–16 译码器，连接方法如图 3.19 所示。

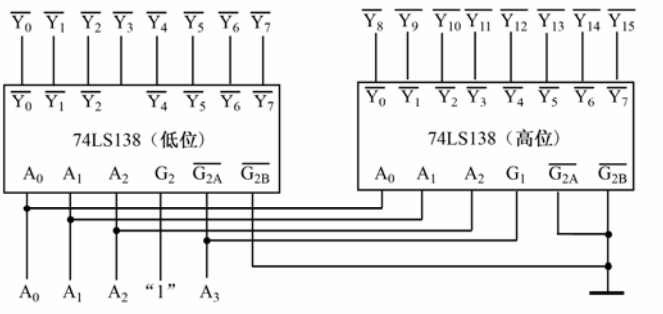


图 3.19　两片 74LS138 译码器扩展成 4–16 译码器连线图

A_3、A_2、A_1、A_0 为扩展后电路的信号输入端，$\overline{Y_{15}} \sim \overline{Y_0}$ 为输出端。当输入信号最高位 $A_3=0$ 时，高位芯片被禁止，$\overline{Y_{15}} \sim \overline{Y_8}$ 输出全部为“1”，低位芯片被选中，低电平“0”输出端由 A_2、A_1、A_0 决定。$A_3=1$ 时，低位芯片被禁止，$\overline{Y_7} \sim \overline{Y_0}$ 输出全部为“1”，高位芯片被选中，低电平“0”输出端由 A_2、A_1、A_0 决定。

用 74LS138 还可以实现三变量或者二变量的逻辑函数。因为变量译码器的每一个输出端的低电平都与输入逻辑变量的一个最小项相对应，所以当我们将逻辑函数变换为最小项表达式时，只要从相应的输出端取出信号，送入与非门的输入端，与非门的输出信号就是要求的逻辑函数。

【例 3.6】已知函数 $F=\overline{A}B+\overline{B}C+A\overline{C}$，试用译码器 74LS138 实现。

解：F 的最小项表达式为

$$F=\overline{A}BC+\overline{A}B\overline{C}+A\overline{B}C+A\overline{B}C+AB\overline{C}+A\overline{B}\overline{C}$$

$$=\sum m(1,\ 2,\ 3,\ 4,\ 5,\ 6)$$

逻辑电路如图 3.20 所示。

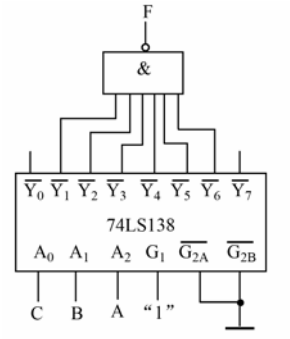


图 3.20　例 3.6 逻辑电路图

3.4.3　显示译码器

显示译码器是将二进制代码变换成显示器件所需特定状态的逻辑电路。目前，用于电子电路系统中的显示器件主要有由发光二极管组成的各种显示器件和液晶显示器件，这两种显示器件都有笔画段型和点阵型两大类。笔画段型由一些特定的笔画段组成，以显示一些特定的字型和符号；点阵型则由许多成行成列的发光元素点组成，由不同行和列上的发光点组成一定的字型、符号和图形。

1．数码显示器

数码显示器简称数码管，是常用的显示器件之一。其类型包括半导体发光二极管（LED）数码管和液晶数码管（LCD）。

（1）数码管 LED。LED 是 Light Emitting Diode 的缩写，直译为光发射二极管，中文名为发光二极管。由于作为单个发光元素 LED 发光器件的尺寸不能做得太小，对于小尺寸的 LED 显示器件，一般是笔画段型的，广泛用于显示仪表之中；大型尺寸的一般是点阵型器件，往往用于大型或特大型显示屏的制作。其结构示意图如图 3.21 所示。

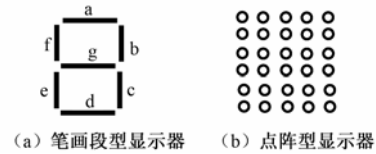


图 3.21　笔画段型和点阵型显示器示意图

笔画段型数码管用七段发光管做成“日”字形，用来显示 0～9 这 10 个数码，如图 3.22 所示。



图 3.22　七段数码管原理图

LED 数码管笔画段型在结构上分为共阴极和共阳极两种，如图 3.23 所示，其中图（a）是共阳极显示器示意图，图（b）是共阴极显示器示意图。共阴极结构的数码管需要高电平驱动才能显示；共阳极结构的数码管需要低电平驱动才能显示。驱动数码管的译码器，除逻辑关系和连接要正确外，电源电压和驱动电流应在数码管规定的范围内，不得超过数码管允许的功耗。

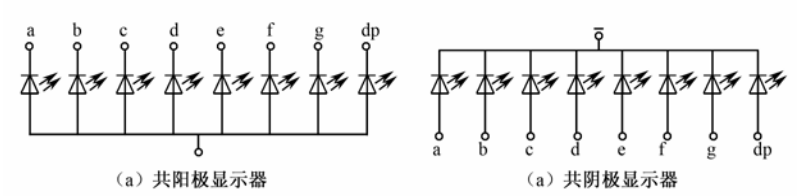


图 3.23　笔画段型 LED 显示器

2．液晶数码管

液晶是一种特殊的能极化液态晶体，属于有机化合物。在一定的温度范围内，液晶既具有液体的流动性，又具有晶体的某些光学特性，其透明度和颜色随电场、磁场、光、温度等外界条件的变化而变化。

液晶在电场作用下会产生各种光电效应。将液晶密封在一个平板形玻璃器皿中，玻璃上印有透明电极。定向层的作用使液晶分子与玻璃表面平行，并且在前后玻璃之间呈正交排列。当透明电极上没有加电压时，液晶分子在定向层的作用下呈正交排列，入射光透过起偏振片，变成水平偏振光，然后经液晶分子再旋转 90° 成垂直偏振光。因检偏振片的光轴与起偏振片的光轴互相垂直，所以，光线可以透过检偏振片，由反射片反射，经原路径返回，形成亮视场。当在透明电极上加上电压时，液晶分子变成与玻璃垂直排列，它不能把水平偏振光旋转，因而光线通过检偏振片，被液晶分子吸收，形成暗视场。这样，形成光线的反差，从而把字型和图案显示出来。

3．集成显示译码器

七段显示译码器是用来与数码管相配合、把以二进制 BCD 码表示的数字信号转换为数码管所需的输入信号。下面通过对集成 74LS48 译码显示器芯片的分析，了解这一类集成逻辑器件的功能和使用方法。

74LS48 是一个 16 脚的集成器件，除电源、接地端外，有 4 个输入端 A_3、A_2、A_1、A_0，输入 4 位二进制 BCD 码，高电平有效；7 个输出端 a～g，内部的输出电路有上拉电阻，可以直接驱动共阴极数码管；3 个使能端 $\overline{LT}$ 、$\overline{BI}/\overline{RBO}$ 和 $\overline{RBI}$ 。集成芯片引脚排列关系和常用符号如图 3.24 所示。

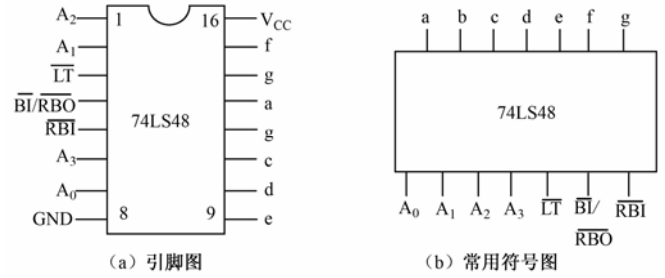


图 3.24　74LS48 的引脚排列图和常用符号

74LS48 的逻辑功能如下：

① 灯测试端 $\overline{LT}$：当 $\overline{LT}=0$，$\overline{BI}=1$ 时，不论其他输入端为何种电平，所有的输出端全

部输出“1”电平，驱动数码管显示数字 8。所以 $\overline{LT}$ 端可以用来测试数码管是否发生故障、输出端和数码管之间的连接是否接触不良。正常使用时，$\overline{LT}$ 应处于高电平或者悬空。

② 灭灯输入端 $\overline{BI}$：当 $\overline{BI}$ ＝0 时，不论其他输入端为何种电平，所有的输出端全部输出为低电平“0”，数码管不显示。

③ 动态灭零输入端 $\overline{RBI}$：当 $\overline{LT}$=$\overline{BI}$=1，$\overline{RBI}$=0 时，若 $A_3A_2A_1A_0$＝0000，所有的输出端全部输出为“0”，数码管不显示；若 A_3、A_2、A_1、A_0 输入其他代码组合时，译码器正常输出。

④ 灭零输出端 $\overline{RBO}$：$\overline{RBO}$ 和灭灯输入端 $\overline{BI}$ 连在一起。$\overline{RBI}$ ＝0 且 $A_3A_2A_1A_0$＝0000 时，$\overline{RBO}$ 输出为 0，表明译码器处于灭零状态。在多位显示系统中，利用 $\overline{RBO}$ 输出的信号，可以将整数前部（将高位的 $\overline{RBO}$ 连接相邻低位的 $\overline{RBI}$）和小数尾部（将低位的 $\overline{RBO}$ 连接相邻高位的 $\overline{RBI}$）多余的 0 灭掉，以便读取结果。

⑤ 正常工作状态下，$\overline{LT}$ 、$\overline{BI}$/ $\overline{RBI}$ 、 $\overline{RBI}$ 悬空或接高电平，在 A_3、A_2、A_1、A_0 端输入一组 8421BCD 码，在输出端可得到一组 7 位的二进制代码，代码组送入数码管，数码管就可以显示与输入相对应的十进制数。

74LS48 的功能真值表见表 3-11。

表 3-11　74LS48 的功能真值表

$\overline{LT}$	$\overline{RBI}$	$\overline{BI}/\overline{RBO}$	A_3 A_2 A_1 A_0	a b c d e f g	功 能 显 示
0	×	1	× × × ×	1 1 1 1 1 1 1	试灯
×	×	0	× × × ×	0 0 0 0 0 0 0	熄灭
1	0	0	0 0 0 0	0 0 0 0 0 0 0	灭 0
1	1	1	0 0 0 0	1 1 1 1 1 1 0	显示 0
1	×	1	0 0 0 1	0 1 1 0 0 0 0	显示 1
1	×	1	0 0 1 0	1 1 0 1 1 0 1	显示 2
1	×	1	0 0 1 1	1 1 1 1 0 0 1	显示 3
1	×	1	0 1 0 0	0 1 1 0 0 1 1	显示 4
1	×	1	0 1 0 1	1 0 1 1 0 1 1	显示 5
1	×	1	0 1 1 0	0 0 1 1 1 1 1	显示 6
1	×	1	0 1 1 1	1 1 1 0 0 0 0	显示 7
1	×	1	1 0 0 0	1 1 1 1 1 1 1	显示 8
1	×	1	1 0 0 1	1 1 1 0 0 1 1	显示 9
1	×	1	1 0 1 0	0 0 0 1 1 0 1	显示⊏
1	×	1	1 0 1 1	0 0 1 1 0 0 1	显示⊐
1	×	1	1 1 0 0	0 1 0 0 0 1 1	显示⊔
1	×	1	1 1 0 1	1 0 0 1 0 1 1	显示⊏
1	×	1	1 1 1 0	0 0 0 1 1 1 1	显示⊢
1	×	1	1 1 1 1	0 0 0 0 0 0 0	无显示

一般时间显示电路中的小时位连接方法如图 3.25 所示。在图中，当十位输入数码“0”时，应灭零；而个位输入的数码“0”应显示。

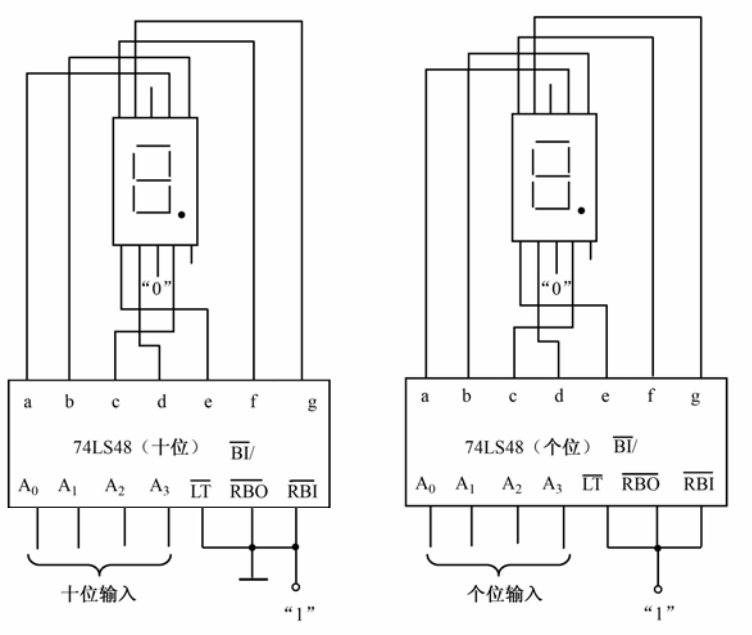


图 3.25　时间显示电路中的小时位连接方法

3.4.4　译码器应用举例

用译码器可以设计组合逻辑电路。假设已知一个多输出的组合逻辑电路函数表达式为

$$F_1=A\overline{C}+\overline{A}BC+ABC$$

$$F_2=BC+\overline{A}\,\overline{B}C$$

$$F_3=\overline{A}B+A\overline{B}C$$

$$F_4=\overline{A}B\overline{C}+\overline{B}\,\overline{C}+ABC$$

若把上述逻辑函数关系用集成译码器和门电路构成组合逻辑电路，必须先对上式进行变换，即找出各函数包含的全部最小项，如下式所示：

$$F_1=A\overline{C}+\overline{A}BC+ABC=\sum m(3,4,5,6)$$

$$F_2=BC+\overline{A}\,\overline{B}C=\sum m(1,3,7)$$

$$F_3=\overline{A}B+A\overline{B}C=\sum m(2,3,5)$$

$$F_4=\overline{A}B\overline{C}+\overline{B}\,\overline{C}+ABC=\sum m(0,2,4,7)$$

实际应用中，往往一个组合电路中尽量使用同一类型的逻辑门，当我们要求用 74LS138 和 TTL 与非门设计时，上述逻辑函数式还要变换为与非形式。即

$$F_1=\overline{\overline{m}_3\cdot\overline{m}_4\cdot\overline{m}_5\cdot\overline{m}_6}$$

$$F_2=\overline{\overline{m}_1\cdot\overline{m}_3\cdot\overline{m}_7}$$

$$F_3=\overline{\overline{m}_2\cdot\overline{m}_3\cdot\overline{m}_5}$$

$$F_4=\overline{\overline{m}_0\cdot\overline{m}_2\cdot\overline{m}_4\cdot\overline{m}_7}$$

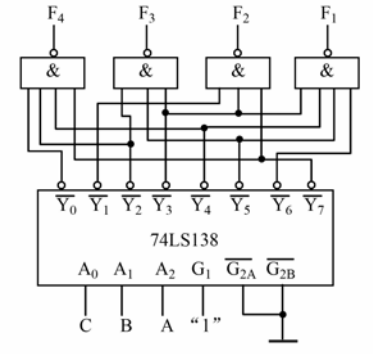


图 3.26　用译码器设计的组合逻辑电路图

根据上述逻辑表达式可画出组合逻辑电路，如图 3.26 所示。

如果译码器的输出为原函数形式 m_1～m_7 时，只需把图中的与非门换成或门即可。

思考与问题

1．何谓译码？目前用于数字逻辑系统中的显示器件主要有哪些类型？

2．译码器的输入量是什么？输出量又是什么？和编码器的主要区别在哪里？

3．试画出七段 LED 数码管对应 7 个发光二极管的符号图。

3.5　数据选择器

3.5.1　数据选择器概述

在多路数据传送过程中，能够根据需要将其中任意一路挑选出来的电路，称为数据选择器，也叫做多路开关。

例如，4 选 1 数据选择器，示意框图如图 3.27 所示。

其输入信号的 4 路数据通常用 D_0、D_1、D_2、D_3 来表示；两个选择控制信号分别用 A_1、A_0 表示；输出信号用 Y 表示，Y 可以是 4 路输入数据中的任意一路，由选择控制信号 A_1、A_0 来决定。

当 A_1A_0＝00 时，Y＝D_0；A_1A_0＝01 时，Y＝D_1；A_1A_0＝10 时，Y＝D_2；A_1A_0＝11 时，Y＝D_3。对应真值表见表 3-12。

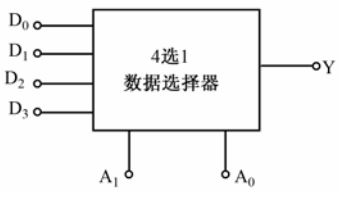


图 3.27　4 选 1 数据选择器示意框图

表 3-12　4 选 1 数据选择器真值表

输　入			输　出
D	A_1	A_0	Y
D_0	0	0	D_0
D_1	0	1	D_1
D_2	1	0	D_2
D_3	1	1	D_3

由真值表可得到 4 选 1 数据选择器的逻辑表达式为

$$Y=D_0\overline{A_1}\,\overline{A_0}+D_1\overline{A_1}A_0+D_2\overline{A_1}A_0+D_3A_1A_0$$

由逻辑表达式可画出对应的逻辑电路如图 3.28 所示。

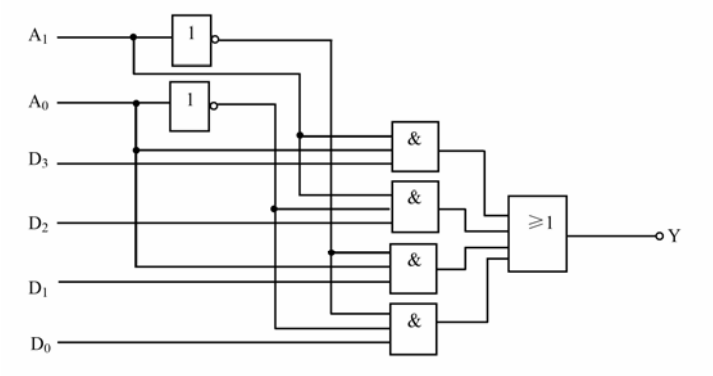


图 3.28　4 选 1 数据选择器的逻辑电路图

3.5.2　集成数据选择器

集成数据选择器的规格较多，常用的数据选择器型号有 74LS151、CT4138 8 选 1 数据选择器，74LS153、CT1153 双 4 选 1 数据选择器，74LS150 16 选 1 数据选择器等。集成数据选择器的引脚图及真值表均可在电子手册上查找到，关键是要能够看懂真值表，理解其逻辑功能，正确选用型号。

如图 3.29 所示为集成数据选择器 74LS153 的引脚排列图。集成数据选择器 74LS153 中，D_0～D_3 是输入的 4 路信号；A_0、A_1 是地址选择控制端；$\overline{S}$ 是选通控制端；Y 是输出端。输出端 Y 可以是 4 路输入数据中的任意一路。

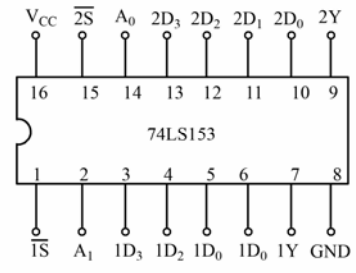


图 3.29　74LS153 的引脚排列图

思考与问题

数据选择器的输出端 Y 由电路中的什么信号来控制？

3.6　数值比较器

3.6.1　一位数值比较器

当对两个 1 位二进制数 A、B 进行比较时，数值比较器的比较结果有 3 种情况：A＜B、A＝B 和 A＞B。其比较关系见表 3-13。

表 3-13　一位数值比较器真值表

A	B	$Y_{A<B}$	$Y_{A=B}$	$Y_{A>B}$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

由表中可以得到一位数值比较器输出和输入之间的关系如下：

$Y_{A<B}=\overline{A}B$

$Y_{A=B}=\overline{\overline{A}\overline{B}}+AB=\overline{\overline{A}B+A\overline{B}}$

$Y_{A>B}=A\overline{B}$

由上式可画出逻辑电路图 3.30。

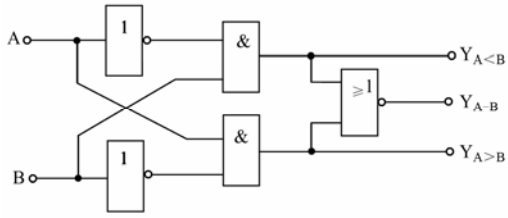


图 3.30　一位数值比较器逻辑电路图

3.6.2　集成数值比较器

在比较两个多位数的大小时，必须自高而低地逐位比较，而且只有在高位相等时，才对低位进行比较。例如，A 和 B 是两个 4 位二进制数 $A_3\,A_2\,A_1\,A_0$ 和 $B_3\,B_2\,B_1\,B_0$，进行比较时应先比较 A_3 和 B_3，如果比较出 $A_3>B_3$，那么 A 必定大于 B；若比较出 $A_3<B_3$，那么 A 必定小于 B；若比较出 $A_3=B_3$，在数字电子设备中，需要通过比较下一位 A_2 和 B_2 来判断 A 和 B 的大小了，以此类推，直到比较出 A 和 B 的大小为止。具有此功能的组合逻辑器件称为数值比较器。

常用的集成数值比较器型号有 74LS85（4 位数值比较器），74LS521（8 位数值比较器），74LS518（8 位数值比较器，OC 输出）等。下面通过对 74LS85 的分析，了解这一类集成逻辑器件的使用方法。

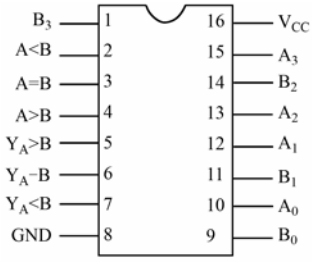


图 3.31　74LS85 引脚排列图

74LS85 是一个 16 脚的集成逻辑器件，它的引脚排列如图 3.31 所示。

除了两个 4 位二进制数的输入端和 3 个比较结果的输出端外，增加了 3 个低位的比较结果的输入端，用做比较器“扩展”比较位数。74LS85 的输入和输出均为高电平有效。

采用两个 74LS85 芯片构成 8 位数值比较器时，可将低位的输出端和高位的比较输入端对应相连，高位芯片的输出端作为整个 8 位比较器的比较结果输出端。

思考与问题

当用 74LS85 比较两个 3 位二进制数时，各输入端如何连接？

3.1 编码器、译码器及数码显示电路实验

一、实验目的

（1）进一步熟悉编码器、译码器及显示数码管的工作原理。
（2）熟悉常用译码器、编码器的逻辑功能和典型应用。

二、实验主要仪器设备

（1）数字电子实验装置　　一套
（2）集成电路 74LS138、74LS145、74LS248 各一片。
（3）数码显示管 LC5011-11。
（4）其他相关设备与导线

三、实验相关电路图及其知识要点

1．编码器及其应用

编码器是一种常用的组合逻辑电路，其功能就是实现编码操作的电路，即实现用若干个按规律编排的数码代表某种特定的含义，它是译码器的逆过程。按照被编码信号的不同特点和要求，编码器也分为二进制编码器、二−十进制编码器和优先编码器。

（1）二进制编码器。如用门电路构成的 4−2 编码器、8−3 编码器等。

（2）二−十进制编码器。将十进制编成 BCD 码，如 10 线十进制−4 线 BCD 码编码器 74LS147 等。

（3）优先编码器。如 8−3 优先编码器 74LS148 等。

（4）拨码开关——编码应用。数字电子实验装置上通常带有拨码开关，如图 3.32 所示。

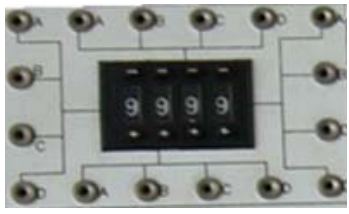


图 3.32　拨码开关示意图

拨码开关中间的 4 个数字是十进制数，点击十进制数码上面的“＋”号，十进制数码依序加 1；点击十进制数码下面的“－”号，十进制数码依序减 1。这 4 个十进制数码各自通过内部的编码功能，分别向外引出 4 个接线端子 A、B、C、D，而这 4 个字母又分别表示了与十进制数码相对应的二进制数构成的 BCD 码，这些 BCD 代码可以作为译码器的输入。

2．译码器及其应用

译码器是一种多输入、多输出的组合逻辑电路，其功能是将每个输入的代码进行“翻译”，译成对应的输出高、低电平信号。译码器在数字系统中有广泛的用途，不仅用于代码的转换、终端的数字显示，还用于数据分配，存储器寻址和组合控制信号等。不同的功能可选用不同种类的译码器。

（1）变量译码器。变量译码器又称二进制译码器，用来表示输入变量的状态，如 2−4、3−8 和 4−16 译码器。若有 n 个输入变量，则对应 2^n 个不同的组合状态，可构成 2^n 个输出端的译码器供其使用。而每一个输出所代表的函数对应于 n 个输入变量的最小项。常用的变量译码器有 74LS138 等。

（2）码制变换译码器。码制变换译码器用于一个数据的不同代码之间的相互转换，如 BCD 码二−十进制译码器/驱动器 74LS145 等。

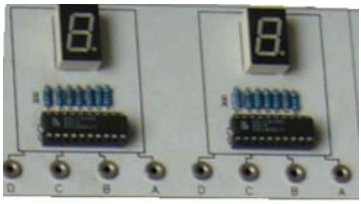


图 3.33　数码显示电路示意图

（3）显示译码器。用来驱动各种数字、文字或符号的显示器，如共阴极 BCD 码七段显示译码器/驱动器 74LS248 等。

（4）数码显示电路—译码器的应用。常见的数码显示器有半导体数码管（LED）和液晶显示器（LCD）两种。其中 LED 又分为共阴极和共阳极两种类型。半导体数码管和液晶显示器都可以用 TTL 和 CMOS 集成电路驱动。显示译码器的作用就是将 BCD 代码译成数码管所需要的驱动信号。如图 3.33 所示为数字逻辑分析仪上常有的译码显示电路。

四、译码显示实验电路

（1）74LS138 3−8 译码器的功能测试电路如图 3.34 所示。

（2）74LS48（或 CC4511）BCD 码七段译码驱动器的功能测试电路如图 3.35 所示。

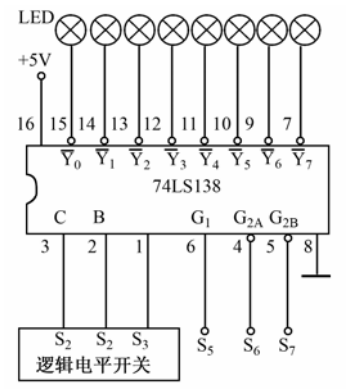


图 3.34　74LS138 逻辑功能测试图

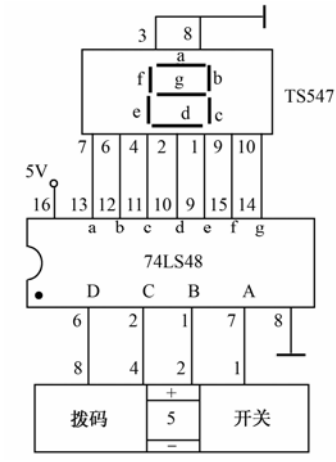


图 3.35　74LS48 逻辑功能测试电路

五、实验步骤

（1）把集成电路 74LS138 插入数字逻辑实验箱（或实验台）的 16P 插座内，按照实验电路原理图 3.34 连线：其中输入的 3 位二进制代码用逻辑电平开关实现，输出显示由 LED 逻辑电平实现。注意芯片的位置不能接错。

（2）接通电源后，按照其逻辑功能表输入不同的 3 位二进制代码，观察输出情况，记录下来。

（3）把集成电路 74LS48 插入 16P 插座内，按照实验电路原理图连线：其中输入的 4 位二

进制代码用拨码开关实现，输出接于 LED 七段数码显示管的对应端子上（注意数码管是共阴极还是共阳极，二者接法不同）。

（4）用拨码开关输入不同的 BCD 代码，观察数码管的输出显示情况，记录下来。

（5）实验电路中选用的 TS547 是一个共阴极 LED 七段数码管。引脚和发光段的关系如表 3-14 所示，其中 h 为小数点。

表 3-14　LED 数码管的引脚和发光段的关系

引脚	1	2	3	4	5	6	7	8	9	10
功能	e	d	地	c	h	b	a	地	f	g

（6）分析实验结果的合理性，与教材上所述的功能相对照，如严重不符，应查找原因重做。

六、思考题

（1）显示译码器与变量译码器的根本区别在哪里？

（2）如果 LED 数码管是共阳极的，与共阴极数码管的连接形式有何不同？

七、实验报告要求

按组合逻辑电路的分析方法分别写出各个实验电路的分析步骤。

3.2　学习Multisim 8.0 电路仿真

一、电路仿真目的

（1）进一步熟悉和掌握 Multisim 8.0 电路仿真技能；

（2）学会虚拟仪器逻辑分析仪、逻辑转换仪的仿真方法；

（3）掌握组合逻辑电路的电路仿真。

二、Multisim 8.0 中虚拟仪器的使用

1．逻辑分析仪的仿真

Multisim 8.0 中的逻辑分析仪，其作用相当于一个 16 踪示波器，可以同时显示 16 路数字信号波形，并能进行时域分析。如图 3.36 所示是一个用十进制计数器 74LS160 构成的测试电路。

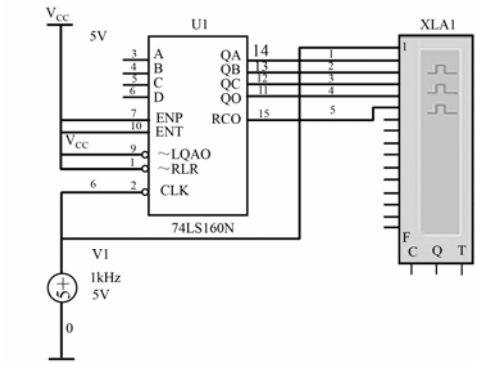


图 3.36　逻辑分析仪测试电路

用逻辑分析仪可以显示 74LS160 的时钟 CLK，输出 QA～QD 和进位脉冲 RCO 共 6 路波形，如图 3.37 所示。

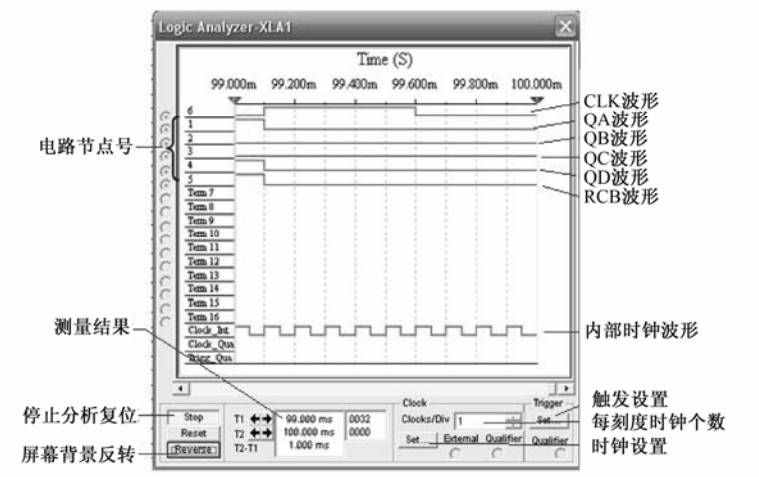


图 3.37　逻辑分析仪主界面

主界面中，在打开仿真开关前可对其进行触发设置、时钟设置及屏幕显示进行设置。其中“时钟设置”键出现的时钟设置对话框如图 3.38 所示。

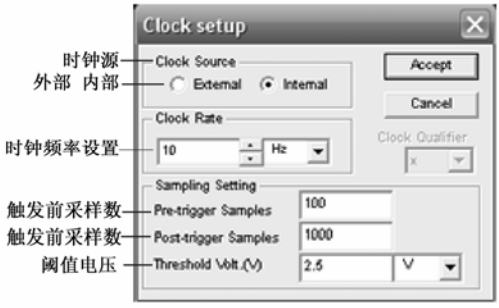


图 3.38　时钟设置对话框

窗口设置可选择来自外部的时钟脉冲源，或者是来自内部的时钟脉冲源。如果选择外部时钟源，则采样由外部时钟频率决定；如果选择内部时钟源，可设置时钟频率，采样率由内部时钟频率决定。时钟设置窗口的下面是设置数据采集量和阈值电压。

主界面中，如果单击“触发设置”键，则会弹出一个如图 3.39 所示的对话框。在对话框中可选择触发时钟的有效边沿或为上升沿或为下降沿，或两者皆为有效模式的触发 A 模式、触发 B 模式和触发 C 模式。栏中输入 16 位数字，在模式组合中填 A 则选择 A 模式，填 B 则选择 B 模式等，默认值 *X* 为任意值。

2．逻辑转换仪的仿真

逻辑转换仪可将最多 8 个输入变量的逻辑电路图、真值表和逻辑表达式互相转换，真值表可转换为标准最小项与或式，也可化简为最简与或式，与或式可转换为与非式，并用与非门实现。

如图 3.40 所示为逻辑转换仪的图符号和主界面。

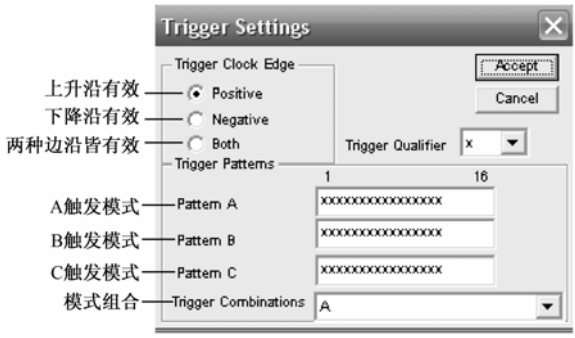


图 3.39　逻辑分析仪触发设置对话框

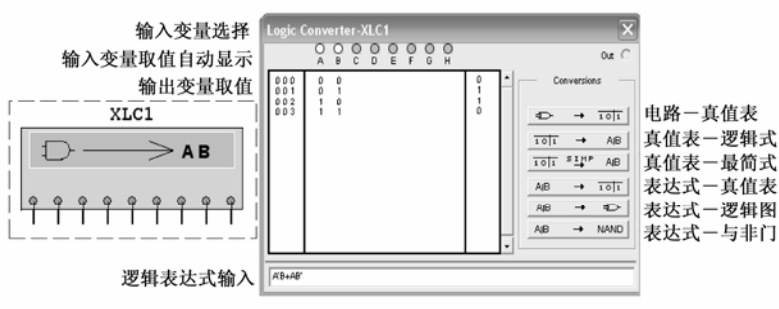


图 3.40　逻辑转换仪图符号和主界面

假设我们在主界面对话框中选择输入变量为 A 和 B，则对话框中将自动显示输入变量的全部最小项，根据我们的需要在对话框中填入逻辑变量表达式，如对话框中所填写的 A 与 B 的异或关系式，（注意：A′ 代表 $\overline{A}$ ）单击主界面中的表达式－逻辑图，可得到如图 3.41 所示的异或逻辑电路图。

如果再单击主界面中的表达式－与非门，我们又可得到如图 3.42 所示的、由与非门构成的异或逻辑电路图。

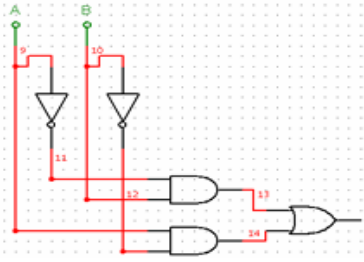


图 3.41　异或逻辑电路图

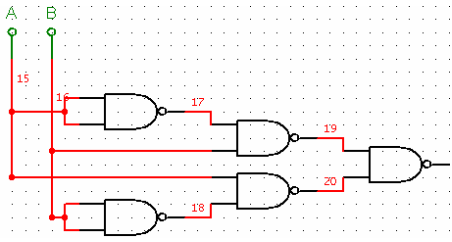


图 3.42　由与非门构成的异或逻辑电路图

三、用Multisim 8.0 进行组合逻辑电路仿真

（1）用逻辑转换仪进行组合逻辑电路仿真。如图 3.43 所示，首先在主界面中选择 A、B、C 三个输入变量，根据设计在主界面输出变量栏中填写输出变量取值，然后单击真值表－最简式键，在主界面逻辑表达式输入一栏中即可得到输入逻辑表达式；再单击最后表达式－与非门键，我们就可得到图中右下方所显示的、由与非门构成的逻辑电路图。

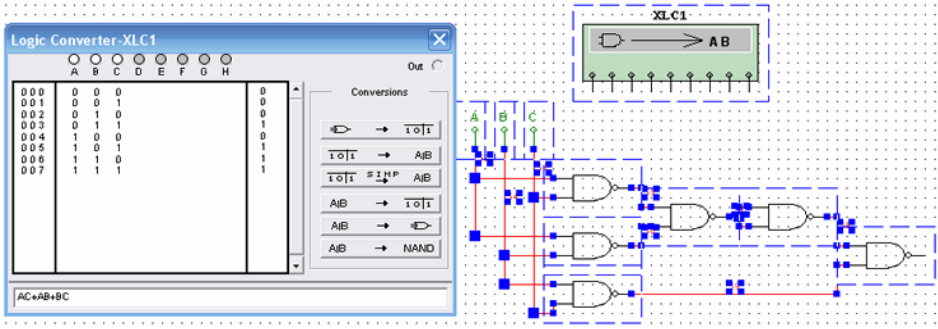


图 3.43　编码器电路仿真

（2）多数表决器电路仿真。如图 3.44 所示为多数表决器电路仿真图。

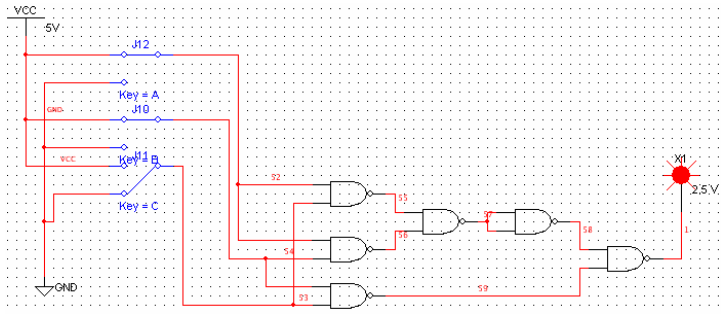


图 3.44　多数表决器电路仿真

（3）编码器电路仿真。按图 3.45 接好电路，操作输入开关量，观察灯的情况并记录下来。

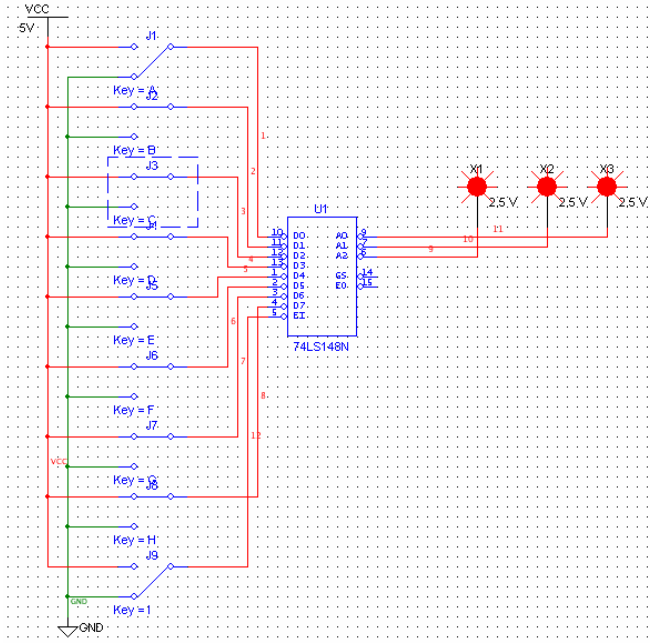


图 3.45　编码器电路仿真

（4）译码显示电路仿真。按图 3.46 接好电路，操作输入开关量，观察灯的情况并记录下来。

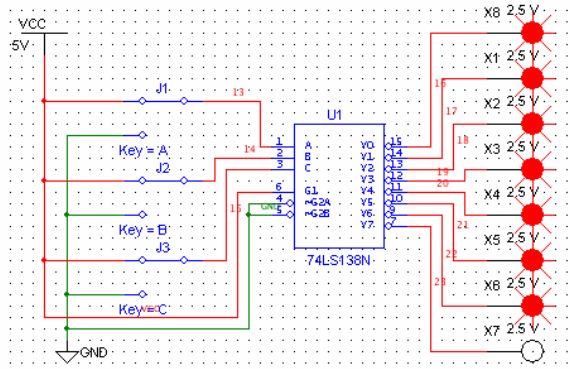


图 3.46　译码显示电路仿真

（5）译码显示电路仿真。按图 3.47 接好电路，操作输入开关量，观察数码管的情况并记录下来。

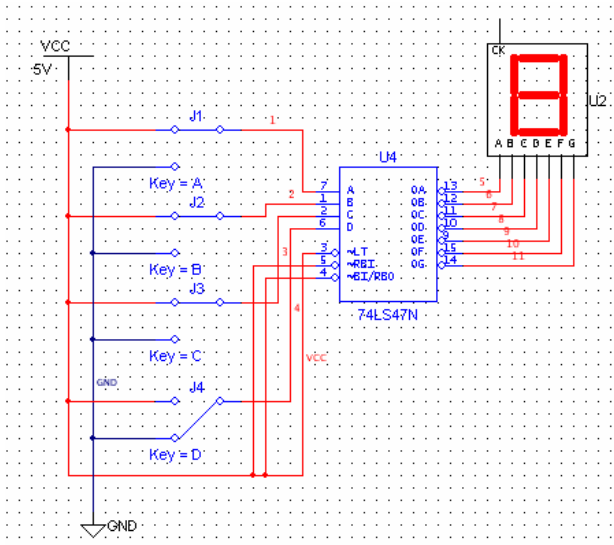


图 3.47　译码显示电路仿真

第 3 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 10 分）

1．能将某种特定信息转换成机器识别的_____制数码的_____逻辑电路，称之为_____器；能将机器识别的_____制数码转换成人们熟悉的_____制或某种特定信息的逻辑电路，称为_____器；74LS85 是常用的_____逻辑电路_____器。

2．在多数数据选送过程中，能够根据需要将其中任意一路挑选出来的电路，称之为____器，也叫做_____开关。

3．74LS147 是_____－_____的集成优先编码器；74LS148 芯片是_____－_____的集成优先

编码器。

4．74LS148 的使能端$\overline{S}$＝_____时允许编码；当$\overline{S}$＝_____时各输出端及$\overline{O_E}$、$\overline{G_S}$均封锁，编码被禁止。

5．两片集成译码器 74LS138 芯片级联可构成一个_____－_____译码器。

6．LED 是指_____显示器，LCD 是指_____显示器。

二、判断正误题（每小题 1 分，共 8 分）

1．组合逻辑电路的输出只取决于输入信号的现态。（　　）

2．3-8 译码器电路是三—八进制译码器。（　　）

3．已知逻辑功能，求解逻辑表达式的过程称为逻辑电路的设计。（　　）

4．编码电路的输入量一定是人们熟悉的十进制数。（　　）

5．74LS138 集成芯片可以实现任意变量的逻辑函数。（　　）

6．组合逻辑电路中的每一个门实际上都是一个存储单元。（　　）

7．共阴极结构的显示器需要低电平驱动才能显示。（　　）

8．只有最简的输入、输出关系，才能获得结构最简的逻辑电路。（　　）

三、选择题（每小题 2 分，共 14 分）

1．下列各型号中属于优先编译码器的是（　　）。

A．74LS85　　B．74LS138　　C．74LS148　　D．74LS48

2．七段数码显示管 TS547 是（　　）。

A．共阳极 LED　　B．共阴极 LED

C．共阳极 LCD　　D．共阴极 LCD

3．八输入端的编码器按二进制数编码时，输出端的个数是（　　）。

A．2 个　　B．3 个　　C．4 个　　D．8 个

4．四输入的译码器，其输出端最多为（　　）。

A．4 个　　B．8 个　　C．10 个　　D．16 个

5．当 74LS148 的输入端$\overline{I_0}$～$\overline{I_7}$按顺序输入 11011101 时，输出$\overline{Y_2}$～$\overline{Y_0}$为（　　）。

A．101　　B．010　　C．001　　D．110

6．译码器的输入量是（　　）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

7．编码器的输出量是（　　）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

四、简述题（每小题 3 分，共 12 分）

1．试述组合逻辑电路的特点。

2．分析组合逻辑电路的目的是什么？简述分析步骤。

3．何谓编码？二进制编码和二-十进制编码有何不同？

4．何谓译码？译码器的输入量和输出量在进制上有何不同？

五、分析题（共 16 分）

1．根据如表 3-15 所示内容，分析其功能，并画出其最简逻辑电路图。（6 分）

表 3-15　组合逻辑电路真值表

输　入	输　出
A　B　C	F
0　0　0	1
0　0　1	0
0　1　0	0
0　1　1	0
1　0　0	0
1　0　1	0
1　1　0	0
1　1　1	1

2．写出如图 3.48 所示逻辑电路的最简逻辑函数表达式。（10 分）

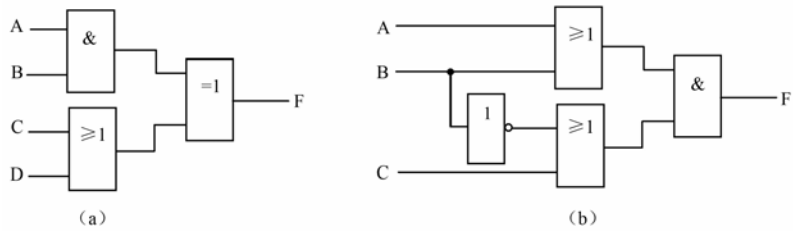


图 3.48　检测 3.5.2 逻辑电路

六、设计题（共 40 分）

1．画出实现逻辑函数 $F=AB+A\overline{B}C+\overline{A}C$ 的逻辑电路。（8 分）

2．设计一个三变量的判偶逻辑电路，其中 0 也视为偶数。（10 分）

3．用与非门设计一个三变量的多数表决器逻辑电路。（10 分）

4．用与非门设计一个组合逻辑电路，完成如下功能：只有当三个裁判（包括裁判长）或裁判长和一个裁判认为杠铃已举起并符合标准时，按下按键，使灯亮（或铃响），表示此次举重成功，否则，表示举重失败。（12 分）

第 4 单元　触　发　器

任务导入

时序逻辑电路和组合逻辑电路并驾齐驱，作为数字电路的两大分支。组合逻辑电路的基本单元是门电路，门电路任意时刻的输出，仅取决于该时刻门的输入，与逻辑门原来的状态无关。时序逻辑电路的基本单元是触发器，触发器任意时刻的输出不仅与该时刻的输入有关，还与触发器原来的状态有关。即触发器具有记忆性，这一点不仅是触发器的重要特征，也是它与逻辑门的主要区别。

触发器在电子技术中的应用十分普遍，很多具有记忆功能的电路都离不开触发器。如图 4.1 所示的数字电子钟内部结构原理图。

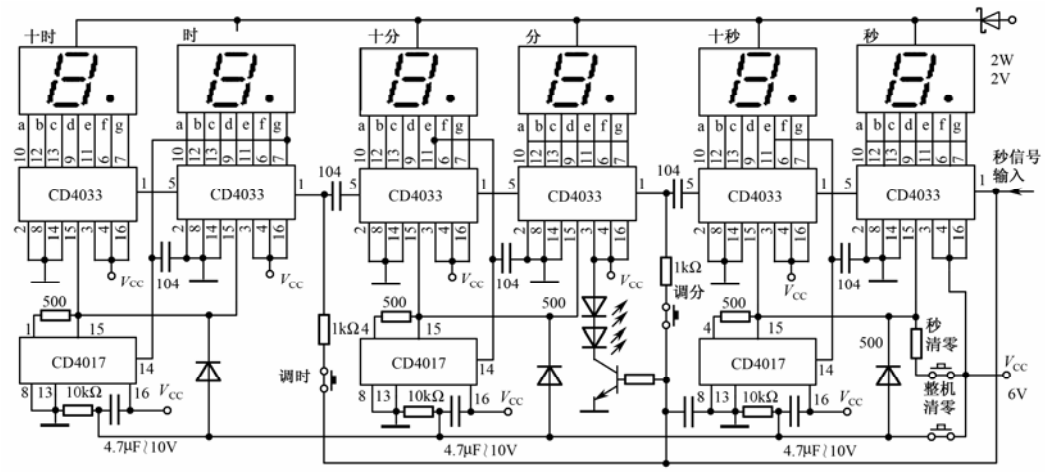


图 4.1　数字电子钟内部结构原理图

数字电子钟是采用数字电路实现对“时”、“分”、“秒”数字显示的计时装置，内部必然包含具有记忆功能的器件。如图中所示的 CD4033、CD4017 都是具有记忆功能的数字电路器件，这些器件的基本构成单元就是触发器。

因此，要掌握诸如数字电子钟这样的产品应用和开发技术，必须首先认识触发器。作为数字电子技术学习过程中的一个重要环节，本单元的学习任务如下：

（1）各种电路结构的触发器所具有的动作特点。

（2）电平触发方式的触发器和边沿触发方式的触发器动作特点的区别。

（3）各种触发器的功能及这些功能的描述方法。

（4）常用集成触发器的产品型号、引脚排列图及功能测试技能。

实际上触发器本身是由门电路构成的，由于在构成应用电路时触发器已经成为时序逻辑电路的基本单元，所以本单元学习的重点并不在于触发器是如何构成的，或是它内部的详细工作过程，重点在于触发器的外部特性及实际应用。其中需要理解的是各种触发器对时钟信号的作用时间特征、对输入信号的要求以及它们之间在时间上的配合关系，即重点掌握各种触发器的

动作特点。

理论知识

4.1 基本RS触发器

触发器是一种能够在触发信号控制下进行状态翻转和保持的记忆电路。本单元介绍的双稳态触发器具有“0”和“1”两种稳态。当它从稳态“1”变为稳态“0”，或是从稳态“0”变为稳态“1”时，称触发器的状态发生“翻转”。

能够引起触发器状态“翻转”的是输入控制信号，也叫做触发信号。在输入控制信号无效期间，触发器的状态保持不变；当输入控制信号有效时，触发器的状态就会发生变化。

触发器是可以记忆 1 位二值信号的逻辑电路部件。根据逻辑功能的不同，触发器可以分为基本的 RS 触发器、钟控的 RS 触发器、JK 触发器、D 触发器、T 和 T′触发器。

不同功能的触发器，输入方式及其状态随输入信号变化的规律有所不同。各种不同结构或不同功能的触发器，一般都是由各种门电路组成的，称为静态触发器，静态触发器的特点是靠电路状态的自锁实现二进制信息的存储。除此之外还有由 MOS 电路构成的动态触发器。本章向读者介绍的均为静态触发器，且从最简单的基本 RS 触发器开始。

4.1.1 基本RS触发器的结构组成

基本 RS 触发器是任何结构复杂的触发器必须包含的一个最基本的组成单元，它可以由两个与非门交叉连接构成，也可以由两个或非门交叉连接构成。如图 4.2 所示基本的 RS 触发器是由两个与非门交叉组成的，是实际应用较多的一种基本 RS 触发器。

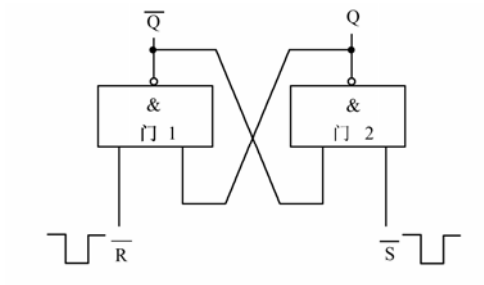


图 4.2 由两个与非门交叉组成的基本 RS 触发器

基本的RS触发器有 $\overline{R}$ 和 $\overline{S}$ 两个输入端，Q和 $\overline{Q}$ 是两个互非的输出端。正常工作条件下，若输出端 Q 为高电平“1”时，另一个输出端 $\overline{Q}$ 必为低电平“0”，因为正常工作时两个输出端总是保持这种互非的逻辑关系，所以常用一个字母表示输出状态。一般把输出端 Q 作为基本 RS 触发器的输出状态，即 Q=1，$\overline{Q}$ =0 时，我们认为触发器的状态为“1”态；而把 Q=0、$\overline{Q}$ =1 时触发器的状态称为“0”态。

4.1.2 基本RS触发器的工作原理

基本的 RS 触发器有 $\overline{R}$ 和 $\overline{S}$ 两个输入端，输入状态具有四种不同的组合：

（1）当输入端 $\overline{R}$ =0、$\overline{S}$ =1 时，与非门 1“有 0 出 1”，所以 $\overline{Q}$ =1；$\overline{Q}$ =1 反馈到与非门 2 输入端，则与非门 2 的两个输入端都为 1，与非门 2“全 1 出 0”，则 Q=0。无论触发器原来状态如何，只要符合上述输入条件，触发器均为置 0 功能。因此常把 $\overline{R}$ 称为清零端。

（2）当输入端 $\overline{R}$ =1、$\overline{S}$ =0 时，与非门 2“有 0 出 1”，所以 Q=1；Q=1 的信息反馈到

与非门 1 输入端，使与非门 1“全 1 出 0”，所以 $\overline{Q}=0$。无论触发器原来状态如何，只要符合上述输入条件，触发器均为**置 1** 功能。因此常把 $\overline{S}$ 称为置 1 端。

（3）当输入端 $\overline{R}=1$、$\overline{S}=1$ 时，若触发器原来的状态为 Q=0、$\overline{Q}=1$，在反馈线作用下，与非门 1“有 0 出 1”，输出端 $\overline{Q}$ 仍为 1；与非门 2 则“全 1 出 0”，输出 Q 仍为 0。

若触发器原来的状态 Q=1、$\overline{Q}=0$，在反馈线作用下，与非门 2“有 0 出 1”，输出端 Q 仍为 1，与非门 1 则“全 1 出 0”，$\overline{Q}$ 端仍为 0。

显然，只要输入端 $\overline{R}=1$、$\overline{S}=1$，无论触发器原来状态如何，均能保持原来的状态不变，实现了**保持**功能。

（4）当输入端 $\overline{R}=0$、$\overline{S}=0$ 时，两个与非门均会“有 0 出 1”，本该互非的两个输出端子 Q 和 $\overline{Q}$ 出现了状态一致的情况，破坏了它们本该具有的互非性，而且当输入信号消失时，由于与非门传输延迟时间的不同而产生竞争，使电路状态无法确定，从而极有可能造成逻辑混乱。因此，我们把这种输入状态称为**不定**态。不定态在实际电路中禁止出现，是基本 RS 触发器的约束条件。

4.1.3 基本RS触发器的动作特点

由基本 RS 触发器的工作原理分析及图 4.2 可知，由于其输入信号是直接加在输出门上，所以输入信号在电平触发的全部作用时间里，都能直接改变输出端 Q 的状态。这就是基本 RS 触发器的动作特点。因此，常把 $\overline{R}$ 称为清零端，而把 $\overline{S}$ 称为直接置位端。

4.1.4 基本RS触发器逻辑功能的描述

各种触发器的逻辑功能通常可用特征方程、真值表、状态图、波形图或激励表等方法进行描述。

1．特征方程

表征触发器次态 Q^{n+1} 和输入、现态 Q^n 之间关系的逻辑表达式叫做触发器的特征方程。特征方程在时序逻辑电路的分析和设计中均有应用。如图 4.2 所示基本 RS 触发器的特征方程为

$$\begin{cases} Q^{n+1}=\overline{S}+\overline{R}Q^n \\ \overline{R}+\overline{S}=1\text{（约束条件）} \end{cases} \tag{4.1}$$

式中的约束条件表明，基本 RS 触发器不允许两个输入端同时为低电平。

2．功能真值表

如表 4-1 所示的功能真值表，以表格的形式反映了基本的 RS 触发器从现态 Q^n 向次态 Q^{n+1} 转移的规律。这种方法很适合在时序逻辑电路的分析中使用。

表 4-1　基本 RS 触发器的功能真值表

$\overline{S}$	$\overline{R}$	Q^n	Q^{n+1}	功　能
1	0	0 或 1	0	置 0
0	1	0 或 1	1	置 1
1	1	0 或 1	0 或 1	保持
0	0	0 或 1	不定	禁止

3．状态图

描述触发器的状态转换关系及转换条件的图形称为状态图，如图 4.3 所示。状态图是一种有向图，两个圆圈中的 0 和 1 表示触发器的两种状态，带箭头线段表示了触发器状态转换的方向，箭头旁边的标注是触发器状态转换的条件。在时序逻辑电路的分析和设计中，状态图是一个重要的工具之一。

4．时序波形图

反映触发器输入信号取值和状态之间对应关系的图形称为时序图。时序图是以波形图的形式直观地表示触发器特性和工作状态的一种描述方法，在时序逻辑电路的分析中应用得非常普遍。

基本 RS 触发器的时序波形图如图 4.4 所示。

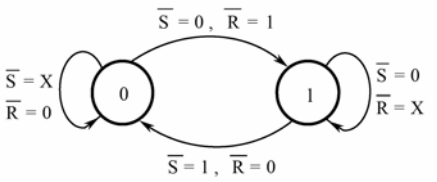


图 4.3　基本 RS 触发器的状态图

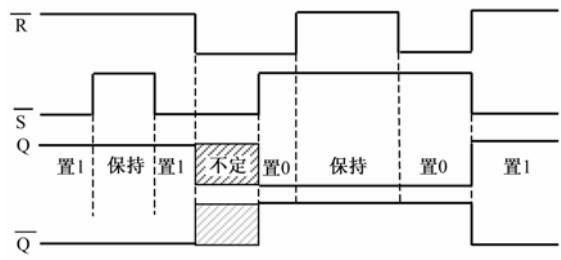


图 4.4　基本 RS 触发器的时序波形图示例

5．激励表

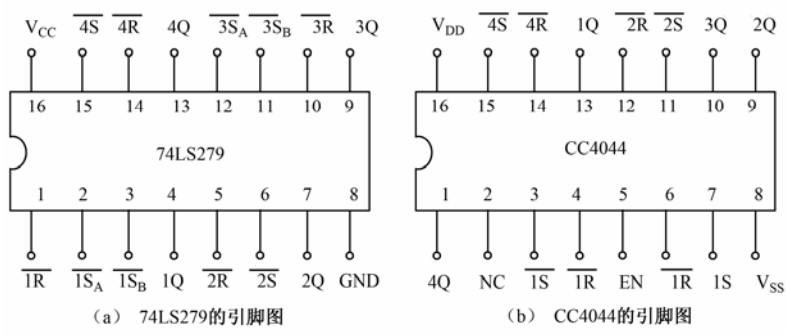
所谓激励表，就是以触发器的现态和次态作为输入逻辑变量，而以输入信号作为逻辑函数所得到的一种真值表，也称做控制表。基本 RS 触发器的激励表如表 4-2 所示。

表 4-2　基本 RS 触发器的激励表

Q^n	Q^{n+1}	$\overline{S}$	$\overline{R}$
0	0	×	0
0	1	0	1
1	0	1	0
1	1	0	×

显然，激励表能够反映触发器从任一现态转换到任一次态时对输入条件的要求，激励表可以从特征方程推得。

在数字电路中，凡根据输入信号 R、S 情况的不同，具有置 0、置 1 和保持功能的电路，都称为 RS 触发器。常用的集成 RS 触发器芯片有 74LS279 和 CC4044，引脚排列图如图 4.5 所示。



（a） 74LS279的引脚图　　（b） CC4044的引脚图

图 4.5　集成 RS 触发器引脚排列图

由于基本 RS 触发器是直接由输入端数据信号控制输出的触发器，因此具有线路简单、操作方便等优点，被广泛应用于键盘输入电路、开关消噪声电路及运控部件中某些特定的场合。

思考与问题

1．触发器和门电路有何联系和区别？在输出形式上有何不同？
2．基本 RS 触发器通常有几种组成形式？最常用的组成形式是哪一种？
3．由两个与非门构成的基本 RS 触发器，有几种功能？约束条件是什么？
4．比照图 4.2 画出两个或非门构成的基本 RS 触发器，并写出其逻辑功能及约束条件。

4.2　钟控RS触发器

实际应用中，许多场合都要求触发器能够受节拍一定的脉冲信号控制来改变状态，而不是由直接输入端的输入变化来控制电路状态。为此，必须引入同步信号，使要求同一时刻动作的触发器只有在同步信号到达时才能按输入信号改变状态。通常把这个同步信号称为时钟脉冲，用 CP（Clock Pulse 的缩写）表示。

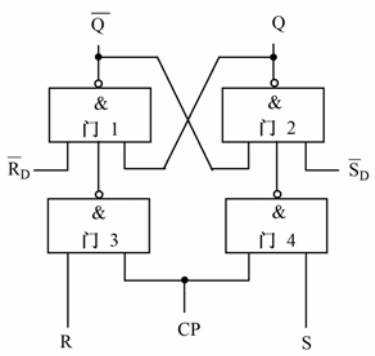


图 4.6　钟控 RS 触发器

受时钟脉冲控制的触发器统称为时钟触发器或钟控触发器，以区别直接清零和复位的基本 RS 触发器。

4.2.1　钟控RS触发器的结构组成

钟控 RS 触发器的电路结构如图 4.6 所示。它由图中的门 1 和门 2 构成一个基本的 RS 触发器，由门 3 和门 4 构成一对导引门。基本 RS 触发器的输入端子 $\overline{R}_D$ 是直接置 0 端，$\overline{S}_D$ 是直接置 1 端，触发器开始工作前可以根据需要把它们置“1”或者置“0”，但在触发器正常工作时，应将它们接高电平“1”。

钟控 RS 触发器的两个导引门受时钟脉冲 CP 的控

制，其动作特点是：当 CP＝0 时，无论两个输入端 R 和 S 如何，触发器的状态不能发生改变；只有当作为同步信号的时钟脉冲到达时，触发器才能按输入信号改变状态。这一动作特点使得钟控 RS 触发器又被称做同步 RS 触发器。

同步 RS 触发器的状态变化不仅取决于输入信号的变化，还受时钟脉冲 CP 的控制。因此，多个触发器在统一的时钟脉冲 CP 控制下可协调工作。

4.2.2 钟控RS触发器的工作原理

钟控 RS 触发器与基本 RS 触发器的最大不同点就是：电路的输出状态变化只能在 CP＝1 期间发生。因此，只要 CP＝0，不论 R、S 端为何电平，电路均保持原来的状态不变。（注意：钟控 RS 触发器的两个输入端“字母上面没有横线”，表明它们在高电平“1”情况时为有效态。）

当时钟脉冲 CP＝1 到来时，钟控 RS 触发器的输出状态取决于输入端 R 和 S。其工作原理分析如下：

① 当 R＝0，S＝0 时，引导触发门 3 和门 4 均“有 0 出 1”；若触发器现态 Q＝0，$\overline{Q}$＝1，则 $\overline{Q}$＝1 通过反馈线到门 2 输入端，与非门 2“全 1 出 0”，Q 保持原来的“0”态不变；若触发器现态 Q＝1，$\overline{Q}$＝0，则 $\overline{Q}$＝0 通过反馈线到门 2 输入端，与非门 2“有 0 出 1”，Q 保持原来的“1”态不变。

显然，这种输入状态下，RS 触发器无论现态如何，均保持原来的状态不变，具有**保持**功能。

② 当 R＝1，S＝0 时，引导触发门 3“全 1 出 0”，门 4“有 0 出 1”；若触发器现态 Q＝0，$\overline{Q}$＝1，则 $\overline{Q}$＝1 通过反馈线到门 2 输入端，与非门 2“全 1 出 0”，Q 保持“0”态不变，输出次态 Q^{n+1}＝0；若触发器现态 Q＝1，$\overline{Q}$＝0，则门 3“全 1 出 0”，致使门 1“有 0 出 1”，使 $\overline{Q}$＝1，$\overline{Q}$＝1 通过反馈线送到门 2 输入端，与非门 2“全 1 出 0”，Q 的状态由原来的“1”态翻转到“0”态，输出次态 Q^{n+1}＝0。

显然，在 R＝1，S＝0 的输入状态下，在 CP＝1 期间，无论钟控 RS 触发器现态如何，触发器均实现**置 0** 功能。因此，输入端 R 通常称作清零端，且高电平有效。

③ 当 R＝0，S＝1 时，引导触发门 3“有 0 出 1”，门 4“全 1 出 0”，若触发器现态 Q＝1，$\overline{Q}$＝0，则 $\overline{Q}$＝0 通过反馈线到门 2 输入端，与非门 2“有 0 出 1”，Q 保持“1”态不变，输出次态 Q^{n+1}＝1；若触发器现态 Q＝0，$\overline{Q}$＝0，由于门 3“有 0 出 1”，致使门 1“全 1 出 0”，使 $\overline{Q}$＝0，$\overline{Q}$＝0 通过反馈线送到门 2 输入端，与非门 2“有 0 出 1”，Q 的状态由原来的“0”态翻转到“1”态，输出次态 Q^{n+1}＝1。

由此可见，在 R＝0，S＝1 的输入状态下，在 CP＝1 期间，无论钟控 RS 触发器现态如何，触发器均实现**置 1** 功能。因此，输入端 S 通常称作置位端，且高电平有效。

④ 当 R＝1，S＝1 时，引导触发门 3 和门 4 都将“全 1 出 0”，门 3 和门 4 都会“有 0 出 1”，由此破坏了两个输出端子的互非性，造成触发器输出次态不稳定。因此，这种情况是钟控 RS 触发器的**禁止态**。

4.2.3　钟控RS触发器的功能描述

（1）特征方程为

$$\begin{cases} Q^{n+1}=S+\overline{R}Q^{n} \quad (CP=1) \\ SR=0 \ （约束条件） \end{cases} \tag{4.2}$$

（2）功能真值表见表 4-3 所示。

表 4-3　钟控 RS 触发器的功能真值表

S	R	Q^n	Q^{n+1}	功能
0	0	0 或 1	0 或 1	保持
0	1	0 或 1	0	置 0
1	0	0 或 1	1	置 1
1	1	0 或 1	不定	禁止

（3）状态图如图 4.7 所示。

（4）时序图：钟控 RS 触发器是受时钟脉冲 CP 控制的触发器。只要时钟脉冲 CP ≠1，无论输入为何种状态，触发器的输出均不发生变化，即保持原来的状态不变；但在时钟脉冲 CP ＝1 期间，输出将随着输入的变化而发生改变，其时序波形图如图 4.8 所示。

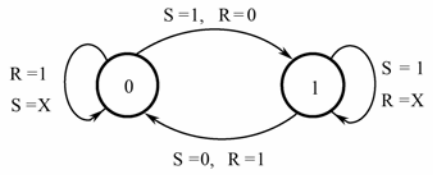


图 4.7　钟控 RS 触发器的状态图

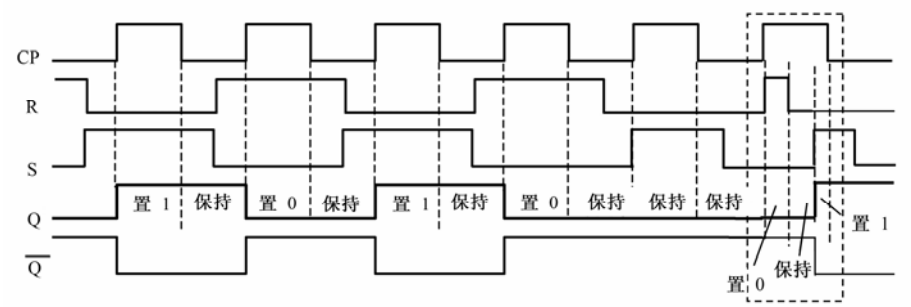


图 4.8　钟控 RS 触发器的时序波形图示例

由图 4.7 可以看出，由于钟控 RS 触发器采用的是电位触发方式，因此在时钟脉冲 CP＝1 期间，输出随输入的变化而变化。当输入端 R 或 S 在一个 CP＝1 期间发生多次改变时（如图 4.8 中第 6 个时钟脉冲期间），输出将随着输入而相应发生多次变化，在这种情况下，触发器的状态反映出不稳定性。我们把一个 CP 脉冲为 1 期间触发器发生多次翻转的情况称为空翻。

实际应用中，要求触发器的工作规律是每来一个 CP 脉冲只置于一种状态，即使数据输入端发生了多次改变，触发器的状态也不能跟着改变。从这个角度上看，钟控 RS 触发器的抗干

扰能力相对较差。

产生“空翻”现象的根本原因是钟控 RS 触发器的导引门是简单的组合逻辑门，没有记忆功能，在 CP＝1 期间，相当于导引门打开，这里同步触发器实质上成了异步触发器，输出与输入之间没有隔离作用，只要输入改变，输出就会跟着改变，输入改变多少次，输出也随之变化多少次，从而失去了抗输入变化的能力。

为确保数字系统的可靠工作，要求触发器在一个 CP 脉冲期间至多翻转一次，即不允许空翻现象的出现。为此，人们在同步 RS 触发器的基础上又研制出了主从型 JK 触发器和维持阻塞型的 D 触发器等。

思考与问题

1．钟控 RS 触发器中的 $\overline{R}_D$ 和 $\overline{S}_D$ 在电路中起何作用？触发器正常工作时这两个端子应该如何处理？

2. 钟控 RS 触发器两个输入端的有效态和两个与非门构成的基本 RS 触发器的有效态相同吗？区别在哪里？

3．何谓“空翻”？造成“空翻”的原因是什么？“空翻”和“不定”状态有何区别？

4．你能根据电路图说出在 CP＝0 期间触发器为何状态不变的道理吗？

4.3　主从型JK触发器

由于钟控 RS 触发器采用的是电位触发方式，因此存在“空翻”问题，空翻造成触发器工作的不稳定性。主从型 JK 触发器可以有效地抵制“空翻”现象，是目前功能最完善、使用灵活和通用性较强的一种触发器。

4.3.1　JK触发器的结构组成

图 4.9 所示逻辑电路图反映了主从型 JK 触发器的结构组成。图中的逻辑门 1～逻辑门 4 构成了 JK 触发器的基本触发器部分，称之为从触发器，从触发器门 3 和门 4 的一个输入端通过一个非门和 CP 控制脉冲端相连。逻辑门 5～逻辑门 8 构成了 JK 触发器的导引触发电路，又叫做主触发器，主触发器门 7 和门 8 的一个输入端直接与 CP 脉冲相连。从触发器的 Q 端直接反馈到主触发器门 7 的一个输入端；从触发器的 $\overline{Q}$ 端直接反馈到主触发器门 8 的一个输入端，构成两条反馈线。主、从触发器中的 $\overline{R}_D$ 和 $\overline{S}_D$ 都是直接清零端和直接置 1 端，在触发器正常工作时它们应接高电平“1”。

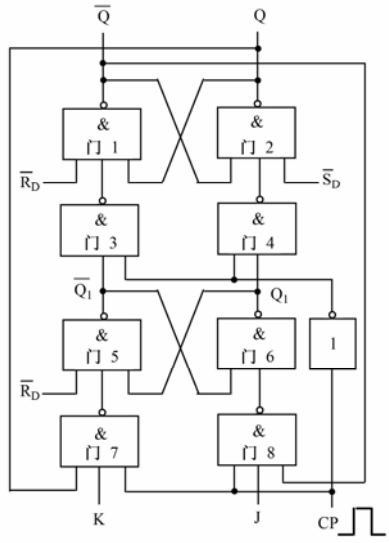


图 4.9　主从型 JK 触发器结构原理图

4.3.2　JK触发器的工作原理

在 CP＝1 期间，从触发器由于 $\overline{CP}$=0 被封锁，使输出端不能发生变化；而主触发器在 CP＝1 期间，其输出

次态 Q_1^{n+1} 将随着 JK 输入端的变化而改变。

当 CP 下降沿到来时，主触发器由于 CP＝0 被封锁，在 CP＝1 期间的最后输出状态被记忆下来，并作为从触发器的输入被门 3 和门 4 接受；由于 CP 下降沿到来时，$\overline{CP}$ 由 0 跳变到 1，从触发器被触发工作，Q_1^{n+1} 端作为从触发器的 J 输入端，$\overline{Q}_1^{n+1}$ 作为从触发器的 K 输入端，Q^{n+1} 的状态根据它们的情况而发生相应变化。

下跳沿之后的 $\overline{CP}$ ＝1 期间，由于从触发器被封锁而从触发器的输入状态不会再发生变化，因此 JK 触发器保持下降沿时的状态不变。这种主从型 JK 触发器显然只在 CP 脉冲下降沿到来时触发动作，从而有效地抑制了“空翻”现象，保证了触发器工作的可靠性，提高了触发器的抗干扰能力。

主从型 JK 触发器只在时钟脉冲 CP 下降沿到来时触发动作，其输出、输入端子之间的对应关系为：

① 当 J＝0，K＝0 时，无论触发器现态 Q^n 如何，次态 $Q^{n+1}=Q^n$，为保持功能；

② 当 J＝1，K＝0 时，无论触发器现态 Q^n 如何，次态 $Q^{n+1}=1$，为置 1 功能；

③ 当 J＝0，K＝1 时，无论触发器现态 Q^n 如何，次态 $Q^{n+1}=0$，为置 0 功能；

④ 当 J＝1，K＝1 时，无论触发器现态 Q^n 如何，次态 $Q^{n+1}=\overline{Q^n}$，为翻转功能。

上述工作过程学习者可根据逻辑电路图自行推导。

4.3.3 JK触发器的动作特点

① 主从型 JK 触发器的状态变化分两步动作。第一步是在 CP 为“1”期间主触发器接收输入信号且被记忆下来，而从触发器被封锁不能动作；第二步是当 CP 下降沿到来时，从触发器被解除封锁，接收主触发器在 CP 为 1 期间记忆下来的状态作为控制信号，使从触发器的输出状态按照主触发器的状态发生变化；之后，由于主触发器在 CP＝0 期间被封锁状态不再发生变化，因此，从触发器也就保持了 CP 下降沿到来时的状态不再发生变化。即主从型 JK 触发器的输出状态变化发生在 CP 脉冲的下降沿。

② 主触发器本身是一个钟控的 RS 触发器，因此在 CP＝1 的全部期间都受输入信号的控制，即存在“空翻”现象。但是，只有下降沿到来前的主触发器状态，才是改变从触发器状态的控制信号，而下降沿到达时刻的主触发器状态不一定是从触发器的控制信号。

4.3.4 JK触发器的功能描述

（1）特征方程为

$$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n \tag{4.3}$$

（2）功能真值表　见表 4-4 所示。

表 4-4　下降沿触发的主从型 JK 触发器功能真值表

控制端			输入端		原态	次态	触发器
$\overline{S}_D$	$\overline{R}_D$	CP	J	K	Q^n	Q^{n+1}	功能
0	1	×	×	×	×	1	置 1
1	0	×	×	×	×	0	置 0
0	0	×	×	×	×	不定	禁止

续表

控 制 端	输 入 端	原 态	次 态	触发器
$\overline{S}_D$ $\overline{R}_D$ CP	J K	Q^n	Q^{n+1}	功 能
1 1 ↓	0 0	0 或 1	0 或 1	保持
1 1 ↓	0 1	0 或 1	0	置 0
1 1 ↓	1 0	0 或 1	1	置 1
1 1 ↓	1 1	0 或 1	1 或 0	翻转

（3）状态转换图：集成 JK 触发器的状态转换图如图 4.10 所示。

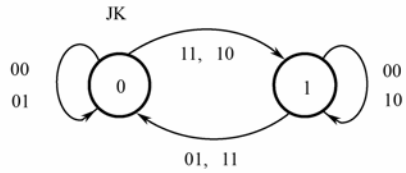


图 4.10　集成 JK 触发器的状态图

JK 触发器同样可以用时序图表示其功能。只是注意：输出状态的变化总是发生在时钟脉冲下降沿处。

（4）时序波形图：图 4.11 所示为主从型 JK 触发器的时序图举例。

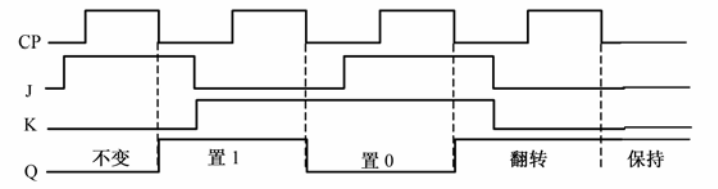


图 4.11　JK 触发器时序波形图示例

JK 触发器的逻辑符号如图 4.12 所示。

逻辑符号图中 CP 引线上端的“∧”符号表示边沿触发，无此“∧”符号表示电位触发；CP 脉冲引线端既有“∧”符号又有小圆圈时，表示触发器状态变化发生在时钟脉冲下降沿到来时刻，只有“∧”符号没有小圆圈时，表示触发器状态变化发生在时钟脉冲上升沿时刻；$\overline{S}_D$ 和 $\overline{R}_D$引线端处的小圆圈仍然表示低电平有效。

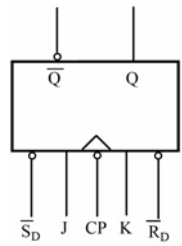


图 4.12　JK 触发器逻辑符号

4.3.5　集成JK触发器

实际应用中大多采用集成 JK 触发器。常用的集成 JK 触发器型号有 74LS112（下降边沿触发的双 JK 触发器）、CC4027（上升沿触发的双 JK 触发器）和 74LS276 四 JK 触发器（共用置 1、清零端）等。74LS112 双 JK 触发器每块芯片包含两个具有复位、置位端的下降沿触发的 JK 触发器，通常用于缓冲触发器、计数器和移位寄存器电路中。74LS112 双 JK 触发器和 CC4027 触发器的引脚排列图如图 4.13 所示。

图中 74LS112 是 TTL 型集成电路芯片；CC4027 是 CMOS 型集成电路芯片。引脚功能图

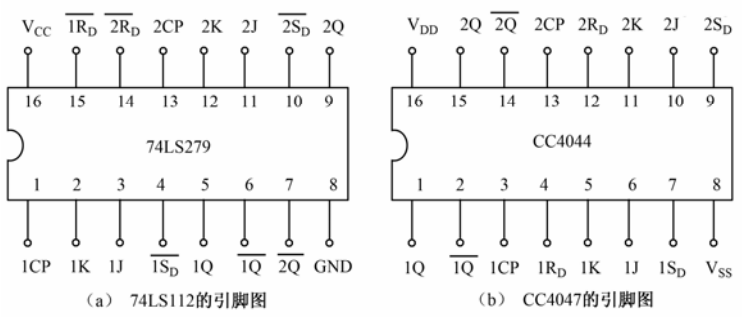
中字符前的数字相同时，表示为同一个 JK 触发器的端子。表 4-4 为 74LS112 双 JK 触发器功能真值表。

归纳 JK 触发器的特点：

① 边沿触发，即 CP 边沿到来时，状态发生翻转。

② 具有置 0、置 1、保持、翻转四种功能，无钟控 RS 触发器的空翻现象。

③ 使用方便灵活，抗干扰能力极强，工作速度很快。



（a） 74LS112的引脚图　　（b） CC4047的引脚图

图 4.13　两种集成 JK 触发器的引脚排列图

思考与问题

1．主从型 JK 触发器的主触发器包括几个逻辑门？在什么情况下触发工作？何种情况下被封锁？属于哪种触发方式？

2．主从型 JK 触发器的从触发器包括几个逻辑门？在什么情况下触发工作？何种情况下被封锁？属于哪种触发方式？

3．试默写出 JK 触发器的特征方程式和功能真值表。

4．JK 触发器具有哪些逻辑功能？

5．主从型 JK 触发器能够抑制“空翻”现象，具体表现能说出来吗？

4.4　维持阻塞D触发器

维持阻塞 D 触发器和主从型 JK 触发器一样，也是一种边沿触发方式的、能够有效抑制“空翻”现象的集成触发器。就目前应用上来看，D 触发器与 JK 触发器都是功能最完善、使用灵活和通用性较强的触发器。

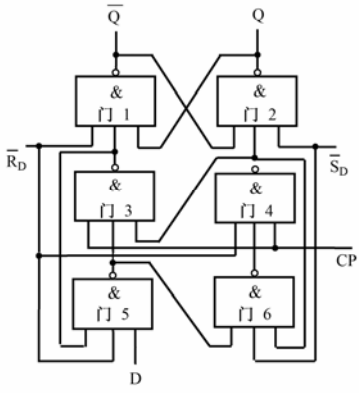


图 4.14　维持阻塞 D 触发器结构原理图

4.4.1　D触发器的结构组成

维持阻塞 D 触发器只有一个输入端，图 4.14 所示是维持阻塞 D 触发器的结构原理图。

由图可知，维持阻塞 D 触发器由 6 个与非门组成，其中门 1～门 4 构成钟控 RS 触发器，门 5 和门 6 构成输入信号的导引门，输入控制端 D 与门 5 相连，直接置 0 端 $\overline{R}_D$ 和直接置 1 端 $\overline{S}_D$ 作为门 1 和门 2 的两个输入端，在触发器工作之前可以根据需要直接置“0”或置“1”，触发器正常工作时要保持高电平“1”。

4.4.2 D触发器的工作原理

维持阻塞 D 触发器的输出状态只取决于时钟脉冲触发边沿到来前控制信号 D 端的状态，利用电路内部的反馈实现边沿触发。

当 CP＝0 时，门 3 和门 4 均“有 0 出 1”被封锁，因此触发器将保持现态不变。此时，无论触发器现态如何，只要触发器输入端 D＝1，门 5 将“全 1 出 0”，输出状态为 $\overline{D}$ ＝0；$\overline{D}$ 通过反馈线加在门 6 输入端，致使门 6“有 0 出 1”，这个“1”作为门 4 的一个输入端，为门 4 的开启创造了条件。因此，CP＝0 为触发器的数据准备阶段。

当 CP 上升沿到来时刻，钟控 RS 触发器触发开启，门 5、门 6 在 CP＝0 时的输出数据被门 3 和门 4 接收，触发器动作。下面分两种情况讨论：

① D＝1 时，由于门 6 输出与 D 保持一致，门 4“全 1 出 0”，门 3 则“有 0 出 1”；门 4 输出的“0”又使门 2“有 0 出 1”，即 Q^{n+1}＝D＝1；门 3 输出的“1”使门 1“全 1 出 0”，由此，D 触发器的两个输出端子保持互非。为置 1 功能；

② D ＝0 时，则门 6 输出也为 0，门 4“有 0 出 1”，门 3“全 1 出 0”；门 4 的输出使门 2“全 1 出 0”，即 Q^{n+1}＝D＝0；门 1 则“有 0 出 1”，D 触发器的两个输出端子仍保持互非，置 0 功能。

上述分析表明，无论触发器原来状态如何，维持阻塞 D 触发器的输出随着输入 D 的变化而变化，且在时钟脉冲上升沿到来时触发。由图 4.13 也不难看出，触发器的状态在 CP 上升沿到来时总是维持原来的输入信号 D 作用的结果，而输入信号的变化在此时被有效地阻塞掉了，这也是维持阻塞 D 触发器名称的由来。

4.4.3 D触发器的动作特点

维持阻塞 D 触发器的次态仅取决于 CP 信号上升沿到达前一瞬间（这一时刻与上升沿到达时的间隔趋近于零）输入的逻辑状态，而在这一瞬间之前和之后，输入的状态变化对输出不能够产生影响。这一特点显然有效地抑制了“空翻”，增强了触发器的抗干扰能力，提高了电路工作的可靠性。

4.4.4 D触发器的功能描述

（1）特征方程为

$$Q^{n+1}=D^n \tag{4.4}$$

（2）功能真值表：D 触发器的功能真值表如表 4-5 所示。

表 4-5　上升沿触发的 D 触发器功能真值表

控制端			输入端	原　态	次　态	触发器
$\overline{S}_D$	$\overline{R}_D$	CP	D	Q^n	Q^{n+1}	功　能
0	1	×	×	×	1	置 1
1	0	×	×	×	0	置 0
0	0	×	×	×	不定	禁止
1	1	↑	0	0 或 1	0	置 0
1	1	↑	1	0 或 1	1	置 1

（3）状态转换图：由真值表可看出，D 触发器具有“**置 0**”和“**置 1**”两种功能。D 触发器的应用非常广泛，常用作数字信号的寄存、移位寄存、分频、波形发生等。D 触发器的状态转换图如图 4.15 所示。

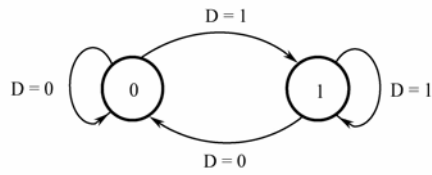
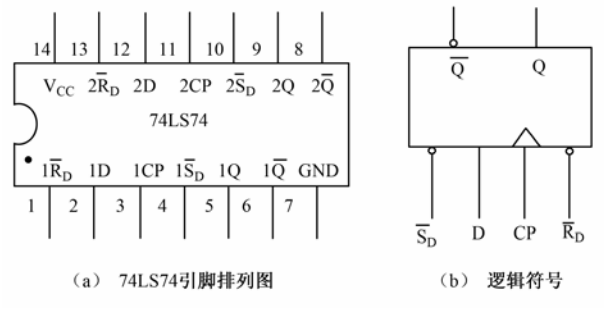


图 4.15　D 触发器的状态图

4.4.5　集成D触发器

目前国内生产的集成 D 触发器主要是维持阻塞型，这种 D 触发器都是在时钟脉冲的上升沿触发翻转。常用的集成电路有 74LS74 双 D 触发器、74LS75 四 D 触发器和 74LS176 六 D 触发器等。图 4.16 所示为常用的 74LS74 的引脚排列图及逻辑符号图。



（a）　74LS74引脚排列图　　（b）　逻辑符号

图 4.16　74LS74 的引脚排列及逻辑符号

观看逻辑符号，CP 输入端处的三角形标记下面不带小圆圈，说明它是在上升沿到来时触发。

思考与问题

1．D 触发器的基本结构组成分哪两大部分？为什么说 D 触发器可以有效地抑制“空翻”现象？

2．如何解释维持阻塞 D 触发器的“维持”和“阻塞”？

3．你能默写出 D 触发器的特征方程式和功能真值表吗？

4．在逻辑图符号中，你是如何区别出某触发器是“电平”触发还是“边沿”触发的？又是如何判断某触发器输入端是高电平有效或是低电平有效的？

4.5　T触发器和T′触发器

4.5.1　T触发器

在数字电路中，凡在 CP 时钟脉冲控制下，根据输入信号取值的不同，只具有“保持”

和“翻转”功能的电路，均被称为 T 触发器。如果我们把一个 JK 触发器的输入控制端 J 和 K 连接在一起作为一个输入端 T 时，就可构成一个 T 触发器：当 T 输入低电平“0”时，相当于 J＝K＝0，触发器为保持功能；当 T 输入高电平“1”时，相当于 J＝K＝1，触发器为翻转功能。这时，由 JK 触发器构成的 T 触发器的功能真值表如表 4-6 所示。

表 4-6　T 触发器的功能真值表

控 制 端	输 入 端	原　态	次　态	触发器的功能
$\bar{S}_D$ $\bar{R}_D$ CP	T	Q^n	Q^{n+1}	
0　1　×	×	×	1	置 1
1　0　×	×	×	0	置 0
1　1　↓	0	0 或 1	0 或 1	保持
1　1　↓	1	0 或 1	1 或 0	翻转

显然，T 触发器只具有保持和翻转两种功能。

4.5.2　T′ 触发器

如果让 JK 触发器的 J 和 K 两个输入端子连在一起，且恒输入“1”时，就构成一个 T′ 触发器。T′ 触发器在每来一个时钟脉冲时电路状态都会随之翻转一次，相当于 J＝K＝1，触发器为翻转功能。由 JK 触发器构成的 T′ 触发器的功能真值表如表 4-7 所示。

表 4-7　T′ 触发器的功能真值表

控　制　端	输　入　端	原　　态	次　　态	功　　能
$\bar{S}_D$ $\bar{R}_D$ CP	T′	Q^n	Q^{n+1}	触发器
0　1　×	×	×	1	置 1
1　0　×	×	×	0	置 0
1　1　↓	1	0 或 1	1 或 0	翻转

由真值表可看出，T′ 触发器所具有的逻辑功能仅有一种翻转功能。

T 触发器和 T′ 触发器只在 CP 脉冲的边沿处对输入进行瞬时采样，而在 CP 脉冲其他期间能够有效地隔离输出与输入，都是具有较强抗干扰能力的触发器，工程实际中应用非常普遍。

根据以上介绍的触发器，可以归纳如下几点：

① 触发器是数字电路中极其重要的基本单元。触发器有两个稳定状态，在外界信号作用下，可以从一个稳态转变为另一个稳态；无外界信号作用时状态保持不变。因此，触发器可以作为二进制存储单元使用。

② 触发器的逻辑功能可以用特性方程、真值表、状态图和时序波形图等多种方式描述。触发器的特征方程是表示其逻辑功能的重要逻辑函数，在分析和设计时序电路常用来作为判断电路状态转换的依据。

③ 同一种功能的触发器，可以用不同的电路结构形式来实现；反过来，同一种电路结构形式，也可以构成具有不同功能的各种类型的触发器。

④ 触发器分有电平触发和边沿触发两种方式，其中电平触发的钟控 RS 触发器存在“空翻”现象，为克服“空翻”给数字电路带来的不稳定因素，人们设计出了边沿触发方式的主从型 JK 触发器和维持阻塞 D 触发器等。

⑤ 本章介绍的触发器结构均为 TTL 电路结构，均由 TTL 与非门构成。因此，TTL 电路触发器的输入、输出特性和 TTL 与非门相同；而在 CMOS 电路触发器中，通常每个输入、输出端均在器件内部设置了缓冲器，因此其输入特性和输出特性与 CMOS 反相器类似。

思考与问题

1．T 触发器的逻辑功能有几种？分别是哪些功能？

2．试述 T′ 触发器的逻辑功能，哪些触发器可以构成 T′ 触发器使用？



实践环节

4.1 集成触发器的功能测试

一、实验目的

（1）通过实验了解和熟悉各种集成触发器的引脚功能及其连线。

（2）进一步理解和掌握各种集成触发器的逻辑功能及其应用。

二、实验主要仪器设备

（1）＋5V 直流电源

（2）单次时钟脉冲源

（3）逻辑电平开关和逻辑电平显示器

（4）74LS74（或 CC4013）双 D 集成触发器电路，74LS112（或 CC4027）双 JK 集成触发器电路，74LS00（或 CC4011）与非门集成电路各 1 只。

（5）相关实验设备及连接导线若干。

三、实验相关知识要点

1．触发器

触发器是存放二进制信息的最基本单元，是构成时序电路的主要元件。触发器具有两个稳态：即“0”态（$Q=0, \overline{Q}=1$）和“1”态（$Q=1, \overline{Q}=0$）。在时钟脉冲的作用下，根据输入信号的不同，触发器可具有置“0”、置“1”、保持和翻转功能。

触发器按其逻辑功能分类，有 RS 触发器、D 触发器、JK 触发器、T 触发器等。目前，市场上出售的产品主要是 D 触发器和 JK 触发器。按时钟脉冲触发方式分类，有电平触发器（锁存器）、主从触发器和边沿触发器三种。按制造材料分类，常用的有 TTL 和 CMOS 两种，它们在电路结构上有较大的差别，但在逻辑功能上基本相同。

触发器除常被用作时序逻辑电路的主要单元外，一般还用来作为消振颤电路、同步单脉冲发生器、分频器及倍频器等。

2．RS触发器

用两个与非门交叉连接即可构成基本的 RS 触发器，如图 4.17 所示。基本 RS 触发器常用来构成消机械抖动开关，其原理图如图 4.18 所示。

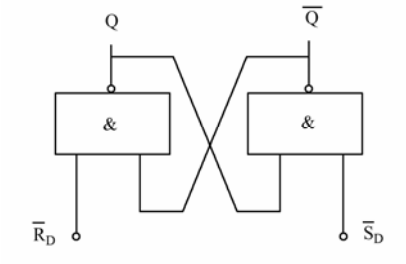


图 4.17　基本 RS 触发器

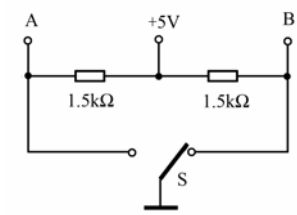


图 4.18　消振颤电路原理图

3．D触发器

实用 D 触发器的型号很多，TTL 型有 74LS74（双 D）、74LS174（六 D）、74LS175（四 D）、74LS377（八 D）等；CMOS 型有 CD4013（双 D）、CD4042（四 D）。本实验选用 74LS74（上升沿触发）。触发器的状态仅取决于时钟信号 CP 上升沿到来前 D 端的状态，其特性方程为：$Q^{n+1}=D$。D 触发器的应用很广，可供作数字信号的寄存、移位寄存、分频和波形发生等。

4．JK触发器

实用 JK 触发器 TTL 型 74LS107、74LS112（双 JK 下降沿触发，带清零）、74LS109（双 JK 上升沿触发，带清零）、74LS111（双 JK，带数据锁定）等；CMOS 型有 CD4027（双 JK 上升沿触发）等。

四、实验步骤

（1）按照图 4.17 连线，测试基本 RS 触发器的逻辑功能。

（2）在逻辑测试仪或数字电子实验台上测试 74LS74（或 CC4013）双 D 集成触发器的逻辑功能：

① 测试 D 触发器的复位、置位功能；

② 测试 D 触发器的逻辑功能时观察触发器状态更新是否发生在 CP 脉冲的上升沿，记录之。

③ 将 D 触发器的输出非端与输入端相连接，观察电路输出 Q 的状态变化，记录之，并指出此时 D 触发器的功能。

（3）测试 74LS112（或 CC4027）双 JK 集成触发器的逻辑功能，画出相应功能表。

① 按表 5-4 要求改变 J、K、CP 端状态，观察输出状态变化，观察触发器状态更新是否发生在 CP 脉冲的下降沿。记录之。

② 将 JK 触发器的 J、K 端连在一起，构成 T 触发器。CP 端接入 1Hz 连续脉冲，用电平指示器观察输出 Q 端变化情况。记录之。

五、实验报告

（1）列表整理各类型触发器的逻辑功能。

（2）总结 JK 触发器 74LS112 和 D 触发器 74LS74 的特点。
（3）画出 JK 触发器作为 T'触发器时，其电路的时序波形图。

4.2　学习Multisim 8.0 电路仿真

一、学习目的

（1）进一步熟悉和掌握 Multisim 8.0 电路仿真技能；
（2）学会虚拟仪器频率计的仿真方法；
（3）掌握触发器的电路仿真。

二、Multisim 8.0 中频率计的使用

频率计主要用来测量数字信号的频率、周期、脉冲宽度、上升/下降时间。Multisim 8.0 中的虚拟频率计如图 4.19 左图所示，右图为频率计的设置主界面。

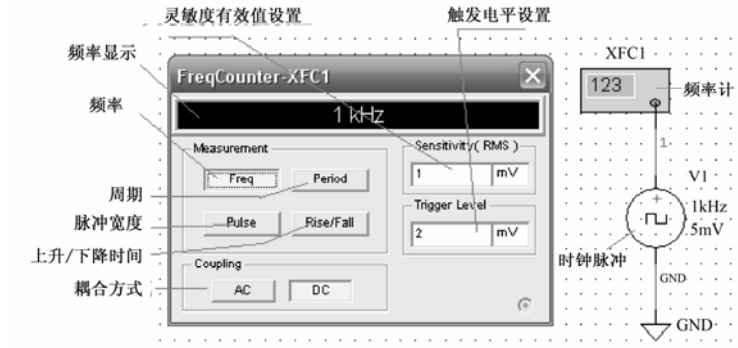


图 4.19　虚拟频率计的仿真

在频率计设置中，应注意触发脉冲的设置数必须大于灵敏度设置数的 $\sqrt{2}$ 倍。

三、Multisim 8.0 中触发器的电路仿真

1．用两个与非门构成RS触发器

用两个两输入的与非门构成一个基本 RS 触发器，连接电路如图 4.20 所示，测试其逻辑功能。

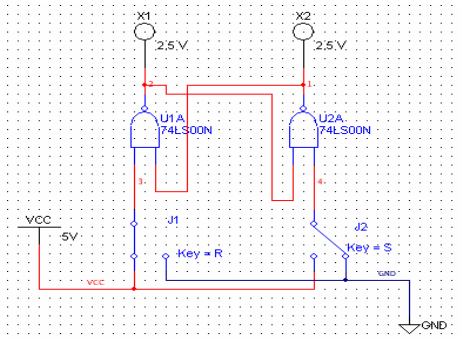


图 4.20　与非门构成的基本 RS 触发器连接电路

2．用两个或非门构成基本RS触发器

用两个两输入的或非门构成一个基本 RS 触发器，连接电路如图 4.21 所示，测试其逻辑功能。并比较其逻辑功能与由两个与非门构成的基本 RS 触发器有何不同。

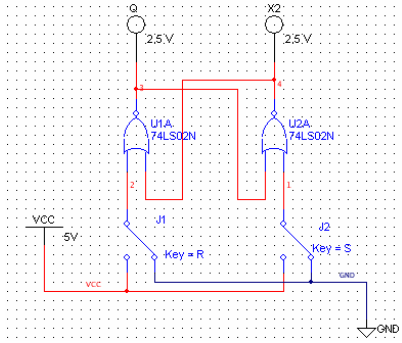


图 4.21　由两个或非门构成的基本 RS 触发器

3．D触发器

用虚拟集成电路 74LS74 仿真。仿真电路连接如图 4.22 所示。

按照图 4.22 连接好电路，测试其功能。时钟脉冲用手控制，观察触发器的状态变化发生在哪一时刻。

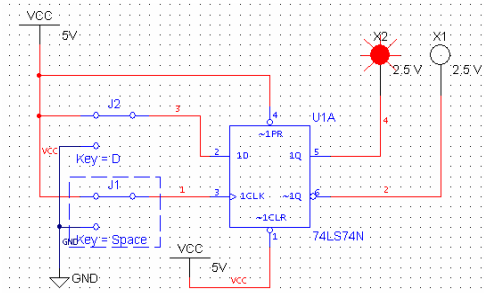


图 4.22　D 触发器电路仿真

4．JK触发器

用虚拟集成电路 74LS112 仿真。仿真电路连接如图 4.23 所示。

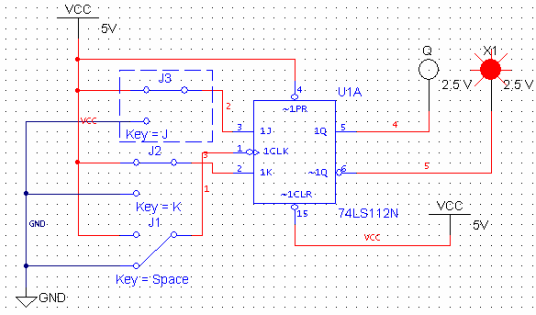


图 4.23　JK 触发器电路仿真

按照图连接好电路，测试其功能。手动控制时钟脉冲，观察是在什么时候状态发生改变。

第 4 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．两个与非门构成的基本 RS 触发器的功能有_____、_____和_____。电路中不允许两个输入端同时为_____，否则将出现逻辑混乱。

2．通常把一个 CP 脉冲引起触发器多次翻转的现象称为_____，有这种现象的触发器是_____触发器，此类触发器的工作属于_____触发方式。

3．为有效地抑制“空翻”，人们研制出了_____触发方式的_____触发器和_____触发器。

4．JK 触发器具有_____、_____、_____和_____四种功能。欲使 JK 触发器实现 $Q^{n+1}=\overline{Q}^n$ 的功能，则输入端 J 应接_____，K 应接_____。

5．D 触发器的输入端子有_____个，具有_____和_____的功能。

6．触发器的逻辑功能通常可用_____、_____、_____和_____等多种方法进行描述。

7．组合逻辑电路的基本单元是_____，时序逻辑电路的基本单元是_____。

8．JK 触发器的次态方程为_____；D 触发器的次态方程为_____。

9．触发器有两个互非的输出端 Q 和 $\overline{Q}$，通常规定 Q＝1，$\overline{Q}$＝0 时为触发器的_____状态；Q＝0，$\overline{Q}$＝1 时为触发器的_____状态。

10．两个与非门组成的基本 RS 触发器，正常工作时，不允许 $\overline{R}=\overline{S}=$_____，其特征方程为_____，约束条件为_____。

11．钟控的 RS 触发器，在正常工作时，不允许输入端 R＝S＝_____，其特征方程为_____，约束条件为_____。

12．把 JK 触发器_____就构成了 T 触发器，T 触发器具有的逻辑功能是_____和_____。

13．让_____触发器恒输入“1”就构成了 T'触发器，这种触发器仅具有_____功能。

二、判断正误题（每小题 1 分，共 10 分）

1．仅具有保持和翻转功能的触发器是 RS 触发器。（　　）

2．基本的 RS 触发器具有“空翻”现象。（　　）

3．钟控的 RS 触发器的约束条件是：R＋S＝0。（　　）

4．JK 触发器的特征方程是：$Q^{n+1}=J\overline{Q}^n+KQ^n$。（　　）

5．D 触发器的输出总是跟随其输入的变化而变化。（　　）

6．CP＝0 时，由于 JK 触发器的导引门被封锁而触发器状态不变。（　　）

7．主从型 JK 触发器的从触发器开启时刻在 CP 下降沿到来时。（　　）

8．触发器和逻辑门一样，输出取决于输入现态。（　　）

9．维持阻塞 D 触发器状态变化在 CP 下降沿到来时。（　　）

10．凡采用电位触发方式的触发器，都存在“空翻”现象。（　　）

三、选择题（每小题 2 分，共 20 分）

1．仅具有置“0”和置“1”功能的触发器是（　　）。

A．基本 RS 触发器　　B．钟控 RS 触发器

C．D 触发器　　D．JK 触发器

2．由与非门组成的基本 RS 触发器不允许输入的变量组合 $\overline{S}\cdot\overline{R}$ 为（　　）。

A．00　　B．01　　C．10　　D．11

3．钟控 RS 触发器的特征方程是（　　）。

A．$Q^{n+1}=\overline{R}+Q^n$　　B．$Q^{n+1}=S+Q^n$

C．$Q^{n+1}=R+\overline{S}Q^n$　　D．$Q^{n+1}=S+\overline{R}Q^n$

4．仅具有保持和翻转功能的触发器是（　　）。

A．JK 触发器　　B．T 触发器　　C．D 触发器　　D．T′ 触发器

5．触发器由门电路构成，但它不同门电路功能，主要特点是具有（　　）

A．翻转功能　　B．保持功能　　C．记忆功能　　D．置 0 置 1 功能

6．TTL 集成触发器直接置 0 端 $\overline{R}_D$ 和直接置 1 端 $\overline{S}_D$ 在触发器正常工作时应（　　）。

A．$\overline{R}_D=1$，$\overline{S}_D=0$　　B．$\overline{R}_D=0$，$\overline{S}_D=1$

C．保持高电平“1”　　D．保持低电平“0”

7．按触发器触发方式的不同，双稳态触发器可分为（　　）。

A．高电平触发和低电平触发　　B．上升沿触发和下降沿触发

C．电平触发或边沿触发　　D．输入触发或时钟触发

8．按逻辑功能的不同，双稳态触发器可分为（　　）。

A．RS、JK、D、T 等　　B．主从型和维持阻塞型

C．TTL 型和 MOS 型　　D．上述均包括

9．为避免“空翻”现象，应采用（　　）方式的触发器。

A．主从触发　　B．边沿触发　　C．电平触发

10．为防止“空翻”，应采用（　　）结构的触发器。

A．TTL　　B．MOS　　C．主从或维持阻塞

四、简述题（每小题 3 分，共 15 分）

1．时序逻辑电路的基本单元是什么？组合逻辑电路的基本单元又是什么？

2．何谓“空翻”现象？抑制“空翻”可采取什么措施？

3．触发器有哪几种常见的电路结构形式？它们各有什么样的动作特点？

4．试分别写出钟控 RS 触发器、JK 触发器和 D 触发器的特征方程。

5．你能否推出由两个或非门组成的基本 RS 触发器的功能？写出其真值表。

五、分析题（共 35 分）

1．已知 TTL 主从型 JK 触发器的输入控制端 J 和 K 及 CP 脉冲波形如图 4.24 所示，试根据它们的波形画出相应输出端 Q 的波形。（6 分）

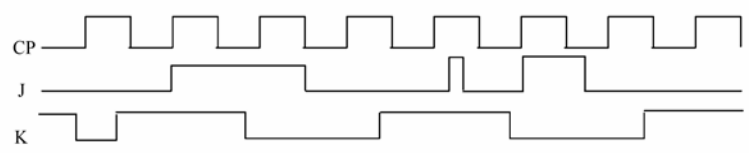


图 4.24　检测题 4.5.1 波形图

2．写出图 4.25 所示各逻辑电路的次态方程。（每图 2 分，共 12 分）

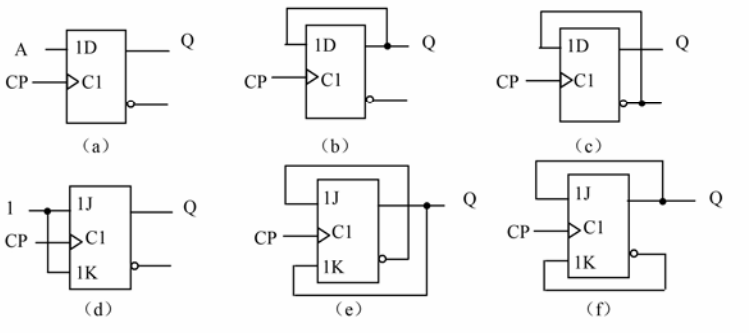


图 4.25　检测题 4.5.2 逻辑图

3．图 4.26 所示为维持阻塞 D 触发器构成的电路，试画出在 CP 脉冲下 Q_0 和 Q_1 的波形。（9 分）

4．电路如图 4.27 所示：

（1）图示电路中采用什么触发方式；

（2）分析下图所示时序逻辑电路，并指出其逻辑功能；

（3）设触发器初态为 0，画出在 CP 脉冲下 Q_0 和 Q_1 的波形。（8 分）

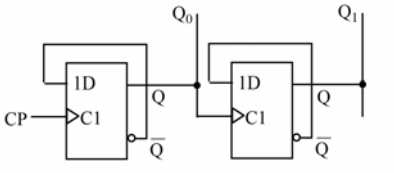


图 4.26　检测题 4.5.3 逻辑图

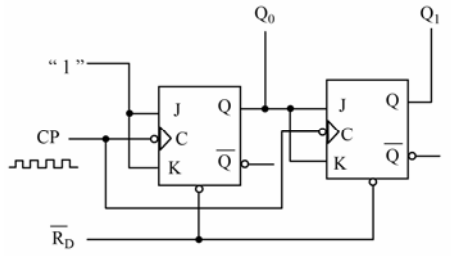


图 4.27　检测题 4.5.4 逻辑图

第 5 单元　时序逻辑电路

任务导入

时序逻辑电路的“时序”，实际上是指电路状态在时间上的顺序。仍以数字电子钟电路为例说明。图 5.1 所示为某数字电子钟的逻辑电路。



图 5.1　数字电子钟的逻辑电路

数字电子钟采用数字电路实现对“时”、“分”、“秒”数字显示。图中右边显示的 56 是“秒”显示，只有当“秒”显示计数 59 以后，中间的“分”显示状态才能发生变化，增加 1 个计数；当“分”显示计数至 59 以后，左边的“时”显示状态才能发生变化增加 1 个计数……

显然，数字电子钟的逻辑显示系统在时间上遵循一定的顺序。

时序逻辑电路的基本单元是触发器，因此时序逻辑电路在任意时刻的输出不仅和该时刻输入的逻辑变量取值有关，还和输出变量的历史有关，即时序逻辑电路的突出特点不仅具有“记忆”性，还具有“时序”性，是数字电子技术中的时间相关系统。

实际应用中，现代电子系统的集成度越来越高，功能越来越强，数字电路的时间相关系统在数字电子技术中的应用也越来越广泛。无论是中、小规模集成器件的设计，还是后面要学习的大规模集成电路可编程逻辑器件，时序逻辑电路的分析方法和同步时序逻辑电路的设计方法都是这些技术中所必须具备的基础知识。能够分析各种电路的能力是数字电子技术学习的重要内容之一，而能够设计出符合要求的电路则是数字电子技术学习的主要目标之一。尽快掌握对简单时序逻辑电路分析和设计，对每一位从事电子工程的技术人员来讲都是刻不容缓的事情。

本单元的学习任务如下：

（1）时序逻辑电路的分析。

（2）时序逻辑电路的设计。

（3）常用中规模集成计数器的引脚排列图、电路功能、实际应用及芯片扩展应用。

（4）常用中规模集成移位寄存器的电路功能与应用。

（5）应用 Multisim 8.0 电路仿真软件设计同步时序逻辑电路的技能。

通过本单元的学习，要求学习者了解时序逻辑电路的特点和一般分析方法；熟悉同步、异步时序逻辑电路的特点；掌握计数器、移位寄存器这些常用标准中规模集成时序逻辑电路的功

能及正确使用方法。

理论知识

5.1 时序逻辑电路的分析和设计思路

5.1.1 时序逻辑电路概述

在数字电路中，凡任何时刻电路的稳态输出，不仅和该时刻的输入信号有关，而且还取决于电路原来的状态者，都可以称为时序逻辑电路。这就是时序逻辑电路的定义或者说是它的逻辑功能特点。

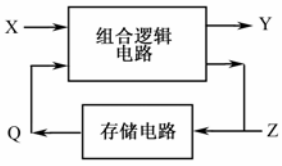


图 5.2 时序逻辑电路框图

时序逻辑电路的结构组成可以用图 5.2 所示的方框图来表示。图中 X 代表输入信号，Y 代表输出信号，Z 代表存储电路的输入信号，Q 代表存储电路的输出信号，同时也是组合逻辑电路的部分输入。

从电路框图来看，时序逻辑电路均包含作为存储单元的触发器。事实上，时序逻辑电路的状态，就是依靠触发器记忆和表示的，时序电路中可以没有组合逻辑电路，但不能没有触发器。

第 4 单元中我们介绍的触发器实际上就是最简单的时序逻辑电路，常用来作为较为复杂的时序逻辑电路的基本单元。时序逻辑电路在科研、生产、生活中完成各种各样操作的例子千变万化不胜枚举：

① 按功能可划分，时序逻辑电路应用有计数器、寄存器、移位寄存器、读/写存储器、顺序脉冲发生器等。

② 按电路中触发器状态变化是否同步，时序逻辑电路又可分为同步时序逻辑电路和异步时序逻辑电路。

③ 按输出信号的特性，时序逻辑电路又可分为米莱型和莫尔型。其中输出信号包括组合逻辑电路和存储电路两部分的是米莱型；仅有存储电路输出信号的则为莫尔型时序逻辑电路。

④ 按能否编程，时序逻辑电路又有可编程和不可编程时序逻辑电路之分。

⑤ 按电流的集成度的不同，时序逻辑电路还可分为小规模（SSI）、中规模（MSI）、大规模（LSI）和超大规模（VLSI）时序逻辑电路。

⑥ 按使用的开关元件类型，时序逻辑电路可分有 TTL 型和 CMOS 型两类。

5.1.2 时序逻辑电路的功能描述

由图 5.1 所示结构框图可以看出，时序逻辑电路的各输入、输出信号之间存在着一定的关系，这些关系可以用一些方程式加以描述。

（1）输出方程：$Y(t_n)=F[X(t_n),Q(t_n)]$

（2）驱动方程：$Z(t_n)=G[X(t_n),Q(t_n)]$（有时也称为激励方程）

（3）次态方程：$Q(t_{n+1})=H[Z(t_n),Q(t_n)]$（又称为存储电路的状态方程）

上述三个方程式，可以完整地描述时序逻辑电路的逻辑功能。显然，时序逻辑电路的描述

方法比组合逻辑电路复杂，通常要用到 t_n 和 t_{n+1} 两个相邻的离散时间，这两个相邻的离散时间对应了存储电路中的现态和次态两种不同状态所处的时刻。

用方程式虽然可以完整地描述时序逻辑电路的功能，但其描述方法不够形象、直观。为了能把在一系列时钟脉冲操作下的电路状态转换全过程形象、直观地描述出来，常用的方法仍是我们在第 4 单元讲述的状态转换真值表、状态转换图、时序图和激励表等。这些方法我们将在对时序逻辑电路的分析过程中，更加具体地加以阐明。

5.1.3 时序逻辑电路的基本分析方法

【例 5.1】图 5.3 所示时序逻辑电路，其输出信号由各触发器的 Q 端取出。设触发器现态为“0”态，试分析该电路的逻辑功能。

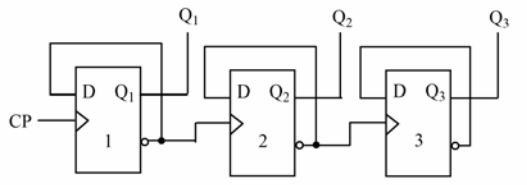


图 5.3 例 5.1 逻辑电路

【分析】① 判断电路类型：

该时序逻辑电路除存储电路的输出信号外，并无组合逻辑电路的输出信号；电路中各触发器的时钟脉冲不是受同一时钟信号的控制，因此判断该电路类型是莫尔型异步时序逻辑电路。

② 写出该时序逻辑电路分析时所需的相应方程式：

该时序逻辑电路的各位均为 CP 上升沿到来时发生状态翻转的 D 触发器，因此电路的驱动方程为

$$D_3=\overline{Q}_3,\quad D_2=\overline{Q}_2,\quad D_1=\overline{Q}_1$$

将驱动方程代入各位触发器的特征方程，可得到各位触发器的次态方程为：

$$Q_3^{n+1}=D_3^n=\overline{Q}_3^n,\quad Q_2^{n+1}=D_2^n=\overline{Q}_2^n,\quad Q_1^{n+1}=D_1^n=\overline{Q}_1^n$$

由于电路中各位触发器不是由同一时钟脉冲控制，因此需求列出电路的时钟方程：

$$CP_3=\overline{Q}_2,\quad CP_2=\overline{Q}_1,\quad CP_1=CP$$

③ 根据上述方程对电路进行分析：

电路初始状态为“000”，因此第一个 CP 脉冲上升沿到来时刻，根据触发器 1 的次态方程可得 $Q_1^{n+1}=D_1^n=\overline{Q}_1^n=1$，触发器 1 的状态由 0 翻转为 1，此变化使 CP_2 出现下降沿，因此触发器 2 状态不变，触发器 3 的状态因 CP_3 不变也不发生变化。$Q_3Q_2Q_1$ 由初始状态 000 变为 001；

第二个 CP 脉冲上升沿到来时，触发器 1 的状态再次翻转，$Q_1^{n+1}=0$；触发器 2 由于得到一个上升沿的 CP_2 而发生状态翻转，有 $Q_2^{n+1}=D_2^n=\overline{Q}_2^n=1$，此变化使 CP_3 出现下降沿，因此触发器 3 状态不变，$Q_3Q_2Q_1$ 由 001 变为 010；

第三个 CP 脉冲上升沿来到时，触发器 1 状态又发生翻转，$Q_1^{n+1}=1$；CP_2 出现下降沿，触发器 2 状态不变；因 Q_2 不变，CP_3 也不变化，$Q_3Q_2Q_1$ 由 010 变化为 011；

第四个 CP 脉冲上升沿来到时，触发器 1 的状态又翻转到 $Q_1^{n+1}=0$；$\overline{Q}_1$ 的变化使 CP_2 出现

上升沿，触发器 2 状态也发生翻转，$Q_2^{n+1}=0$，$\overline{Q}_2$ 的变化使 CP_3 出现上升沿，触发器 3 的状态翻转为 $Q_3^{n+1}=1$，$Q_3Q_2Q_1$ 由 011 变为 100；

……直到第八个 CP 脉冲上升沿到来时，$Q_3Q_2Q_1$ 由 111 又重新转换为 000 状态。以后电路将周而复始地重复上述循环。

把以上分析结果填写在状态转换真值表中，如表 5-1 所示。

表 5-1　例 5.1 逻辑电路状态转换真值表

CP	$Q_3^n\ Q_2^n\ Q_1^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}$
1↑	0　0　0	0　0　1
2↑	0　0　1	0　1　0
3↑	0　1　0	0　1　1
4↑	0　1　1	1　0　0
5↑	1　0　0	1　0　1
6↑	1　0　1	1　1　0
7↑	1　1　0	1　1　1
8↑	1　1　1	0　0　0

观察上表可知，电路中各位触发器状态变化的规律是：每来一个 CP 脉冲上升沿，触发器 1 的状态就会翻转一次；每当 Q_1 出现下降沿时，触发器 2 的状态就会翻转一次；每当 Q_2 出现下降沿时，触发器 3 的状态将翻转一次。

另外，该时序电路在运行时所经历的状态是周期性的，即在有限个状态中循环，通常将一次循环所包含的状态总数称为时序逻辑电路的“模”。所以，该时序逻辑电路是一个异步三位二进制模 8 加计数器电路。

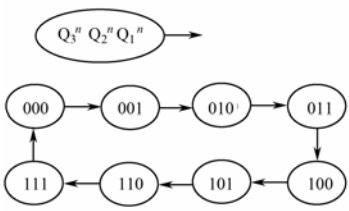


图 5.4　例 5.1 电路状态转换图

异步三位二进制模 8 计数器的状态转换还可用图 5.4 所示的状态转换图来表示。

对例 5.1 的异步时序逻辑电路进行分析时，首先要看触发器的触发脉冲有无有效的触发边沿或有效触发电平，只有出现有效触发信号时，才能根据这一时刻的触发器输入信号依据次态方程得出变化后的新状态。

通过此例可以归纳出时序逻辑电路的一般分析步骤为：

（1）确定时序逻辑电路的类型。根据电路中各位触发器是否共用一个时钟脉冲 CP 触发电路，判断电路是同步时序逻辑电路还是异步时序逻辑电路。若电路中各位触发器共用一个时钟脉冲 CP 触发，为同步时序逻辑电路；若各位触发器的 CP 脉冲端子不同，如例 5.1 所示电路，就为异步时序逻辑电路；根据时序逻辑电路除 CP 端子外是否还有输入信号判断电路是米莱型还是莫尔型，如有其他输入信号端子时，为米莱型时序逻辑电路，如果像例 7.1 所示电路没有其他输入端子，就是莫尔型时序逻辑电路。

（2）根据已知时序逻辑电路，分别写出相应的输出方程（注：莫尔型时序逻辑电路没有输出方程）、驱动方程和次态方程，当所分析电路属于异步时序逻辑电路，还需要写出各位触发器的时钟脉冲方程。

（3）根据次态方程、时钟方程、输出方程或时钟脉冲方程，填写出相应状态转换真值表

或画出其状态转换图。

（4）根据分析结果和状态转换真值表（或状态转换图），得出时序逻辑电路的逻辑功能。

【例 5.2】分析图 5.5 所示时序逻辑电路的功能，说明其用途，设电路的初始状态为“111”。

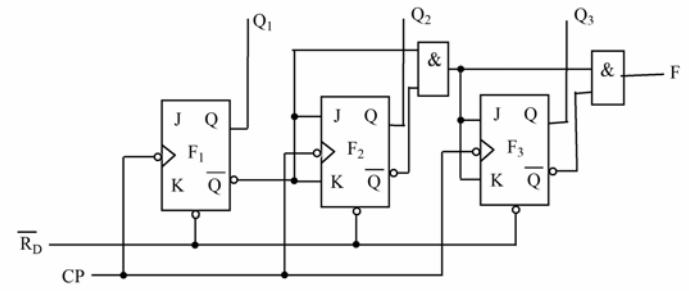


图 5.5　例 5.2 逻辑电路

【分析】① 电路中各位触发器的时钟脉冲为同一个 CP 输入端，具有同时翻转的条件，而且电路中除了三位触发器的输出，还有两个与门的输出，因此判断该电路为米莱型的同步时序逻辑电路。

② 电路的驱动方程为

$$J_1=K_1=1\ ,\quad J_2=K_2=\overline{Q}_1^n\ ,\quad J_3=K_3=\overline{Q}_1^n\cdot\overline{Q}_2^n$$

电路的输出方程为

$$F=\overline{Q}_1^n\cdot\overline{Q}_2^n\cdot\overline{Q}_3^n$$

电路的次态方程为

$$Q_1^{n+1}=\overline{Q}_1^n$$

$$Q_2^{n+1}=\overline{Q}_1^n\cdot\overline{Q}_2^n+Q_1^n\cdot Q_2^n=\overline{Q_1^n\oplus Q_2^n}$$

$$Q_3^{n+1}=\overline{(Q_1^n+Q_2^n)}\,\overline{Q}_3^n+(Q_1^n+Q_2^n)Q_3^n$$

$$=\overline{(Q_1^n+Q_2^n)\oplus Q_3^n}$$

③ 根据上述方程，填写相应真值表，如表 5-2 所示。

表 5-2　例 5.2 逻辑电路状态转换真值表

CP	$Q_3^n\ Q_2^n\ Q_1^n$	F	$Q_3^{n+1}\ Q_2^{n+1}\ Q_1^{n+1}$
1↓	1　1　1	0	1　1　0
2↓	1　1　0	0	1　0　1
3↓	1　0　1	0	1　0　0
4↓	1　0　0	0	0　1　1
5↓	0　1　1	0	0　1　0
6↓	0　1　0	0	0　0　1
7↓	0　0　1	0	0　0　0
8↓	0　0　0	1	1　1　1

④ 由真值表可看出，此电路为同步二进制模 8 减计数器，电路每完成一个循环，输出端 F 为“1”。

比较两例，该同步时序逻辑电路与上例的异步时序逻辑电路相比，虽然它们都是由 n 位处于计数工作状态的触发器组成，但是同步时序逻辑电路中往往含有门电路，因此电路结构比异步时序逻辑电路要复杂得多。异步时序逻辑电路通常采用的是串行计数，工作速度较低；同步时序逻辑电路由于各位触发器受同一时钟脉冲 CP 控制，决定各触发器状态（J、K 状态）的条件并行产生，因此输出也是并行的，状态翻转速度比相应异步时序逻辑电路速度快得多。在本单元的学习中，我们分析的重点是实用中较多的同步时序逻辑。

5.1.4 时序逻辑电路的设计思路

时序逻辑电路的设计与其分析互为逆过程，一般要根据给定的设计要求或给定的状态转换图，设计出满足要求的时序逻辑电路。

时序逻辑电路设计的一般步骤如下。

（1）进行逻辑抽象，建立原始状态图

① 分析给定设计要求，确定输入变量、输出变量、电路内部状态间的关系及状态数；

② 定义输入变量、输出变量逻辑状态的含义，进行状态赋值，对电路的各个状态进行编号；

③ 按照题意建立原始状态图。

（2）进行状态化简，求最简状态图

① 确定等价状态：原始状态图中，凡是在输入相同时，输出相同、要转换到的次态也相同的状态，都是等价状态。

② 合并等价状态，画最简状态图：对电路外特性来说，等价状态是可以合并的，多个等价状态合并成一个状态，多余的都去掉，即可画出最简状态图。

（3）进行状态分配，画出用二进制数进行编码后的状态图

① 确定二进制代码的位数：如果用 M 表示电路的状态数，用 n 表示待使用的二进制代码的位数，就要根据编码的概念，依据下列不等式来确定二进制代码的位数：

$$2^{n-1} \leqslant M \leqslant 2^n$$

② 对电路状态进行编码：n 位二进制代码有 2^n 种不同取值，用来对 M 个状态进行编码，方案则很多。如果选择恰当，则可得到比较简单的设计结果；反之，若方案选择不好，设计出来的电路就会复杂化。好的设计方案通常要经过仔细研究、反复比较才会得出，这里既有技巧问题，也与经验有关。

③ 画出编码后的状态图：状态编码方案确定之后，便可画出用二进制代码表示电路状态的状态图。此状态图的电路次态、输出与现态及输入间的函数关系都应准确无误地规定好了。

（4）选择触发器，求时钟方程、输出方程和状态方程

① 选择触发器：一般选择边沿触发方式的 JK 触发器或 D 触发器，触发器的个数应等于对电路状态进行编码的二进制代码的位数。

② 求时钟方程：若采用同步方案，就不需求时钟方程；如果采用异步方案，则要根据状态图先画出时序图，然后从翻转要求出发，才能为各个触发器选择出合适的时钟信号。

③ 求输出方程：由状态图规定的输出与现态和输入的逻辑关系可写出输出信号的标准与或表达式，用公式法或卡诺图求出最简表达式。注意对无效状态的处理应按约束项进行。

④ 求状态方程：采用同步方案时可以直接写出次态的标准与或表达式，再进行化简即可；采用异步方案时则要注意一些特殊约束项的确认和处理，充分地利用约束项进行化简，才能得

到最简单的状态方程。

（5）求驱动方程

① 变换状态方程，使其具有和触发器特征方程相一致的表达式形式；

② 与特征方程进行比较，按变量相同、系数相等、两个方程必等的原则，求出驱动方程。换句话说，所谓的驱动方程就是各位触发器同步输入端信号的逻辑表达式。

（6）画逻辑电路图

① 先画触发器，并进行必要的编号，标出有关的输入端和输出端；

② 按照时钟脉冲方程、驱动方程和输出方程进行连线、

（7）检查设计的电路能否自启动

① 将电路无效状态依次代入状态方程进行计算，观察在输入时钟信号操作下能否回到有效状态，如果无效状态形成了循环，则所设计的电路不能自启动，反之则可以自启动。注意计算时所使用的应该是与特征方程做比较的次态方程，该方程就自身来说不一定是最简形式的。

② 若电路不能自启动，则应采取措施予以解决。

从上述时序逻辑电路的设计步骤上来看，显然要比组合逻辑电路的设计复杂，因此，我们对这部分内容不作过高的要求，只在后面的集成时序逻辑电路学习中，要求掌握运用集成时序逻辑电路能够设计出不太复杂的时序逻辑电路即可。

思考与问题

1．如何区分同步时序逻辑电路和异步时序逻辑电路？

2．你能正确判断出什么是米莱型时序逻辑电路和莫尔型时序逻辑电路吗？

3．试述时序逻辑电路的分析步骤？

4．对图 5.6 所示时序逻辑电路进行分析，写出其功能真值表。

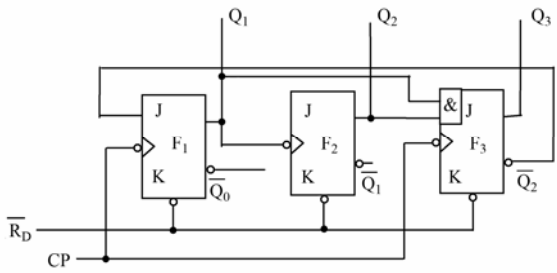


图 5.6　思考与问题 4 逻辑电路

5.2　集成计数器

集成计数器是时序逻辑电路的具体应用，用来累计并寄存输入脉冲个数，计数器的基本组成单元是各类触发器。计数器按其工作方式的不同可分为同步计数器和异步计数器；按进位制可分为二进制计数器、十进制计数器和任意进制计数器；按功能又可分为加法计数器、减法计数器和加/减可逆计数器等。计数器中的“数”是用触发器的状态组合来表示的。在计数脉冲（一般采用时钟脉冲 CP）作用下，使一组触发器的状态逐个转换成不同的状态组合，以此表示数的增加或减少以达计数目的。

5.2.1　二进制计数器

当时序逻辑电路的触发器位数为 n，电路状态按二进制数的自然态序循环，经历的独立状态为 2^n 个，这时，我们称此类电路为二进制计数器。

二进制计数器除按同步、异步分类外，还可按计数的增减规律分为加计数器、减计数器和可逆计数器。

1．异步二进制计数器

二进制计数器中各位触发器所用的计数脉冲不同，通常时钟脉冲加到最低位触发器的 CP 端，其他触发器的 CP 端分别由低位触发器的 Q 端或 $\overline{Q}$ 端控制。图 5.7 所示的时序逻辑电路就是一个由主从型 JK 触发器构成的异步二进制计数器。

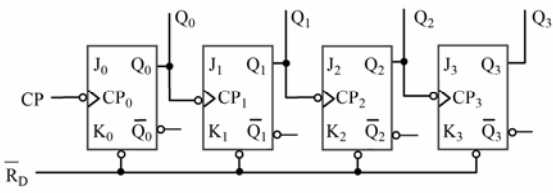


图 5.7　由主从 JK 触发器构成的异步二进制计数器

电路中，每一个 JK 触发器都接成 1 位计数器，只有最低位触发器的 CP 端与时钟脉冲相连，其余触发器的 CP 端均与相邻低位触发器的输出端 Q 相连，即低位输出端 Q 为相邻高位触发器的时钟脉冲信号。该电路不存在组合逻辑电路，因此是莫尔型异步时序逻辑电路。其时钟方程分别为：

$$CP_3=Q_2,\quad CP_2=Q_1,\quad CP_1=Q_0,\quad CP_0=CP$$

驱动方程为：

$$J_0=K_0=1,\quad J_1=K_1=1,\quad J_2=K_2=1,\quad J_3=K_3=1$$

次态方程为：

$$Q_3^{n+1}=J_3\overline{Q}_3^n+\overline{K}_3Q_3^n=\overline{Q}_3^n,\qquad Q_2^{n+1}=J_2\overline{Q}_2^n+\overline{K}_2Q_2^n=\overline{Q}_2^n$$

$$Q_1^{n+1}=J_1\overline{Q}_1^n+\overline{K}_1Q_1^n=\overline{Q}_1^n,\qquad Q_0^{n+1}=J_0\overline{Q}_0^n+\overline{K}_0Q_0^n=\overline{Q}_0^n$$

计数前各位触发器清零，使图示二进制计数器初始状态为“0000”。当第一个 CP 时钟脉冲下降沿到来时计数器开始工作，根据上述方程式可写出其逻辑状态转换真值表如表 5-3 所示。

表 5-3　由 JK 触发器构成的异步二进制计数器状态转换真值表

$CP_0=CP$	$CP_1=Q_0$	$CP_2=Q_1$	$CP_3=Q_2$	$Q_3^nQ_2^nQ_1^nQ_0^n$	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
1↓	0→1 ↑	0→0	0→0	0　0　0　0	0　0　0　1
2↓	1→0 ↓	↑	0→0	0　0　0　1	0　0　1　0
3↓	0→1 ↑	1→1	0→0	0　0　1　0	0　0　1　1
4↓	1→0 ↓	↓	↑	0　0　1　1	0　1　0　0

续表

$CP_0=CP$	$CP_1=Q_0$	$CP_2=Q_1$	$CP_3=Q_2$	$Q_3^n\ Q_2^n\ Q_1^n\ Q_0^n$	$Q_3^{n+1}\ Q_2^{n+1}\ Q_1^{n+1}\ Q_0^{n+1}$
5↓	0→1 ↑	0→0	1→1	0 1 0 0	0 1 0 1
6↓	1→0 ↓	↑	1→1	0 1 0 1	0 1 1 0
7↓	0→1 ↑	1→1	1→1	0 1 1 0	0 1 1 1
8↓	1→0 ↓	↓	↓	0 1 1 1	1 0 0 0
9↓	0→1 ↑	0→0	0→0	1 0 0 0	1 0 0 1
10↓	1→0 ↓	↑	0→0	1 0 0 1	1 0 1 0
11↓	0→1 ↑	1→1	0→0	1 0 1 0	1 0 1 1
12↓	1→0 ↓	↓	↑	1 0 1 1	1 1 0 0
13↓	0→1 ↑	0→0	1→1	1 1 0 0	1 1 0 1
14↓	1→0 ↓	↑	1→1	1 1 0 1	1 1 1 0
15↓	0→1 ↑	1→1	1→1	1 1 1 0	1 1 1 1
16↓	1→0 ↓	↓	↓	1 1 1 1	0 0 0 0

由表 5-3 可看出，该异步二进制计数器是一个模 16 的四位二进制加计数器。

如果我们把电路做一改动：图 5.7 中除最低位外，其余各位触发器的 CP 端由原来与相邻低位的 Q 端相连改为与相邻低位的 $\overline{Q}$ 端相连，把直接置 0 端改为直接置 1 端，就构成了如图 5.8 所示的异步二进制减法计数器。

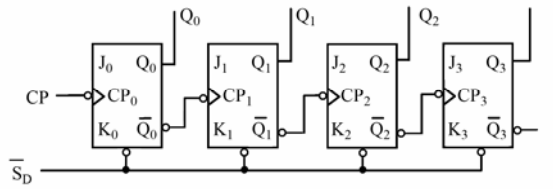


图 5.8　由主从 JK 触发器构成的异步二进制减计数器

图 5.8 电路的时钟方程分别为：

$$CP_3=\overline{Q}_2,\quad CP_2=\overline{Q}_1,\quad CP_1=\overline{Q}_0,\quad CP_0=CP$$

驱动方程为：

$$J_0=K_0=1,\quad J_1=K_1=1,\quad J_2=K_2=1,\quad J_3=K_3=1$$

次态方程为：

$$Q_3^{n+1}=J_3\overline{Q}_3^n+\overline{K}_3Q_3^n=\overline{Q}_3^n,\qquad Q_2^{n+1}=J_2\overline{Q}_2^n+\overline{K}_2Q_2^n=\overline{Q}_2^n$$

$$Q_1^{n+1}=J_1\overline{Q}_1^n+\overline{K}_1Q_1^n=\overline{Q}_1^n,\qquad Q_0^{n+1}=J_0\overline{Q}_0^n+\overline{K}_0Q_0^n=\overline{Q}_0^n$$

计数前各位触发器置“1”，使图示二进制计数器初始状态为“1111”。当第 1 个 CP 时钟脉冲下降沿到来时计数器开始工作，根据上述方程式可写出其逻辑状态转换真值表如表 5-4 所示：

表 5-4　由 JK 触发器构成的异步二进制减计数器状态转换真值表

$CP_0=CP$	$CP_1=\overline{Q}_0$	$CP_2=\overline{Q}_1$	$CP_3=\overline{Q}_2$	$Q_3^n\ Q_2^n\ Q_1^n\ Q_0^n$	$Q_3^{n+1}\ Q_2^{n+1}\ Q_1^{n+1}\ Q_0^{n+1}$
1↓	0→1 ↑	0→0	0→0	1 1 1 1	1 1 1 0
2↓	1→0 ↓	↑	0→0	1 1 1 0	1 1 0 1

续表

$CP_0=CP$	$CP_1=\overline{Q}_0$	$CP_2=\overline{Q}_1$	$CP_3=\overline{Q}_2$	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
3↓	0→1 ↑	1→1	0→0	1 1 0 1	1 1 0 0
4↓	1→0 ↓	↓	↑	1 1 0 0	1 0 1 1
5↓	0→1 ↑	0→0	1→1	1 0 1 1	1 0 1 0
6↓	1→0 ↓	↑	1→1	1 0 1 0	1 0 0 1
7↓	0→1 ↑	1→1	1→1	1 0 0 1	1 0 0 0
8↓	1→0 ↓	↓	↓	1 0 0 0	0 1 1 1
9↓	0→1 ↑	0→0	0→0	0 1 1 1	0 1 1 0
10↓	1→0 ↓	↑	0→0	0 1 1 0	0 1 0 1
11↓	0→1 ↑	1→1	0→0	0 1 0 1	0 1 0 0
12↓	1→0 ↓	↓	↑	0 1 0 0	0 0 1 1
13↓	0→1 ↑	0→0	1→1	0 0 1 1	0 0 1 0
14↓	1→0 ↓	↑	1→1	0 0 1 0	0 0 0 1
15↓	0→1 ↑	1→1	1→1	0 0 0 1	0 0 0 0
16↓	1→0 ↓	↓	↓	0 0 0 0	1 1 1 1

由表 5-4 可看出，该异步二进制计数器是一个模 16 的 4 位二进制减计数器。显然，只要把主从型 JK 触发器的输入端 J 和 K 都接高电平，每一位触发器都可构成 1 位计数器。如果把 Q 作为相邻高位触发器的时钟脉冲信号，就可构成多位二进制加计数器，如果把 $\overline{Q}$ 作为相邻高位触发器的时钟脉冲信号，则可构成多位二进制减计数器。

同理，如果把 D 触发器的输出 Q 端作为相邻高位触发器的时钟信号，即可构成减计数器；若把 $\overline{Q}$ 端作为相邻高位触发器的时钟信号，又可构成加计数器。读者可自行分析。

2．同步二进制计数器

同步二进制计数器是把计数脉冲同时加到所有触发器的时钟脉冲 CP 端，通过控制电路控制各触发器的状态变换，如 5.2.1 例 5-2 所示时序逻辑电路就是一个典型的同步二进制减计数器。同步计数器通常都包含有组合逻辑电路，因此分析起来比异步时序逻辑电路复杂。但是，同步计数器的速度要比异步计数器快得多。

5.2.2　十进制计数器

1．十进制计数器概述

当日常生活中人们习惯于十进制的计数规则，当利用计数器进行十进制计数时，就必须构成满足十进制计数规则的电路。十进制计数器是在二进制计数器的基础上得到的，因此也称为二–十进制计数器。

用 4 位二进制代码代表十进制的每一位数时，至少要用 4 位触发器才能实现。最常用的二进制代码是 8421BCD 码。8421BCD 码取前面的“0000～1001”来表示十进制的“0～9”这 10 个数码，后面的“1010～1111”这 6 个二进制数在 8421BCD 码中称为无效码。因此，采用 8421BCD 码计数至第十个时钟脉冲时，十进制计数器的输出要从“1001”跳变到“0000”，

完成一次 1 位十进制计数循环。下面以十进制同步加计数器为例，介绍这类逻辑电路的工作原理。

图 5.9 所示是十进制同步加计数器的电路。电路中含有“清零”端 $\overline{R}_D$，因只有 CP 输入端子，所以为莫尔型时序逻辑电路。

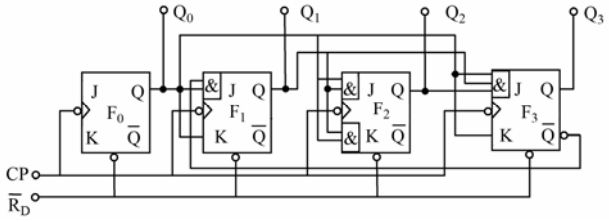


图 5.9　同步十进制加计数器的逻辑电路图

2．十进制计数器工作原理

图 5.9 中各位触发器的驱动方程为

$$J_0=K_0=1$$

$$J_1=Q_0^n\overline{Q}_3^n \qquad K_1=Q_0^n$$

$$J_2=K_2=Q_0^nQ_1^n$$

$$J_3=Q_0^nQ_1^nQ_2^n \qquad K_3=Q_0^n$$

电路中各位触发器的次态方程为

$$Q_0^{n+1}=\overline{Q}_0^n$$

$$Q_1^{n+1}=Q_0^n\overline{Q}_3^n\overline{Q}_1^n+\overline{Q}_0^nQ_1^n$$

$$Q_2^{n+1}=Q_0^nQ_1^n\overline{Q}_2^n+\overline{Q_0^nQ_1^n}Q_2^n$$

$$Q_3^{n+1}=Q_0^nQ_1^nQ_2^n\overline{Q}_3^n+\overline{Q_0^n}Q_3^n$$

将各位触发器的现态代入次态方程，可得到该逻辑电路的次态值。这种逻辑关系可用状态转换真值表（表 5-5）和状态转换图（图 5.9）进行表述。

表 5-5　十进制逻辑电路状态转换真值表

CP	Q_3^n Q_2^n Q_1^n Q_0^n	Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}
1↓	0 0 0 0	0 0 0 1
2↓	0 0 0 1	0 0 1 0
3↓	0 0 1 0	0 0 1 1
4↓	0 0 1 1	0 1 0 0
5↓	0 1 0 0	0 1 0 1
6↓	0 1 0 1	0 1 1 0
7↓	0 1 1 0	0 1 1 1
8↓	0 1 1 1	1 0 0 0
9↓	1 0 0 0	1 0 0 1
10↓	1 0 0 1	回零进位

续表

CP	Q_3^n Q_2^n Q_1^n Q_0^n	Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}
无效码	1 0 1 0	1 0 1 1
	1 0 1 1	0 1 0 0
	1 1 0 0	1 1 0 1
	1 1 0 1	0 1 0 0
	1 1 1 0	1 1 1 1
	1 1 1 1	0 1 0 0

从状态转换真值表和状态图都可以看出，该电路每来 10 个时钟脉冲，状态从 0000 开始，经 0001、0010、0011、…、1001，又返回 0000 形成模 10 循环计数器。而不在循环内的 1010、1011、1100 等 6 个无效状态只是可能在电源刚接通时出现，只要电路一开始工作，由状态转换图可知，电路很快就会进入有效循环体中的某一状态，此后这些无效的非循环状态就不可能再现。因此，图 5.10 所示的莫尔型模 10 计数器电路是一个具有自启动能力的十进制同步加计数器。

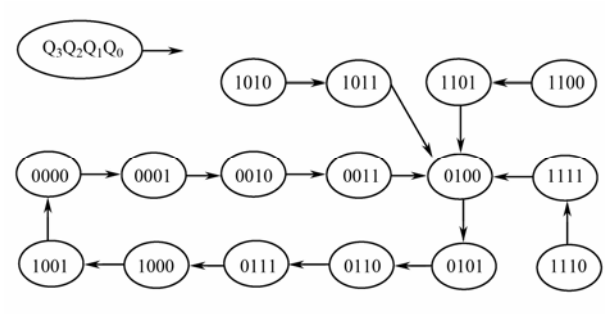


图 5.10　十进制加计数器状态图

所谓自启动能力：指时序逻辑电路中某计数器中的无效状态码，若在开机时出现，不用人工或其他设备的干预，计数器能够很快自行进入有效循环体，使无效状态码不再出现的能力。

5.2.3　集成计数器及其应用

计数器在控制、分频、测量等电路中应用非常广泛，所以具有计数功能的集成电路型号也较多。常用的集成芯片有 74LS161、74LS90、74LS197、74LS160、74LS92 等。下面以 74LS161、74LS90 为例，介绍集成计数器电路的功能及正确使用方法。

1．集成芯片 74LS90 的引脚功能及正确使用

74LS90 是一个 14 脚的集成电路芯片，其内部是一个二进制计数器和一个五进制计数器，下降沿触发。引脚排列见图 5.11 所示。

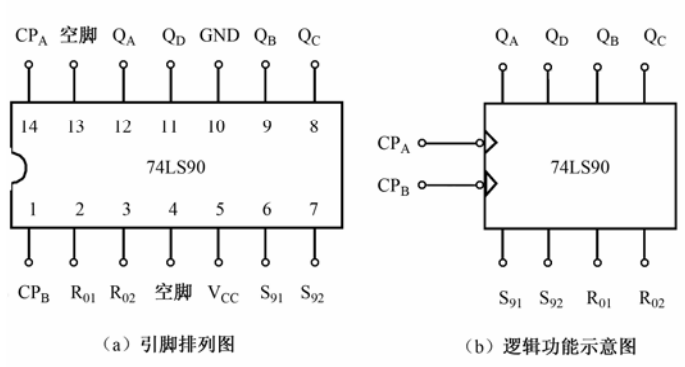


图 5.11　74LS90 芯片的引脚排列图及逻辑功能示意图

（1）引脚功能

引脚 1——五进制计数器的时钟脉冲输入端。

引脚 2 和 3——直接复位（清零）端。

引脚 4 和 13——空脚。

引脚 5——电源（＋5V）。

引脚 6 和 7——直接置 9 端。

引脚 10——接地端。

引脚 9、8、11——五进制计数器的输出端。

引脚 12——二进制计数器的输出端。

引脚 14——二进制计数器的时钟脉冲输入端。

（2）计数电路的构成

① 74LS90 在使用时，若时钟脉冲端由引脚 14CP_A 输入，由引脚 12Q_A 输出时，即构成一个二进制计数器。

② 当 74LS90 的时钟脉冲端由引脚 1CP_B 输入，由引脚 9Q_B、8Q_C、11Q_D（由低位→高位排列）输出时，可构成一个五进制计数器。

③ 74LS90 还可构成十进制计数器。当计数脉冲由引脚 14CP_A 输入，引脚 12Q_A 直接和引脚 1CP_B 相连，输出端就构成 8421BCD 计数器。输出由高到低的排列顺序为 11、8、9、12。当计数脉冲由引脚 14CP_B 输入，引脚 11Q_D 和引脚 14CP_A 直接相连，又可构成一个 5421BCD 计数器。输出由高到低的排列顺序为 12、11、8、9。构成以上两种二–十进制计数器的连接方法如图 5.12 所示。

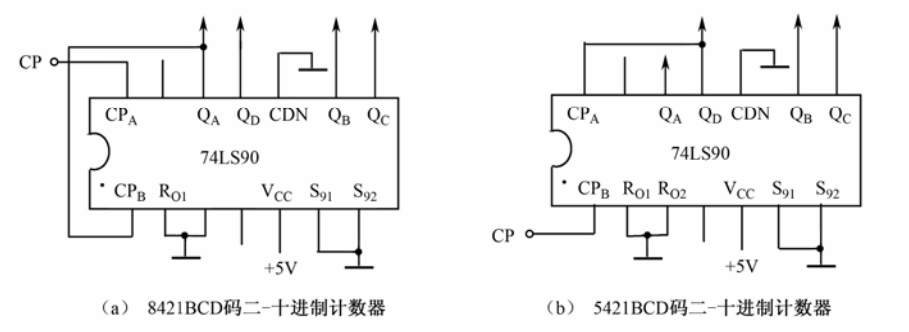


图 5.12　74LS90 构成二–十进制计数器的两种方法示意图

（3）74LS90 的逻辑功能真值表

表 5-6　74LS90 集成芯片的功能真值表

输　入						输　出			
R_{O1}	R_{O2}	S_{91}	S_{92}	CP_A	CP_B	Q_D	Q_C	Q_B	Q_A
1	1	0	×	×	×	0	0	0	0
1	1	×	0	×	×	0	0	0	0
×	×	1	1	×	×	1	0	0	1
×	0	×	0	↓	0	二进制计数			
×	0	0	×	0	↓	五进制计数			
0	×	×	0	↓	Q_0	8421BCD 码十进制计数			
0	×	0	×	Q_1	↓	5421BCD 码十进制计数			

由真值表中可看出，74LS90 的两个复位端 R_{O1} 和 R_{O1} 同时为 1 时，计数器清零；两个置 9 端 S_{91} 和 S_{92} 在 8421BCD 码情况下同时为“1”时，引脚 11Q_D 和引脚 12Q_A 输出为“1”，引脚 8Q_C 和引脚 9Q_B 输出为“0”，即电路直接置 9。当计数器无论在计数情况下正常计数时，两个清零端和两个置 9 端中都必须至少有一个为低电平“0”。

2．集成芯片 74LS161 的引脚功能及正确使用

集成计数器 74LS161 是一个 16 脚的芯片，上升沿触发。具有异步清零、同步预置数、进位输出等功能，引脚排列见图 5.13 所示。

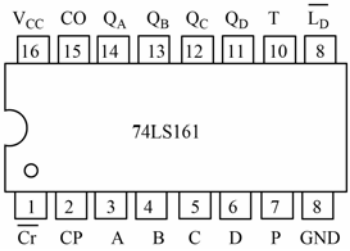


图 5.13　74LS161 引脚排列图

（1）引脚功能

引脚 1——直接清零端 $\overline{C}_r$

引脚 2——时钟脉冲输入端 CP

引脚 3、4、5、6——预置数据信号输入端 A、B、C、D

引脚 7、10——输入使能端 P 和 T

引脚 8——“地”端 GND

引脚 9——同步预置数控制端 $\overline{L}_D$

引脚 11、12、13、14——数据输出端 Q_D、Q_C、Q_B、Q_A，由高位→低位

引脚 15——进位输出端 CO

引脚 16——电源端＋V_{CC}

（2）功能真值表

表 5-7　74LS161 功能真值表

清　零	预　置	使　能	时　钟	预置数据输入	输　出	工作模式
$\overline{C_r}$	$\overline{L_D}$	P　T	CP	D　C　B　A	Q_D Q_C Q_B Q_A	
0	×	×　×	×	×　×　×　×	0　0　0　0	异步清零
1	0	×　×	↑	d_3　d_2　d_1　d_0	d_3　d_2　d_1　d_0	同步置数
1	1	0　×	×	×　×　×　×	保　持	数据保持
1	1	×　0	×	×　×　×　×	保　持	数据保持
1	1	1　1	↑	×　×　×　×	计　数	加法计数

由功能真值表（表 5-7）可以看出，74LS161 集成芯片的控制输入端与电路功能之间的关系为：

① 只要 $\overline{C_r}$ 输入低电平“0”，无论其他输入端如何，数据输出端 $Q_DQ_CQ_BQ_A$＝0000，电路工作状态为“异步清零”。

② 当 $\overline{C_r}$ ＝“1”、$\overline{L}_D$＝“0”时，在时钟脉冲 CP 上升沿到来时，数据输出端 $Q_DQ_CQ_BQ_A$＝DCBA，其中 DBCA 为预置输入数值，这时电路功能为“同步预置数”。

③ 当 $\overline{C_r}$ ＝$\overline{L}_D$＝“1”时，若使能端 P 和 T 中至少有一个为低电平“0”，无论其他输入端为何电平，数据输出端 $Q_DQ_CQ_BQ_A$ 的状态保持不变。此时的电路为“保持”功能。

④ 当 $\overline{C_r}$ ＝$\overline{L}_D$＝P＝T＝“1”时，在时钟脉冲作用下，电路处于“计数”工作状态。计数状态下，$Q_DQ_CQ_BQ_A$＝1111 时，进位输出 CO＝“1”。

（3）构成任意进制的计数器

用集成 74LS161 芯片可构成任意进制的计数器。图 5.12 所示为构成任意进制时的两种连接方法。

① 反馈清零法：图 5.14（a）所示是反馈清零法构成十进制计数器的电路连接图。所谓反馈清零法，就是利用芯片的复位端和门电路，跳越 $M-N$ 个状态，从而获得 N 进制计数器的。从图 5.14（a）可看出，当计数至 1001 时，通过与非门引出一个“0”信号直接进入清零端 $\overline{C}_r$，使计数器归零。

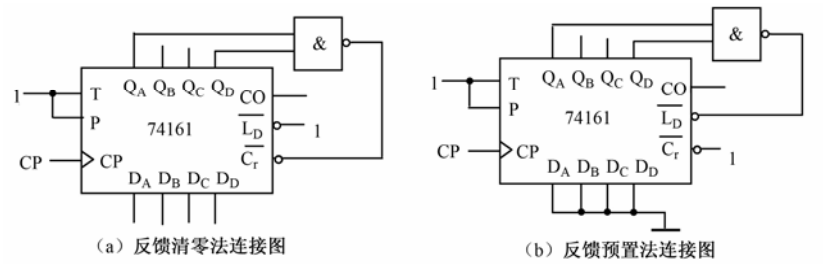


图 5.14　用 74LS161 构成任意进制的计数器

② 反馈预置数法：用反馈预置法构成其他进制计数器时，要根据预置数和计数器的进制大小来选择反馈信号。要构成 N 进制计数器，则应将（预置数＋N－1）所对应二进制代码中的“1”取出送入与非门的输入端，与非门的输出接 74LS161 的 $\overline{L}_D$ 端。而预置数接至 DCBA 端。图 5.14（b）是用反馈预置法构成的十进制计数器。其中预置数为 0000，反馈信号为 1001。利用反馈预置数法构成的同步预置数计数器不存在无效态。

3．集成芯片的扩展使用

如果需要构成多位十进制计数器电路时，就要将两个（或多个）集成计数器芯片级联。例如将两个 74LS90 芯片级联后扩展使用构成二十四进制计数器的方法如图 5.15 所示。

将高位芯片的时钟脉冲输入端 CP_A 接至低位芯片的最高位信号输出端 Q_D，低位芯片的 CP_A 端作为电路时钟脉冲的输入端，两芯片的 Q_A 端子均直接和各自的 CP_B 相连，使其形成三位二进制输出的十进制数进位关系；把两个芯片中的置 9 端直接与“地”相连，让低位片的输出 Q_C 和高位片的 Q_B 分别连接在与非门的输入端子上，而两芯片的清零端并在一起连接在与非门的输出端上，当高位片 Q_B 和低位片 Q_C 均为高电平“1”时，对应二进制数“24”，使与

非门全 1 出 0，驱使清零端工作，电路归零。显然，这是利用反馈清零法达到二十四进制计数器的实例。

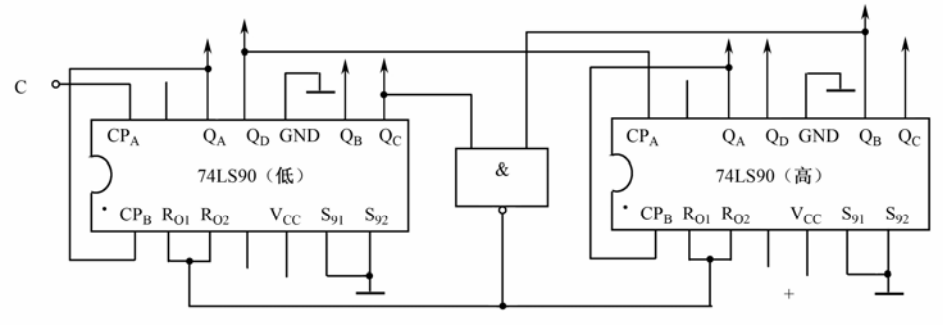


图 5.15　74LS90 构成 8421BCD 码二十四进制计数器

集成 74LS161 芯片的功能扩展实例如图 5.16 所示。当两个 74LS161 芯片构成 8 位同步二进制计数器时，可将低位片的两个使能端 P 和 T 连在一起恒接“1”，CO 端直接与高位片的使能端 P 相连；高位片的使能端 T 恒接高电平“1”；两个芯片的清零端和预置数端分别连在一起接高电平“1”，端子 CP 连一起与时钟输入信号相连，从而构成同步二进制计数器。

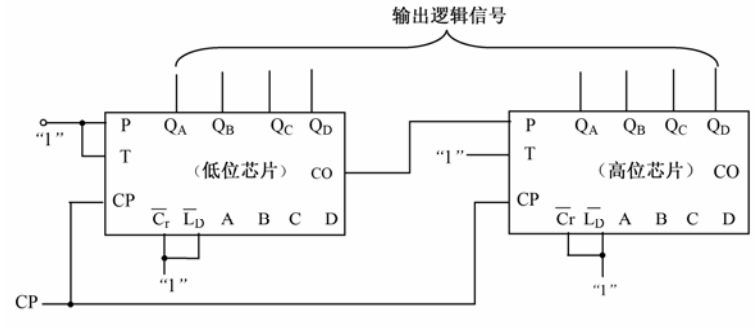


图 5.16　74LS161 构成的同步 8 位二进制计数器

如果用反馈清零法或反馈预置数法将 74LS161 芯片构成任意进制的计数器时，其方法和 74LS90 所采用的方法相同，在此不加赘述。

思考与问题

1．何谓计数器的“自启动”能力？

2．试用 74LS90 集成计数器构成一个十二进制计数器，要求用反馈预置数法实现。

3．试用 74LS161 集成计数器构成一个六十进制计数器，要求用反馈清零法实现。

5.3　寄　存　器

寄存器是可用来存放数码、运算结果或指令的电路。寄存器是计算机的重要部件，通常由具有存储功能的多位触发器组合起来构成。1 位触发器可以存储一个二进制代码，存放 *n* 个二进制代码的寄存器，需用 *n* 位触发器来构成。

按照功能的不同，寄存器可分为数码寄存器和移位寄存器两大类。数码寄存器只能并行送

入数据，需要时也只能并行输出。移位寄存器中的数据可以在移位脉冲作用下依次右移或左移，数据既可以并行输入、并行输出，也可以串行输入、串行输出，还可以并行输入、串行输出，串行输入、并行输出，使用十分灵活，用途也很广。

5.3.1 数码寄存器

数码寄存器又称数据缓冲储存器或数据锁存器，其功能是接受、存储和输出数据，主要由触发器和控制门组成。*n* 个触发器可以储存 *n* 位二进制数据。

图 5.17 所示是由 D 触发器组成的数码寄存器，其工作原理如下。

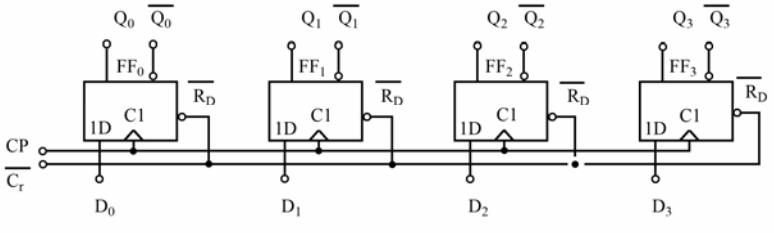


图 5.17 D 触发器组成的数码寄存器

当异步复位端 $\overline{C_r}$ 为低电平时，数码寄存器清零，输出 $Q_3Q_2Q_1Q_0=0000$。当 $\overline{C_r}$ 为高电平时，若送数脉冲控制信号 CP 的上升沿没有时，数码寄存器保持原来的状态不变；若送数脉冲控制信号 CP 的上升沿到来时，数码寄存器将需要寄存的数据 D_3、D_2、D_1、D_0 并行送入寄存器中寄存，此时对应的输出 $Q_3Q_2Q_1Q_0=D_3D_2D_1D_0$。

构成数码寄存器的常用芯片有 4 位双稳锁存器 74LS77、8 位双稳锁存器 74LS100、6 位寄存器 74LS174 等。其中锁存器属于电平触发，在送数状态下，输入端送入的数据电位不能变化，否则将发生“空翻”。图 5.18 所示是 74LS174 的引脚排列图，芯片内 6 个触发器共用一个上升沿时刻触发的时钟脉冲 CP 和一个低电平有效的异步清零脉冲 $\overline{C_r}$。

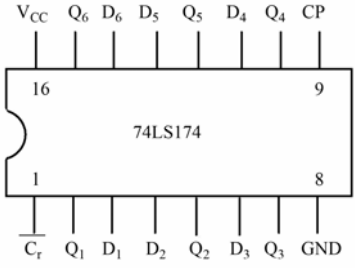


图 5.18 74LS174 的引脚功能图

5.3.2 移位寄存器

移位寄存器是计算机和各种数字系统中的重要部件，应用十分广泛。移位寄存器除寄存数据外，还能将数据在寄存器内移位，因此钟控的 RS 触发器不能用作这类寄存器，因为它具有“空翻”问题，若用于移位寄存器中，很可能造成一个 CP 脉冲下多次移位现象。用作移位寄存器的触发器只能是克服了“空翻”现象的边沿触发器。

例如在串行运算器中，需要用移位寄存器把 *n* 位二进制数依次送入全加器中进行运算，运算结果又需要 1 位、1 位地依次存入移位寄存器中。在有些数字系统中，还经常需要进行串行数据和并行数据之间的相互转换、传送，这些都必须用移位寄存器来实现。

常用的移位寄存器有左移移位寄存器、右移移位寄存器和双向移位寄存器。

图 5.19 所示为 4 位单向右移移位寄存器的逻辑电路图。由图可看出，后一位触发器的输

入总是和前一位触发器的输出相连，4 位触发器时钟脉冲为同一个，构成同步时序逻辑电路，当输入信号从第一位触发器 FF_0 输入一个高电平“1“时，其输出 Q_0 在时钟脉冲上升沿到来时移入这个“1”，其他 3 位触发器同时移入前一位的输出，好比它们的输出同时向右移动一位。

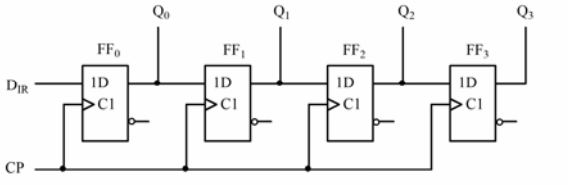


图 5.19　4 位单向右移移位寄存器

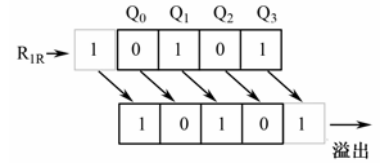


图 5.20　右移示意图

例如，设右移移位寄存器的现态是 $Q_0^nQ_1^nQ_2^nQ_3^n$ ＝0101，输入端 D_{IR}＝1。当第一个 CP 脉冲上升沿到达后，$Q_0^{n+1}=D_{IR}$ ＝1，相应于输入数据 D_{IR} 被移入触发器 FF_0 中；FF_1 的次态则相当于 FF_0 的现态 0 被移入，即 $Q_1^{n+1}=Q_0^n$ ＝0；类似地，FF_2 的现态移入 FF_3 中；FF_3 内原来的 1 被移出（或称溢出），如图 5.20 所示。

上例中的 D_{IR} 称为串行输入数据端，经历 4 个移位脉冲后，寄存器中原来储存的数据被全部移出，变为 D_{IR} 在 4 次时钟脉冲下送入的输入数据。Q_0、Q_1、Q_2、Q_3 在每一个时钟脉冲信号输入下都可以同时观察到被移入的新数据，称为并行输出端；而从 FF_3 的 Q_3 端观察或取出依次被移出的数据，则称为串行输出。

5.3.3　集成双向移位寄存器

实际应用中，若需要将寄存器中的二进制信息向左或向右移动，常选用集成的双向移位寄存器。74LS194 芯片就是典型的 4 位 TTL 型集成双向移位寄存器，具有左移、右移、并行输入、保持数据和清除数据等功能。其引脚排列图及逻辑功能示意图如图 5.21 所示。

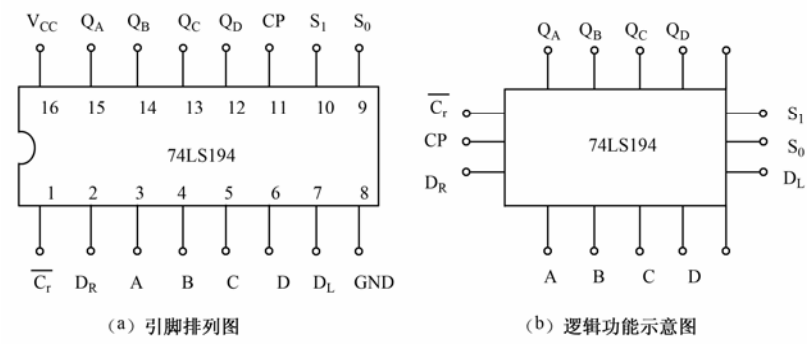


图 5.21　74LS194 引脚排列图及逻辑功能示意图

其中 $\overline{C_r}$ 端为异步清零端，优先级别最高；S_1、S_0 为控制端；D_L 为左移数据输入端；D_R 为右移数据输入端；A、B、C、D 为并行数据输入端；Q_A～Q_D 为并行数据输出端；S_1、S_0 为控制方式选择；$\overline{C_r}$ 为异步清零端；CP 为移位时钟脉冲。

74LS194 集成芯片的功能可用功能真值表（表 5-8）描述：

表 5-8　74LS194 集成芯片的功能真值表

$\overline{C_r}$	S_1	S_0	CP	功　能
0	×	×	×	清　零
1	0	0	×	静态保持
1	0	0	↑	动态保持
1	0	1	↑	右移移位
1	1	0	↑	左移移位
1	1	1	↑	并行输入

① 异步清零：当 $\overline{C}_r$ 为 0 时，不论其他输入端输入何种电平信号，各触发器均复位，各位触发器输出 Q 均为 0，清零功能。要工作在其他工作状态，必须 $\overline{C}_r$ 为 1。

② 保持功能：只要移位时钟脉冲 CP 无上升沿出现时，触发器的状态始终不变，静态保持功能；当 S_1S_0＝00 时，在移位时钟脉冲上升沿作用下，各触发器将各自的输出信号重新送入触发器，各触发器的次态输出为 $Q_A^{n+1}Q_B^{n+1}Q_C^{n+1}Q_D^{n+1}=Q_A^nQ_B^nQ_C^nQ_D^n$，动态保持功能。

③ 右移移位：当 S_1S_0＝01 时，在移位时钟脉冲 CP 上升沿作用下，电路完成右移移位过程，各触发器的次态输出为 $Q_A^{n+1}Q_B^{n+1}Q_C^{n+1}Q_D^{n+1}=D_rQ_A^nQ_B^nQ_C^n$，右移移位功能。

④ 左移移位：当 S_1S_0＝10 时，在移位时钟脉冲上跳沿作用下，电路完成左移移位过程，各触发器的次态输出为 $Q_A^{n+1}Q_B^{n+1}Q_C^{n+1}Q_D^{n+1}=Q_B^nQ_C^nQ_D^nD_L$，左移移位功能。

⑤ 并行输入：当 S_1S_0＝11 时，在移位时钟脉冲上升沿作用下，并行数据输入端的数据 A、B、C、D 被送入 4 个触发器，触发器的次态输出为 $Q_A^{n+1}Q_B^{n+1}Q_C^{n+1}Q_D^{n+1}$＝ABCD，并行输入功能。

5.3.4　移位寄存器的应用

移位寄存器应用很广，可构成移位寄存器型计数器、顺序脉冲发生器、串行累加器和数据转换器等。此外，移位寄存器在分频、序列信号发生、数据检测、模数转换等领域中也获得了应用。

1．构成环形计数器

将移位寄存器的串行输出端和串行输入端连接在一起，就构成了环形计数器。图 5.22（a）所示是 74LS194 构成的具有自启动能力的 4 位环形计数器，图 5.22（b）是环形计数器相应的时序波形图。

移位寄存器构成环形计数器时，正常工作过程中清零端状态始终要保持高电平“1”，并且将单向移位寄存器的串行输入端 D_R 和串行输出端 Q_D 相连，构成一个闭合的环。实现环形计数器时，必须设置适当的初态，且输出 $Q_3Q_2Q_1Q_0$ 端初始状态不能完全一致（即不能全为“1”或“0”），这样电路才能实现计数，环形计数器的进制数 *N* 与移位寄存器内的触发器个数 *n* 相

等，即 $N=n$。

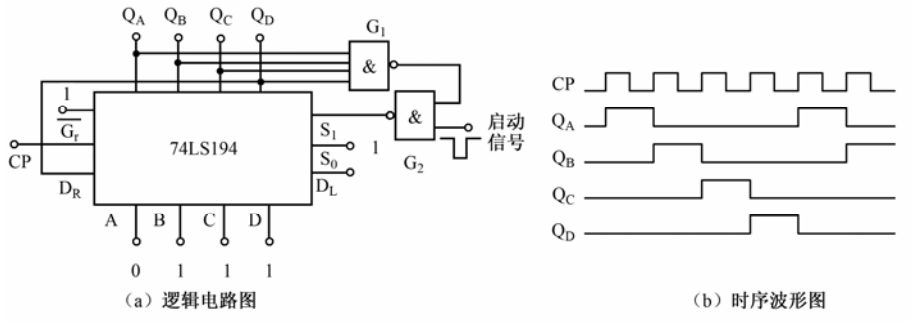


图 5.22　74LS194 构成的环形计数器逻辑图及时序波形图

工作原理分析：

根据起始状态设置的不同，在输入计数脉冲 CP 的作用下，环形计数器的有效状态可以循环移位一个 1，也可以循环移位一个 0。即当连续输入 CP 脉冲时，环形计数器中各个触发器的 Q 端（或 $\overline{Q}$）端，将轮流地出现矩形脉冲。

4 位移位寄存器的循环状态一般有 16 个，但构成环形计数器后只能从这些循环时序中选出一个来工作，这就是环形计数器的工作时序，也称为正常时序或有效时序。其他未被选中的循环时序称为异常时序或无效时序。例如上述分析的环形计数器只循环一个“1”，因此不用经过译码就可从各位触发器的 Q 端得到顺序脉冲输出。

当由于某种原因使电路的工作状态进入到 12 个无效状态中的一个时，74LS194 构成的 4 位环形计数器将实现自启动。实现自启动的方法是利用与非门作为反馈电路。

当输出信号由任何一个 Q 端取出时，可以实现对时钟信号的四分频。图 5.23 所示为 4 位环行计数器的状态转换图。

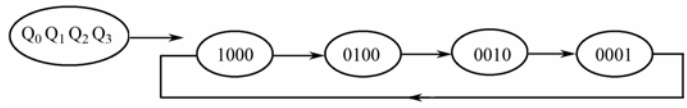


图 5.23　4 位环形计数器状态转换图

2．构成扭环形计数器

用移位寄存器构成的扭环形计数器的结构特点是：将输出触发器的反向输出端 $\overline{Q}$ 与数据输入端相连接。如图 5.24 所示。

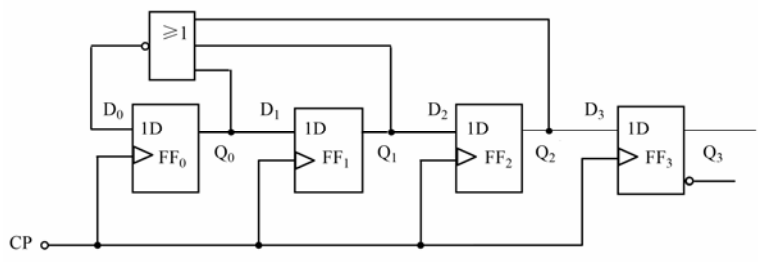


图 5.24　能自启动的 4 位扭环形计数器

实现扭环形计数器时，不必设置初态。扭环形计数器的进制数 N 与移位寄存器内的触发器个数 n 满足 $N=2n$ 的关系。环形计数器是从 Q_D 端反馈到 D 端，而扭环形计数器则是从 $\overline{Q_D}$ 端反馈到 D 端。从 Q_D 端扭向 $\overline{Q_D}$ 端，故得扭环名称。扭环形计数器也称约翰逊计数器。

当扭环形计数器的初始状态为 0000 时，在移位脉冲的作用下，按图 5.25 形成状态循环，一般称为有效循环；若初始状态为 0100 时，将形成另一状态循环，称为无效循环。所以，该计数器不能自启动。

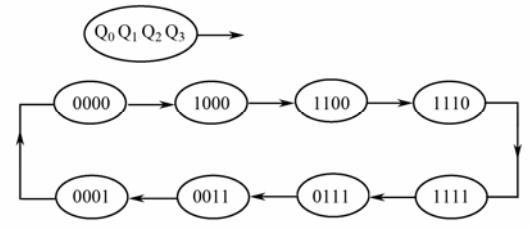


图 5.25　4 位扭环形计数器状态转换图

为了实现电路的自启动，根据无效循环的状态特征 0101 和 1101，首先保证当 $Q_3=0$ 时，$D_0=1$；然后当 $Q_2Q_1=01$ 时，不论 Q_3 为何逻辑值，$D_0=1$。据此添加反馈逻辑电路，$D_0=\overline{Q}_3+\overline{Q}_2Q_1=\overline{Q_3\overline{Q}_2Q_1}$，得到能实现自启动的扭环形计数器，如图 5.26 所示。

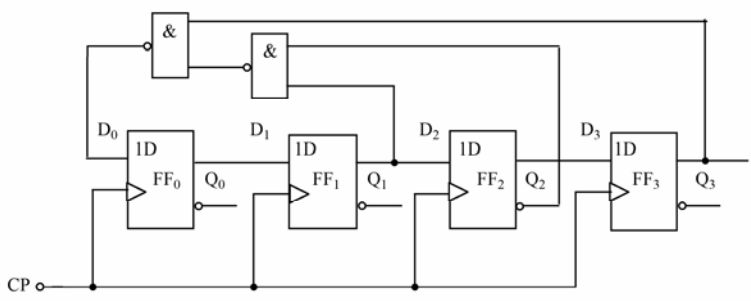


图 5.26　能自启动的 4 位扭环形计数器

扭环形计数器解决了环形计数器的计数利用率不高的问题，从图 7-23 可以看出 4 位触发器构成的扭环形计数器的有效循环状态个数是 8。每来一个 CP 脉冲，扭环形计数器中只有一个触发器翻转。并且在 CP 作用下，这个“1”在扭环形计数器中循环。

思考与问题

1．如何用 JK 触发器构成一个单向移位寄存器？

2．环形计数器初态的设置可以有哪几种？

3．相同位数的触发器下，移位寄存器构成的环形计数器和扭环形计数器的有效循环数相同吗？各为多少？

4．数码寄存器和移位寄存器有什么区别？

5．什么是寄存器的并行输入？串行输入？并行输出？串行输出？

5.4　555 定时电路

555 定时电路是一种应用非常广泛的中规模集成电路，只要在外部配上适当阻容元件，就可以方便地构成脉冲产生、整型和变换电路，如多谐振荡器、单稳态触发器以及施密特触发器等。由于它的性能优良，使用灵活方便，因而在波形的产生与变换、测量与控制、定时、仿声、电子乐器及防盗报警等方面获得了广泛的应用。

5.4.1　555 定时器电路的组成

555 定时器电路有 TTL 集成定时器和 CMOS 集成定时电路，其功能完全一样，不同之处是前者的驱动力大于后者。图 5.27 所示为 CMOS 的集成 555 定时器 CC7555 的逻辑电路图。电路主要由分压器、比较器、RS 触发器、MOS 开关管和输出缓冲器等几个部分组成。

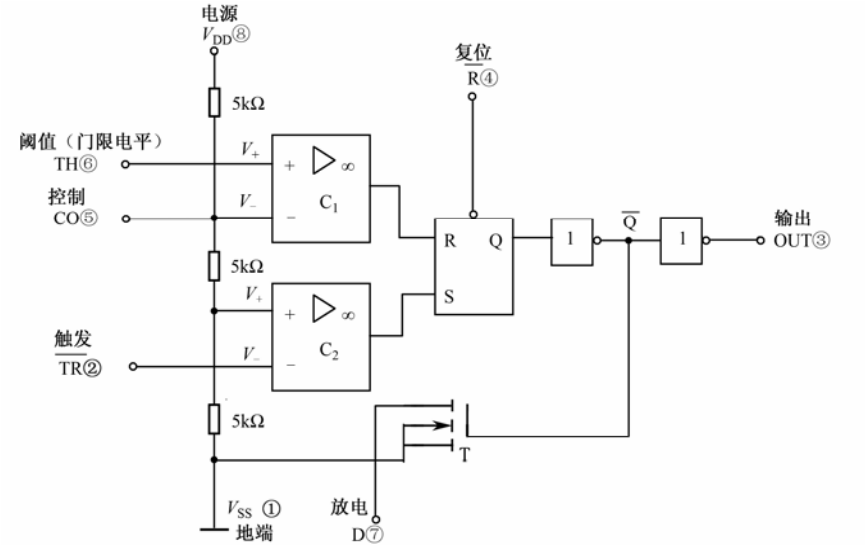


图 5.27　集成定时器 CC7555 逻辑电路图

CC7555 逻辑电路各部分的作用：

（1）电阻分压器

由三个 5kΩ的电阻串联起来构成分压器，555 定时器也因此而得名。分压器为电压比较器 C_1 和 C_2 提供两个基准电压。比较器 C_1 的基准电压是 $2V_{DD}/3$，C_2 的基准电压是 $V_{DD}/3$。如果在控制端外加一控制电压时，则可改变两个电压比较器的基准电压。

（2）电压比较器

比较器 C_1 和 C_2 是两个结构完全相同的高精度电压比较器。分别由两个开环的集成运放构成。比较器 C_1 的反相输入端接基准电压，同相端 TH 称为高触发端。比较器 C_2 的同相输入端 V_+接基准电压，反相输入端 V_-为低触发端 $\overline{TR}$。

（3）基本 RS 触发器

RS 触发器由两个或非门组成，R 和 S 两个输入端子均为高电平有效。电压比较器的输出控制触发器输出端的状态：C_1 输出高电平时，RS 触发器输出为“0”；C_2 输出高电平时，RS

触发器输出为“1”。$\overline{R}$ 端子是专门设置的可从外部直接清零的复位端，定时器正常工作时应将此引脚置 1。

（4）放电开关管

放电开关管 T 是一个 N 沟道的 CMOS 管，其状态受 $\overline{Q}$ 端的控制，当 $\overline{Q}$ 为“0”时栅极电压为低电平，T 截止；$\overline{Q}$ 为 1 时栅极电压为高电平，T 导通饱和。当放电管漏极 D（引脚 7）经一电阻 R 接电源 V_{DD} 时，则放电管的输出同集成定时器 CC7555 的输出逻辑状态相同。

（5）输出缓冲器

两级反相器构成了 555 定时电路的输出缓冲器，用来提高输出电流以增强定时器的带负载能力。同时输出缓冲器还可隔离负载对定时器的影响。

图 5.28 为集成定时器 CC7555 的引脚排列图。

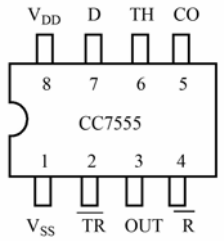


图 5.28　CC7555 引脚排列图

图中 8 个引脚的名称和作用是：

引脚 1：V_{SS}——接地端（或副电源端）；

引脚 2：$\overline{TR}$ ——低触发输入端（阈值电压）；

引脚 3：OUT——输出端；

引脚 4：$\overline{R}$ ——直接清零端；

引脚 5：CO——电压控制端，通过其输入不同的电压值来改变比较器的基准电压。不用时，要经 0.01μF 的电容器接“地”；

引脚 6：TH——高触发输入端（阈值电压）；

引脚 7：D——放电端，外接电容器，当 T 导通时，电容器由 D 经 T 放电；

引脚 8：V_{DD}——正电源端。

5.4.2　555 定时器的工作原理

定时器的工作状态取决于电压比较器 C_1、C_2，它们的输出控制着 RS 触发器和放电管 T 的状态。当高触发端 TH 的电压高于 $2V_{DD}/3$ 这个上门限电平的阈值电压时，上比较器 C_1 输出为高电平，使 RS 触发器置“0”，即 Q＝0，$\overline{Q}$ ＝1，放电管 T 导通；当低触发端 $\overline{TR}$ 的电压低于 $V_{DD}/3$ 这个下门限电平的阈值电压时，下比较器 C_2 输出为高电平，使 RS 触发器置“1”，即 Q＝1，$\overline{Q}$ ＝0，放电管 T 截止。

若 TH 端电压高于 $2V_{DD}/3$ 或 $\overline{TR}$ 端电压低于 $V_{DD}/3$ 时，两个比较器 C_1 和 C_2 的输出均为“0”，放电管 T 和定时器输出端将保持原状态不变。CC7555 的功能可绘制成真值表 5-9 所示。

表 5-9　CC7555 定时器的功能真值表

高触发端 TH	低触发端 $\overline{TR}$	复位端 $\overline{R}$	输出端 OUT	放电管 T
×	×	0	0	导通
$>2V_{DD}/3$	$>V_{DD}/3$	1	0	导通
$<2V_{DD}/3$	$>V_{DD}/3$	1	原态	原态
$<2V_{DD}/3$	$<V_{DD}/3$	1	1	截止

5.4.3　555 定时器应用实例

用 555 集成定时器可以组成产生脉冲和对信号整形的各种单元电路，如施密特触发器、单稳态触发器和多谐振荡器等。

1．用 555 定时器构成施密特触发器

只要把 555 定时器的引脚 2 和引脚 6 连接在一起，就可构成一个施密特触发器，如图 5.29 所示。

由 555 定时器构成的施密特触发器可以把缓慢变化的输入波形变换成边沿陡峭的矩形波输出，主要用于波形变换和整形。其电路特点是：能够把变化非常缓慢的输入脉冲波形，整形成适合于数字电路需要的矩形脉冲，而且电路传输过程中具有回差特性。施密特触发器的电压传输特性如图 5.30 所示。

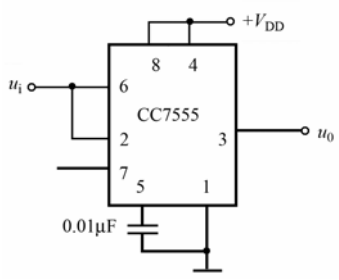


图 5.29　555 定时器构成的施密特触发器

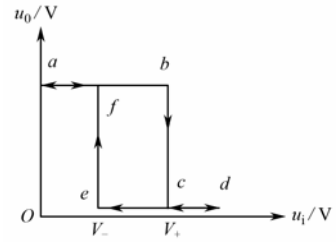


图 5.30　施密特触发器的电压传输特性

从图 5.30 可以看出，所谓的回差特性，就是当输入电压从小到大变化的开始阶段，输出电压为高电平“1”，当输入电压增大至基准电压 V_+时，输出电压由“1”跳变到低电平“0”并保持；当输入电压从大到小变化时，初始阶段对应的输出电压为低电平“0”，当输入电压减小至 V_-时，输出电压由“0”跳变到高电平“1”并保持。

2．施密特触发器的显著特点

施密特触发器的显著特点有两个：一是输出电压随输入电压变化的曲线不是单值的，具有回差特性；二是电路状态转换时，输出电压具有陡峭的跳变沿。利用施密特触发器的上述两个特点，可对电路中的输入电信号进行波形整形、波形变换、幅度鉴别及脉冲展宽等。

【例 5.3】画出由 555 定时器构成的施密特电路的电路图。若已知输入波形如图 5.31 所示，试画出电路的输出波形。如 5 引脚接 10kΩ电阻，再画出输出波形。

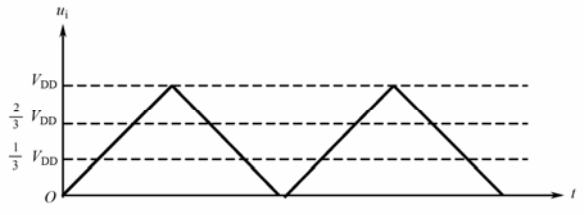


图 5.31　例 5.3 输入波形图

【解】题目要求的施密特电路的电路图如图 5.29 所示。电路的输出波形如图 5.32（a）所示。当引脚 5 接 10kΩ电阻时，就改变了 555 定时中比较器的基准电压，即改变了施密特电路的回差电压，此时 $V_+ = V_{DD}/2$，$V_- = V_{DD}/4$，输出波形的宽度发生了变化，如图 5.32（b）所示。

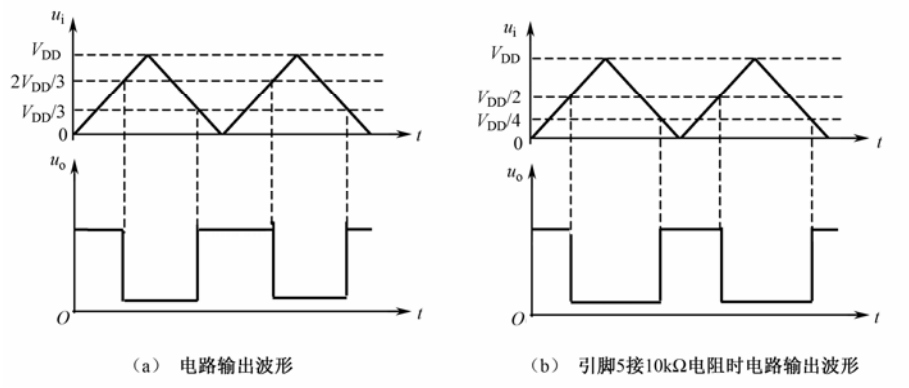


图 5.32　例 5.3 题解中的两个波形图

555 定时器还可以用做单稳态触发器和多谐振荡器。单稳态触发器只有一个暂稳态、一个稳态。在外加触发信号作用下，单稳态触发电路能够从稳态翻转到暂稳态，经过一段时间又能自动返回到稳态，电路处于暂稳态的时间是单稳态触发电路输出脉冲的宽度，其大小取决于电路本身的参数，而与触发信号无关。多谐振荡器又称无稳态电路。在状态变换时，触发信号不需要由外部输入，而是由电路中的 RC 电路提供；状态的持续时间也由 RC 电路决定。

思考与问题

1．555 定时电路由哪几部分组成？各部分的作用是什么？
2．施密特电路主要有哪些用途？其电压的传输特性有何特点？
3．555 定时电路中的两个电压比较器工作在开环还是闭环情况下？



实践环节

5.1　计数器及其应用

一、实验目的

（1）熟悉和掌握用集成触发器构成计数器的方法。
（2）了解和初步掌握中规模集成计数器的使用方法及功能测试。
（3）掌握用中规模集成计数器构成任意进制计数器的方法。

二、实验主要仪器设备

（1）＋5V 直流电源
（2）单次时钟脉冲源和连续时钟脉冲源
（3）逻辑电平开关和逻辑电平显示器

（4）译码显示电路

（5）74LS74（或 CC4013）双 D 集成触发器芯片 2 只，74LS192（或 CC40192）集成计数器芯片 3 只，74LS00（或 CC4011）四 2 输入与非门集成电路 1 只，74LS20（或 CC4012）双四输入与非门 1 只。

（6）相关实验设备及连接导线若干。

三、实验原理及相关知识要点

（1）计数器是用以实现计数功能的时序逻辑部件，计数器不仅可用来脉冲计数，还可用作数字系统的定时、分频和执行数字运算以及其他特定的逻辑功能。

（2）计数器的种类很多，按材料可分有 TTL 型和 CMOS 型；按工作方式可分为同步计数器和异步计数器；根据计数制的不同又可分为二进制计数器、十进制计数器和 *N* 进制计数器；根据计数的增减趋势还可分为加计数器和减计数器等。

目前，无论是 TTL 集成计数器或 CMOS 集成计数器，品种都比较齐全。使用者只要借助于电子手册提供的功能表和工作波形图以及引脚排列图，即可正确地运用这些中规模集成计数器器件。

（3）用 4 位 D 触发器构成的异步二进制加/减计数器：

图 5.33 所示电路是由 4 位 D 触发器构成的异步二进制加计数器。连接特点是：把 4 只 D 触发器都接成 T′ 触发器，使每只触发器的 D 输入端均与输出的 $\overline{Q}$ 端相连，接于相邻高位触发器的 CP 端作为其时钟脉冲输入。

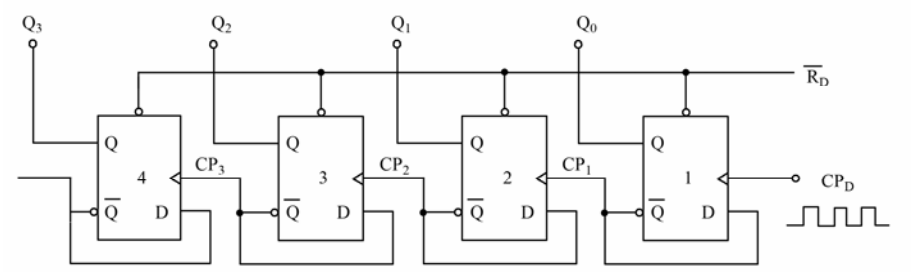


图 5.33　由 4 位 D 触发器构成的异步二进制加计数器

若把图 5.32 稍加改动，就可得到 4 位 D 触发器构成的二进制减法计数器。改动中只需把高位的 CP 端从与低位触发器 $\overline{Q}$ 端相连改为与低位触发器的 Q 端相连即可。

（4）中规模的十进制计数器功能测试：

74LS192（或 CC40192）是 16 引脚的同步集成计数器电路芯片，具有双时钟输入、清除和置数等功能，其引脚排列图及逻辑图符号如图 5.34 所示。

引脚 11 是置数端 $\overline{LD}$，引脚 5 是加计数时钟脉冲输入端 CP_U，引脚 4 是减计数端时钟脉冲输入端 CP_D，引脚 12 是非同步进位输出端 $\overline{CO}$，引脚 13 是非同步借位输出端 $\overline{BO}$，引脚 15、1、10、9 分别为计数器输入端 D_0、D_1、D_2、D_3，引脚 3、2、6、7 分别是数据输出端 Q_0、Q_1、Q_2、Q_3，引脚 14 是清零端 CR，引脚 8 为“地”端（或负电源端），引脚 16 为正电源端，与＋5V 电源相连。

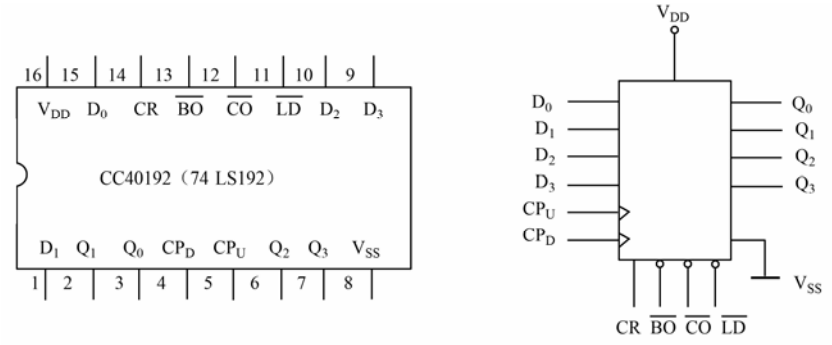


图 5.34　CC40192（74LS192）引脚排列图及逻辑图符号

CC40192 与 74LS192 功能及引脚排列相同，两者可互换使用。测试方法按照表 5-10 进行，把测试结果与表 5-10 相对照。

表 5-10

输　入								输　出				功　能
CR	$\overline{LD}$	CP_U	CP_D	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
1	×	×	×	×	×	×	×	0	0	0	0	异步清零
0	0	×	×	d	c	b	a	d	c	b	A	同步置数
0	1	↑	1	×	×	×	×	8421BCD 码递增				加计数
0	1	1	↑	×	×	×	×	8421BCD 码递减				减计数

（5）实现任意进制的计数器：

① 用反馈清零法获得任意进制的计数器。若要获得某一个 *N* 进制计数器时，可采用 *M* 进制计数器（必须满足 *M*＞*N*）利用反馈清零法实现。例如用一片 CC40192 获得一个六进制计数器，可按图 5.35 连接。

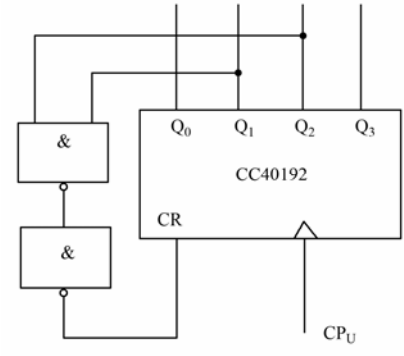


图 5.35　CC40192 构成六进制计数器

原理：当计数器计数至 4 位二进制数“0110”时，其两个为“1”的端子连接于与非门，“全 1 出 0”功能，再经过一个与非门“有 0 出 1”直接进入清零端 CR，计数器清零，重新从 0 开始循环，实现了六进制计数。

② 用反馈预置法获得任意进制的计数器。由三个 CC40192 可获得 421 进制计数器，其连接如图 5.36 所示。

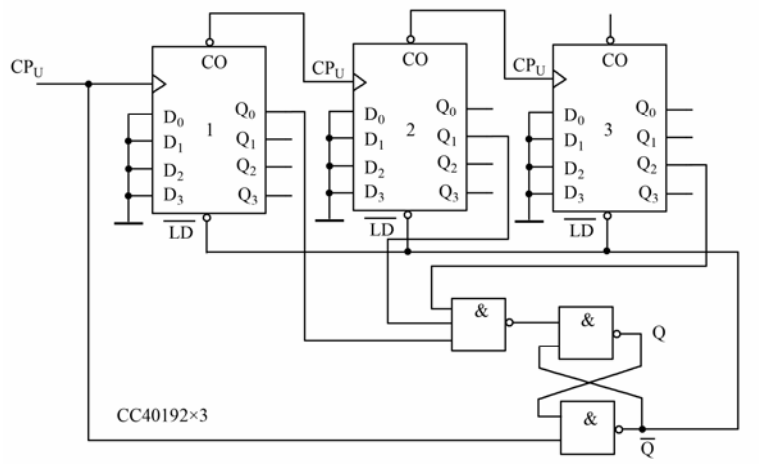


图 5.36　CC40192 构成 421 进制计数器的连接图

原理：只要高芯片出现“0100”、次高芯片出现“0010”、低芯片出现“0001”时，三个“1”被送入与非门“全 1 出 0”，这个“0”被送入由两个与非门构成的 RS 触发器的置“1”端，使 $\overline{Q}$ 端输出的“0”送入三个芯片的置数端 $\overline{LD}$，由于三个芯片的数据端均与“地”相连，因此各计数器输出被“反馈置零”。计数器重新从“0000 0000 0000”计数，直到再来一个“0100 0010 0001”回零重新循环计数。

③ 用两片 CC40192 集成电路构成一个特殊的十二进制计数器

在数字钟里，时针的计数是以 1～12 进行循环计数的。显然这个计数中没有“0”，那么我们就无法用一块集成电路实现，而是采用两块 CC40192 构成十二进制计数器，其电路图如图 5.37 所示。

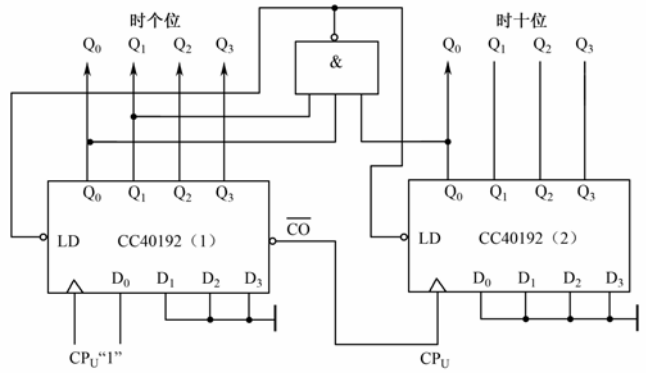


图 5.37　CC40192 构成十二进制计数器

原理：芯片 1 为低位片，芯片 2 为高位片，两个芯片级联，即让芯片 1 的进位输出端 $\overline{CO}$ 作为高位芯片的时钟脉冲输入，接于高位片的加计数时钟脉冲端 CP_U 上。低位片的预置数为“0001”，因此计数初始数为“1”，当低位片输出为 8421BCD 码的有效码最高数“1001”后，再来一个时钟脉冲就产生一个进位脉冲，这个进位脉冲进入高位片使其输出从“0000”翻转为“0001”，低位片继续计数，当又计数至“0011”时，与高位片的“0001”同时送入与非门，使与非门输出“全 1 出 0”，这个“0”进入两个芯片的置数端 $\overline{LD}$，于是计数器重新从“0000 0001”开始循环……

5.2　移位寄存器及其应用

一、实验目的

（1）熟悉中规模 4 位双向移位寄存器的使用方法及功能测试。

（2）进一步了解移位寄存器的应用。

二、实验主要仪器设备

（1）＋5V 直流电源。

（2）单次时钟脉冲源和连续时钟脉冲源。

（3）逻辑电平开关和逻辑电平显示器。

（4）74LS194（或 CC40194）芯片 2 只，74LS30（或 CC4068）芯片 1 只，74LS00（或 CC4011）集成芯片 1 只。

（5）相关实验设备及连接导线若干。

三、实验原理及相关知识要点

（1）移位寄存器的移位功能是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器，只需要改变左、右移位的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同可分为：串入串出、串入并出、并入串出、并入并出 4 种形式。

（2）实验选用 CC40194 或 74LS194 4 位双向通用移位寄存器（两者功能相同，可互换使用），其逻辑符号及引脚排列如图 5.38 所示。

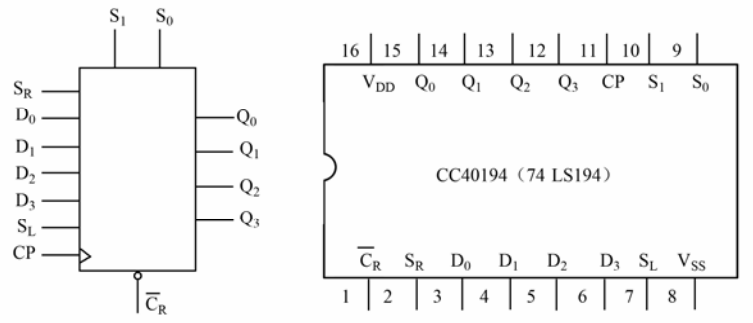


图 5.38　CC40194（74LS194）引脚排列图及逻辑符号图

引脚 1 为直接无条件清零端 $\overline{C}_r$，引脚 2 为右移串行输入端 S_R，引脚 6、5、4、3 分别为并行输入端 D_3、D_2 、D_1、D_0，引脚 7 为左移串行输入端 S_L，引脚 8 为“负电源端”或“地”端。引脚 9 和 10 为操作模式控制端 S_0 和 S_1，引脚 11 为时钟脉冲控制端 CP，引脚 12～15 为并行输出端 Q_3、Q_2、Q_1、Q_0，引脚 16 为正电源端，接＋5V 直流电压。

（3）CC40194 有 5 种不同操作模式：即并行送数寄存，右移（方向由 $Q_0 \rightarrow Q_3$），左移（方向由 $Q_3 \rightarrow Q_0$），保持及清零。

（4）CC40194 中的 S_1、S_0 和 $\overline{C}_R$ 端的控制作用如表 5-11 所示。

表 5-11

功　能	输　入										输　出			
	CP	$\overline{C}_R$	S_1	S_0	S_R	S_L	D_O	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
送数	↑	1	1	1	×	×	a	b	c	d	a	b	c	d
右移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}
保持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

（5）移位寄存器应用很广，可构成移位寄存器型计数器、顺序脉冲发生器和串行累加器，可用作数据转换，即把串行数据转换为并行数据，或把并行数据转换为串行数据等。本实验研究移位寄存器用作环形计数器和数据的串、并行转换。

① 环形计数器

把移位寄存器的输出反馈到它的串行输入端，就可以进行循环移位，如图 5.39 所示。

把输出端 Q_3 和右移串行输入端 S_R 相连接，设初始状态 $Q_0Q_1Q_2Q_3$＝1000，则在时钟脉冲作用下 $Q_0Q_1Q_2Q_3$ 将依次变为 0100→0010→0001→1000→…，如表 5-12 所示。

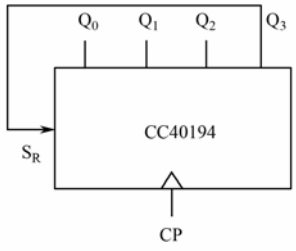


图 5.39　环形计数器

表 5-12

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

可见这是一个具有 4 个有效状态的计数器，这种类型的计数器通常称为环形计数器。图示环形计数器可以作为输出在时间上有先后顺序的脉冲，也可作为顺序脉冲发生器。

如果将输出 Q_0 与左移串行输入端 S_L 相连接，即可达左移循环移位。

② 实现数据串、并行转换

串行/并行转换器：串行/并行转换是指串行输入的数码，经转换电路之后变换成并行输出。图 5.40 所示是用两片 CC40194（74LS194）4 位双向移位寄存器组成的 7 位串/并行数据转换电路。

电路中 S_0 端接高电平 1，S_1 受 Q_7 控制，两片寄存器连接成串行输入右移工作模式。Q_7 是转换结束标志。当 Q_7＝1 时，S_1 为 0，使之成为 S_1S_0＝01 的串入右移工作方式，当 Q_7＝0 时，S_1＝1，有 S_1S_0＝10，则串行送数结束，标志着串行输入的数据已转换成并行输出了。

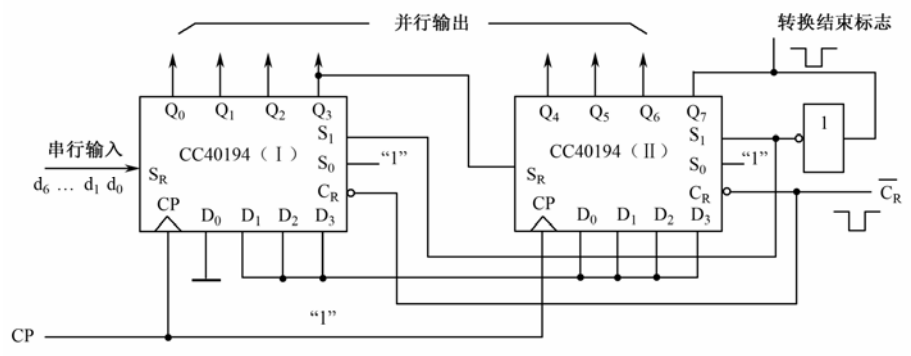


图 5.40　CC40194（74LS194）组成的 7 位串/并行数据转换电路

串行/并行转换的具体过程如下：

转换前，$\overline{C}_R$ 端加低电平，使 1、2 两片寄存器的内容清零，此时 S_1S_0＝11，寄存器执行并行输入工作方式。当第一个 CP 脉冲到来后，寄存器的输出状态 Q_0～Q_7 为 01111111，与此同时 S_1S_0 变为 01，转换电路变为执行串入右移工作方式，串行输入数据由 1 片的 S_R 端加入。随着 CP 脉冲的依次加入，输出状态的变化如表 5-13 所示。

表 5-13

CP	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	说明
0	0	0	0	0	0	0	0	0	清零
1	0	1	1	1	1	1	1	1	送数
2	d_0	0	1	1	1	1	1	1	右移操作 7 次
3	d_1	d_0	0	1	1	1	1	1	
4	d_2	d_1	d_0	0	1	1	1	1	
5	d_3	d_2	d_1	d_0	0	1	1	1	
6	d_4	d_3	d_2	d_1	d_0	0	1	1	
7	d_5	d_4	d_3	d_2	d_1	d_0	0	1	
8	d_6	d_5	d_4	d_3	d_2	d_1	d_0	0	
9	0	1	1	1	1	1	1	1	送数

由表 5-13 可见，右移操作 7 次之后，Q_7 变为 0，S_1S_0 又变为 11，说明串行输入结束。这时，串行输入的数码已经转换成了并行输出了。

当再来一个 CP 脉冲时，电路又重新执行一次并行输入，为第二组串行数码转换做好了准备。

并行/串行转换器：图 5.41 所示是用两片 CC40194（74LS194）组成的 7 位并行/串行转换电路，图中有两只与非门 G_1 和 G_2，电路工作方式同样为右移。

寄存器清“0”后，加一个转换起动信号（负脉冲或低电平）。此时，由于方式控制 S_1S_0 为 11，转换电路执行并行输入操作。当第一个 CP 脉冲到来后，Q_0～Q_7 的状态为 D_0～D_7，并行输入数码存入寄存器。从而使得 G_1 输出为 1，G_2 输出为 0，结果，S_1S_2 变为 01，转换电路随着 CP 脉冲的加入，开始执行右移串行输出，随着 CP 脉冲的依次加入，输出状态依

次右移，待右移操作 7 次后，Q_0～Q_6 的状态都为高电平 1，与非门 G_1 输出为低电平，G_2 门输出为高电平，S_1S_2 又变为 11，表示并/串行转换结束，且为第二次并行输入创造了条件。转换过程如表 5-14 所示。

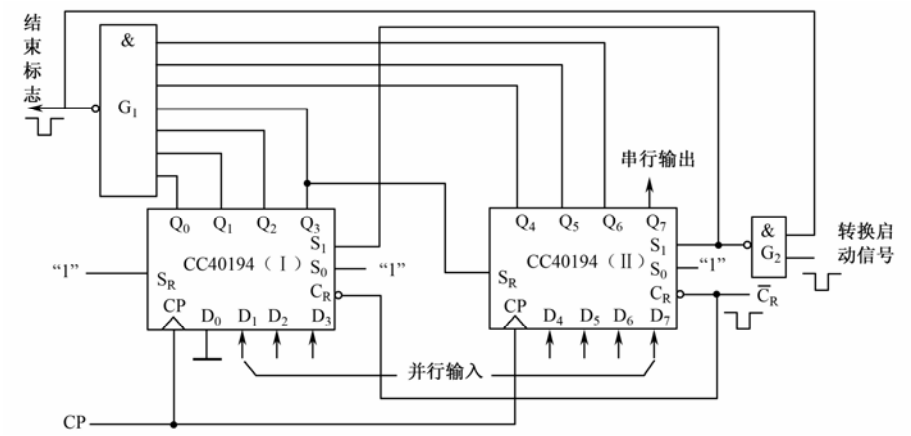


图 5.41　CC40194（74LS194）组成的 7 位并行/串行转换电路

表 5-14

CP	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	串　行　输　出						
0	0	0	0	0	0	0	0	0							
1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7							
2	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7						
3	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7					
4	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7				
5	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7			
6	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7		
7	1	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	
8	1	1	1	1	1	1	1	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
9	0	D_1	D_2	D_3	D_4	D_5	D_6	D_7							

中规模集成移位寄存器，其位数往往以 4 位居多，当需要的位数多于 4 位时，可把几片移位寄存器用级连的方法来扩展位数。

5.3　555 定时器及其应用

一、实验目的

（1）进一步熟悉 555 集成定时器的组成及工作原理。
（2）掌握用定时器构成单稳态电路、多谐振荡电路和施密特触发电路的方法。
（3）进一步学习用示波器对波形进行定量分析，测量波形的周期、脉宽和幅值等。

二、实验主要仪器设备

（1）＋5V 直流电源

（2）单次时钟脉冲源和连续时钟脉冲源

（3）双踪示波器

（4）音频信号源

（5）数字频率计

（6）逻辑电平显示器

（7）555 芯片 2 只，电位器 100kΩ1 只；电阻、电容 0.01μF×3 只；0.1μF、10μF、100μF 电容器各 1 只

（8）8Ω/0.25W×1 喇叭 1 只

三、实验原理及相关知识要点

（1）555 集成定时器是模拟功能和数字逻辑功能相结合的一种双极型中规模集成器件。外加电阻、电容可以组成性能稳定而精确的多谐振荡器、单稳电路和施密特触发器等，应用十分广泛。

（2）555 集成定时器的内部结构框图如图 5.42 所示。

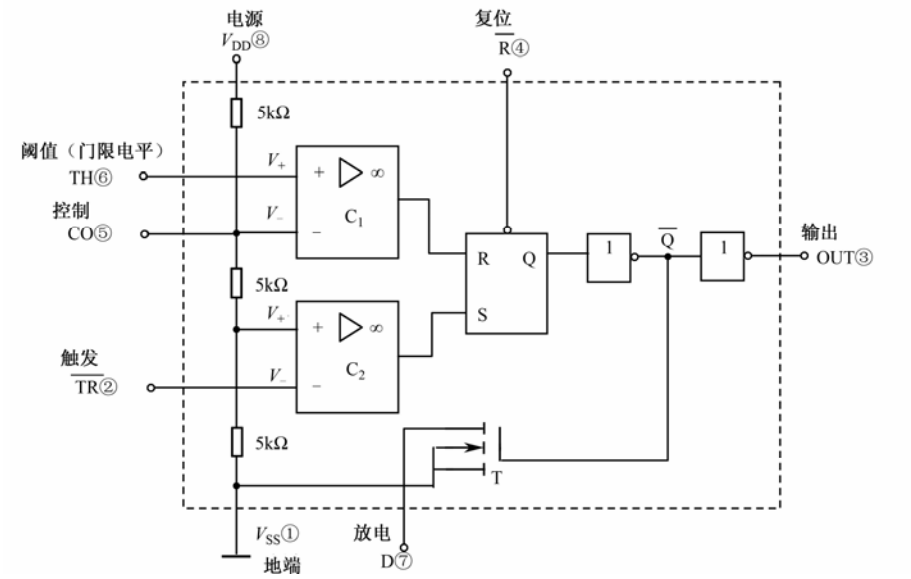


图 5.42　555 集成定时器的内部结构框图

由上、下两个电压比较器、三个 5kΩ电阻、一个 RS 触发器、一个放电三极管 T 以及功率输出级组成。比较器 C_1 的反相输入端⑤接到由三个 5kΩ电阻组成的分压网络的 $2/3V_{CC}$ 处，同相输入端⑥为阈值电压输入端。比较器 C_2 的同相输入端接到分压电阻网络的 $1/3V_{CC}$ 处，反相输入端②为触发电压输入端，用来启动电路。两个比较器的输出端控制 RS 触发器。RS 触发器设置有复位端 $\overline{R}$ ④，当复位端处于低电平时，输出端③为低电平。控制电压端⑤是比较器 C_1 的基准电压端，通过外接元件或电压源可改变控制端的电压值，即可改变比较器 C_1、C_2 的参考电压。不用时可将它与地之间接一个 0.01μF 的电容，以防止干扰电压引入。555 的电源电压范围是＋4.5～＋18V，输出电流可达 100～200mA，能直接驱动小型电机、继电器和低阻抗扬声器。

（3）555 定时器电路的功能如表 5-15 所示。

表 5-15　555 定时器电路的功能

低触发端 $\overline{TR}$	高触发端 TH	清零端 $\overline{R}$	放电端 D	OUT 输出
	$>2V_{CC}/3$	1	导通	0
$>V_{CC}/3$	$<>2V_{CC}/3$	1	保持	保持
$<V_{CC}/3$	×	1	截止	1
×	×	0	导通	0

5.4　应用Multisim 8.0 电路仿真

一、学习目的

（1）进一步熟悉和掌握 Multisim 8.0 电路仿真技能。
（2）学会用 Multisim 8.0 设计计数器电路。
（3）学会用 Multisim 8.0 设计寄存器电路。

二、用Multisim 8.0 设计仿真电路

（1）设计由集成计数器构成十二进制、二十四进制计数器仿真电路。
（2）设计由集成电路构成的移位寄存器仿真电路。

第 5 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 19 分）

1．时序逻辑电路通常由_____和_____两部分组成。

2．根据时序逻辑电路按各位触发器接收_____信号的不同，可分为_____步时序逻辑电路和_____步时序逻辑电路两大类。

3．通常用_____、_____和_____来描述时序逻辑电路。

4．时序逻辑电路按照各位触发器的时钟脉冲是否相同可分为_____和_____两大类。

5．时序逻辑电路中仅有存储电路输出时，构成的电路类型通常称为_____型时序逻辑电路；如果电路输出除存储电路输出外，还包含组合逻辑电路输出端时，构成的电路类型称为_____型时序逻辑电路。

6．可以用来暂时存放数据的器件称为_____，若要存储 4 位二进制代码，该器件必须有_____触发器。

7．时序逻辑电路中某计数器中的无效码若在开机时出现，不用人工或其他设备的干预，计数器能够很快自行进入_____，使无效码不再出现的能力称为_____能力。

8．若构成一个六进制计数器，至少要采用_____位触发器，这时构成的电路有____个有效状态，_____个无效状态。

9．移位寄存器除有_____的功能外，还有_____功能。

10．用 4 位移位寄存器构成环行计数器时，有效状态共有_____个；若构成扭环计数器时，

其有效状态是_____个。

11．寄存器是可用来存放数码、运算结果或指令的电路，通常由具有存储功能的多位_____器组合起来构成。1 位_____器可以存储一个二进制代码，存放 *n* 个二进制代码的寄存器，需用 *n* 位_____器来构成。

12．74LS194 是典型的 4 位_____型集成双向移位寄存器芯片，具有_____、并行输入、_____和_____等功能。

13．通常模值相同的同步计数器比异步计数器的结构_____，工作速度_____。

14．555 定时器可以构成施密特触发器，施密特触发器具有_____特性，主要用于脉冲波形的_____和_____；555 定时器还可以用作多谐振荡器和_____稳态触发器。

15．用集成计数器 CC40192 构成任意进制的计数器时，通常可采用反馈_____法和反馈_____法。

二、判断正误题（每小题 1 分，共 10 分）

1．集成计数器通常都具有自启动能力。（　　）

2．使用三个触发器构成的计数器最多有 8 个有效状态。（　　）

3．同步时序逻辑电路中各触发器的时钟脉冲 CP 不一定相同。（　　）

4．利用一个 74LS90 可以构成一个十二进制的计数器。（　　）

5．用移位寄存器可以构成 8421BCD 码计数器。（　　）

6．555 电路的输出只能出现两个状态稳定的逻辑电平之一。（　　）

7．施密特触发器的作用就是利用其回差特性稳定电路。（　　）

8．莫尔型时序逻辑电路，分析时可以不写输出方程。（　　）

9．十进制计数器是用十进制数码“0～9”进行计数的。（　　）

10．利用集成计数器芯片的预置数功能可获得任意进制的计数器。（　　）

三、选择题（每小题 2 分，共 20 分）

1．描述时序逻辑电路功能的两个必不可少的重要方程式是（　　）。

A．次态方程和输出方程　　B．次态方程和驱动方程

C．驱动方程和时钟方程　　D．驱动方程和输出方程

2．用 8421BCD 码作为代码的十进制计数器，至少需要的触发器个数是（　　）。

A．2　　B．3　　C．4　　D．5

3．按触发器状态转换与时钟脉冲 CP 的关系分类，计数器可分为（　　）两大类。

A．同步和异步　B．加计数和减计数　　C．二进制和十进制

4．能用于脉冲整型的电路是（　　）。

A．双稳态触发器　　B．单稳态触发器　　C．施密特触发器

5．由 3 级触发器构成的环形和扭环形计数器的计数模值依次为（　　）。

A．模 6 和模 3　　B．模 8 和模 8

C．模 6 和模 8　　D．模 3 和模 6

6．下列叙述正确的是（　　）。

A．译码器属于时序逻辑电路　　B．寄存器属于组合逻辑电路

C．555 定时器是典型的时序逻辑电路　　D．计数器属于时序逻辑电路

7．利用中规模集成计数器构成任意进制计数器的方法是（　　）。

A．复位法　　B．预置数法　　C．级联复位法

8．设计一个能存放 8 位二进制代码的寄存器，需要（　　）触发器。

A．8 位　　B．2 位　　C．3 位　　D．4 位

9．在下列器件中，不属于时序逻辑电路的是（　　）。

A．计数器　　B．序列信号检测器　　C．全加器　　D．寄存器

10．改变 555 定时电路的电压控制端 CO 的电压值，可改变（　　）。

A．555 定时电路的高、低输出电平　　B．开关放电管的开关电平

C．比较器的阈值电压　　D．置“0”端 $\overline{R}$ 的电平值

四、简述题（每小题 4 分，共 16 分）

1．说明同步时序逻辑电路和异步时序逻辑电路有何不同？

2．钟控的 RS 触发器能用作移位寄存器吗？为什么？

3．何谓计数器的自启动能力？

4．施密特触发器具有什么显著特征？主要应用有哪些？

五、分析题（共 35 分）

1．试用 74LS161 集成芯片构成十二进制计数器。要求采用反馈预置法实现。（7 分）

2．电路及时钟脉冲、输入端 D 的波形如图 5.43 所示，设起始状态为“000”。试画出各触发器的输出时序图，并说明电路的功能。（10 分）

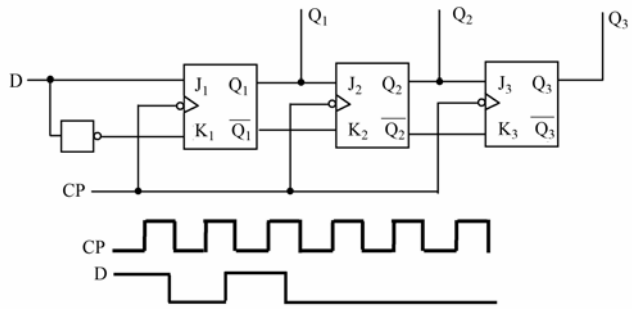


图 5.43　检测题 5.5.2 逻辑图

3．已知计数器的输出端 Q_2、Q_1、Q_0 的输出波形如图 5.44 所示，试画出对应的状态转换图，并分析该计数器为几进制计数器。（8 分）

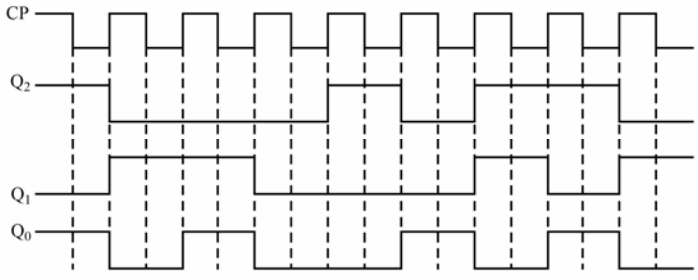


图 5.44　检测题 5.5.3 时序波形图

4．分析图 5.45 所示时序逻辑电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自行启动。（10 分）

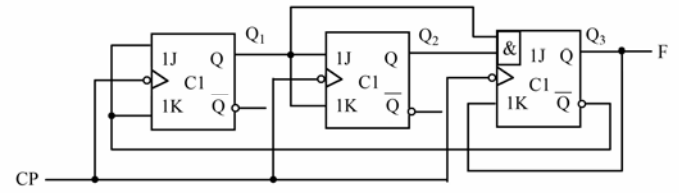
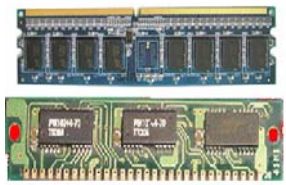


图 5.45　检测题 5.5.4 逻辑图

第 6 单元　存储器和可编程逻辑器件

任务导入

存储器是用来存储数据和程序的“记忆”装置，相当于存放资料的仓库，是计算机的重要组成部分。在计算机以及其他一些数字系统的工作过程中，都需要对大量的信息，包括数据、程序、指令以及运算的中间数据和最后结果进行存储，因此存储器就成了这些数字系统不可缺少的组成部分。图 6.1 所示为计算机的内存存储器和硬盘存储器实物图。



计算机内存



计算机硬盘

图 6.1　计算机的内存存储器与硬盘存储器

可编程逻辑器件是作为一种通用器件生产的。所谓通用器件，就是指逻辑功能固定不变，在组成复杂的数字系统时经常要用到的器件。如前面几个单元中接触到的小规模数字集成电路 74LS 系列、CC4000 系列等。可编程逻辑器件与这些小规模集成电路的不同点是：可编程逻辑器件的逻辑功能是由用户通过对器件的编程来设定的。可编程逻辑器件在产品的开发、工业控制以及高科技电子产品各方面都得到了广泛的应用。

存储器和可编程逻辑器件均属于大规模集成电路范畴。由于大规模集成电路集成度高，往往能将一个较复杂的逻辑部件或数字系统集成到一块芯片上，存储器和可编程逻辑器件的应用，能有效地缩小设备体积、减轻设备重量、降低功耗、提高系统稳定性和可靠性，所以大规模数字集成电路的应用得到了飞速发展。作为电子工程技术人员，必须不断地学习、学习、再学习，才能适应科学技术发展的大环境。

本单元的学习任务如下：

（1）存储器的分类、特点及基本工作原理。

（2）扩展存储器容量的方法。

（3）用存储器设计组合逻辑电路的原理和方法。

（4）可编程逻辑器件的基本特征、分类及其特点。

（5）用可编程控制器设计逻辑电路的过程和需要用的开发工具。

通过本单元的学习，希望学习者能够了解存储器的分类及各类存储器的特点和应用场合，了解存储器的主要性能指标对存储器性能的影响，理解半导体存储器的电路结构和工作原理，掌握半导体存储器的逻辑功能和使用方法；了解可编程逻辑器件的类型、理解可编程逻辑器件的工作原理，熟悉可编程逻辑器件的编程方式和编程方法。

6.1 存储器概述

存储器是计算机硬件系统的重要组成部分，有了存储器，计算机才具有“记忆”功能，才能把程序及数据的代码保存起来，才能使计算机的数字系统脱离人的干预，而自动完成信息处理的功能。

6.1.1 存储器定义

能够用来存储大量的二值信息（或二值数据）的半导体器件，称为存储器。

半导体存储器属于大规模集成电路，近年来得到了迅速发展，具有集成度高、体积小、存储信息容量大、工作速度快和可靠性高等突出特点，在计算机和数字系统中得到了广泛的应用。

6.1.2 存储器的分类

半导体存储器按照制造工艺来分类，可分为 TTL 型和 MOS 型。由于 MOS 电路具有功耗低、集成度高的突出优点，目前大容量的存储器都是采用 MOS 工艺制作。按存取方式分类，半导体存储器则可分为随机存取存储器（Random Access Memory，RAM）、只读存储器（Read Only Memory，ROM）两种形式。随机存储器（RAM）又称做读写存储器，是能够通过指令随机地、个别地对其中各个单元进行读/写操作的一类存储器。只读存储器（ROM）在计算机系统的在线运行过程中，是只能对其进行读操作，而不能进行写操作的一类存储器。

1．只读存储器（ROM）

ROM 中的程序和数据是事先存入的，如计算机的监控程序、基本输入、输出程序等特定功能的程序或系统程序等。计算机的使用者只能读取和保存 ROM 中的程序和数据，不能变更或存入资料。ROM 被储存在一个非挥发性芯片上，即使关机之后储存的内容仍然被保存，即事先存入的信息不会因为下电而丢失。

2．随机存取存储器（RAM）

计算机中的内存就是指的 RAM。RAM 的存储单元根据具体需要可以随时读出，也可以写入或改写。RAM 主要用来存放各种现场的输入、输出数据，中间计算结果，以及与外部存储器交换的信息。当关闭电源或发生断电时，RAM 中的数据就会丢失。

RAM 与 ROM 的根本区别在于：正常工作状态下，ROM 只能读出不能写入，而 RAM 则既能读出又能写入。目前使用的 RAM 多为 MOS 型集成电路，一般分为静态和动态两种。静态 RAM 是靠双稳态触发器记忆信息；动态 RAM 则靠 MOS 电路中的栅极电容记忆信息。动态 RAM 比静态 RAM 集成度高、功耗低，成本低，适于做大容量存储器，计算机的主内存通常就采用动态 RAM。但动态存储器的存取速度不如静态存储器快，所以计算机中的高速缓冲存储器通常使用静态 RAM。

6.1.3 存储器的主要性能指标

半导体存储器的主要性能指标是存储容量和存取速度。除此之外，还要兼顾成本。

1．存储容量

存储容量是存储器系统的首要性能指标，因为存储容量越大，计算机或数字系统能够保存的信息量就越多，相应计算机系统和数字系统的功能就越强。

存储器中可容纳的二进制信息量即为它的存储容量。存储容量一般由字数×位数来表示，二进制数的最基本单位是“位”，是存储器存储信息的最小单位，8 位二进制数称为一个“字节”。由于存储器容量一般都很大，因此字节的常用单位还有 KB、MB 和 GB。这些存储器计量单位之间的换算关系是

$$1\text{KB}=2^{10}\text{B}=1024\text{B}$$

$$1\text{MB}=2^{10}\text{KB}=1024\text{KB}$$

$$1\text{GB}=2^{10}\text{MB}=1024\text{MB}$$

例如，某动态存储器的容量为 2^9 位/片，即指该动态存储器的容量是 512B（字节）。存储器容量越大，存储的信息量也越大，计算机运行的速度也就越快。内存的最大容量是由系统地址总线决定的，内存的大小反映了实际装机容量。例如一个 Pentium 4 计算机，其地址总线为 36 位，决定了内存允许的最大容量为 $2^{36}=64\text{GB}$。由于计算机技术发展很快，目前内存的实际装机容量通常只有 512MB 或 1GB，主板上内存往往留有剩余容量，可为以后的发展留有余地。内存容量越大，其性能越好。

2．存取速度

计算机和数字系统存储器的存取速度取决于存储器的具体结构及工作机制。存取速度通常用存储器的存取时间或存取周期来描述。所谓存取时间，就是指启动一次存储器从操作到完成操作所需要的时间；存取周期则指两次存储器访问所需的最小时间间隔。一般情况下，存储器的存取速度直接决定了整个计算机和数字系统的运行速度，因此，存取速度也是存储器系统的重要性能指标。

实际应用中，在一个存储器中要求同时兼顾存储容量、存取速度和制造成本是有一定困难的。为了解决这方面的矛盾，目前在计算机的数字系统中，通常采用多级存储器体系结构，即使用主存储器、高速缓冲存储器和外存储器。这三者构成一个统一的存储系统。从整体看，其速度接近高速缓存的速度，其容量接近辅存的容量，而其成本则接近廉价慢速的辅存平均价格。

思考与问题

1．一种新款计算机的硬盘存储容量是 20GB，它相当于多少千字节？

2．目前使用的半导体存储器，按其存储信息的功能通常分为哪几类？各有何特点？

3．何谓存储器的存储容量？存储容量的大小通常用什么来表示？

4．存储器的存取速度是如何定义的？

6.2 只读存储器（ROM）

只读存储器 ROM 是一种存放固定不变的二值信息存储器。正常工作时，ROM 可重复读取所存储的信息代码，但是不能改写存储的信息代码。ROM 中存储的数据能够永久保持，不会因断电而消失，具有非易失性。

6.2.1 ROM的结构与功能

1．ROM的结构组成

ROM 器件按其制造工艺可分为二极管、双极型和 MOS 型三种；按其存储内容存入方式的不同可分为固定和可编程两种。

ROM 内部的存储信息在生产厂家制造时，一般均采用一定工艺予以固定，其结构组成如图 6.2 所示。

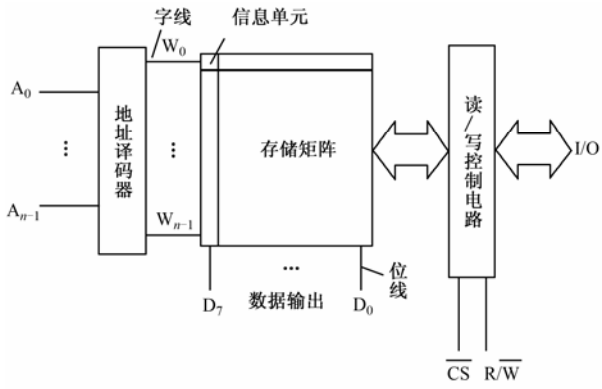


图 6.2 ROM 的结构组成框图

由图 6.2 可知，ROM 是由地址译码器、存储矩阵、读出电路（输出缓冲器）以及芯片选择逻辑等组成。其中 A_0～A_{n-1} 为地址输入线，共 n 根，其代码是按二进制数进行编码，称为地址码。通过地址译码器（第三单元所述的通用二进制译码器）译出相应地址码的字线为 W_0～W_{m-1} 共计 m 根，字线的下标对应地址译码器输出的十进制数，字线与地址码的关系是 $m=2^n$。位线上的数据输出是被选中存储单元的数据。

2．各部分的功能

（1）地址译码器

地址译码器功能是根据输入的地址代码，从 n 条地址线中选择一条字线，以确定与该字线地址相对应的一组存储单元的位置。选择哪一条字线，取决于输入的是哪一个地址代码。任何时刻，只能有一条字线被选中。于是，被选中的那条字线所对应的一组存储单元中的各位数码，经位线传送到数据线上输出。n 条地址输入线可得到 $N=2^n$ 个可能的地址。

（2）存储矩阵

ROM 中存储矩阵是它的核心部件和主体，内部含有大量的存储单元电路。存储矩阵中的

数据和指令都是用一定位数的二进制数表示的。存储器中存储 1 位二值代码（0 或 1）的点称为存储单元，存储器中总存储单元数即为 ROM 的存储容量。

例如在图 6.2 所示的 ROM 中，假设通过译码器输出的字线数 $m=2^{10}=1024$ 根，因为位线等于 8，所以，总的存储量应是 1024×8＝8192 个存储单元，简称 8KB。

（3）读/写控制电路

读/写控制电路也称为输出缓冲器，它是为了增加 ROM 的带负载能力，同时提供三态控制，将被选中的 M 位数据输出至位上，以便和系统的总线相连。

6.2.2 ROM的工作原理

1．二极管ROM电路的工作原理

以图 6.3 所示的二极管 ROM 电路为例，说明其工作原理。

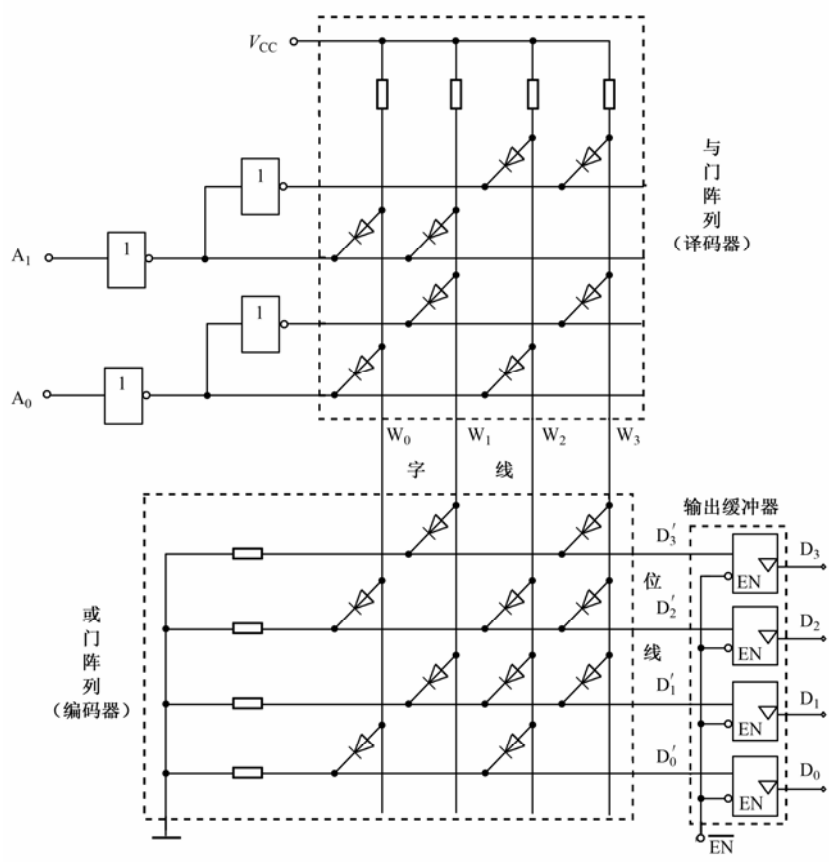


图 6.3　二极管 ROM 电路

图 6.3 中存储矩阵有 4 条字线 W_0～W_3 和 4 条位线 D_0～D_3，共有 16 个交叉点，每个交叉点都可以看作是一个存储单元。交叉点处接有二极管时相当于存入“1”，没有接二极管时相当于存入“0”。例如，字线 W_0 与位线有 4 个交叉点，其中只有两处接有二极管。当 W_0 为高电平，其余字线为低电平时，使位线 D_0 和 D_2 为“1”，这相当于交叉点处的存储单元存入了“1”，另外两个交叉点由于没有接二极中管，位线 D_1 和 D_3 为“0”，相当于交叉点处的存储

单元存入了“0”。

ROM 中存储的信息究竟是“1”还是“0”，通常在设计和制造时根据需要已经确定和写入了，而且当信息一旦存入后就不能改变，即使断开电源，所存信息也不会丢失。

图 6.3 示电路中，输入地址码是 A_1A_0，输出数据是 $D_3D_2D_1D_0$。输出缓冲器用的是三态门，三态门有两个作用，一是提高带负载能力；二是实现对输出端状态的控制，以便和系统的总线连接。

图中“与”门阵列组成地址译码器，“与”门阵列的输出表达式如下：

$$W_0 = A_1A_0, \quad W_1 = A_1\overline{A_0}, \quad W_2 = \overline{A_1}A_0, \quad W_3 = \overline{A_1}\,\overline{A_0}$$

存储矩阵是一个“或”门阵列，每一列可看作一个二极管“或”门电路，用来构成的存放地址编号的存储单元阵列，其输出表达式为：

$$D_0 = W_0 + W_2, \quad D_1 = W_1 + W_2 + W_3, \quad D_2 = W_0 + W_2 + W_3, \quad D_3 = W_1 + W_3$$

对应二极管 ROM 电路的输出信号真值表见表 6-1。

表 6-1　ROM 电路的输出信号真值表

A_1	A_0	D_3	D_2	D_1	D_0
0	0	1	1	1	0
0	1	0	1	1	1
1	0	1	0	1	0
1	1	0	1	0	1

从存储器角度看，A_1A_0 是地址码，$D_3D_2D_1D_0$ 是数据。表 6-1 说明：在地址编号 00 中存放的数据是 1110；地址编号 01 中存放的数据是 0111；地址编号 10 中存放的是 1010；地址编号 11 中存放的是 0101。

从函数发生器角度看，A_1、A_0 是两个输入变量，D_3、D_2、D_1、D_0 是 4 个输出函数。当变量 A_1、A_0 取值为 00 时，函数 $D_3=1$、$D_2=1$、$D_1=1$、$D_0=0$；当变量 A_1、A_0 取值为 01 时，函数 $D_3=0$、$D_2=1$、$D_1=1$、$D_0=1$；当变量……

从译码编码角度看，“与”门阵列先对输入的二进制代码 A_1A_0 进行译码，得到 4 个输出信号 W_0、W_1、W_2、W_3，再由“或”门阵列对 W_0～W_3 这 4 个信号进行编码，得到相应地址编号存入存储单元中。表 6-1 表明：W_0 的编码是 0101；W_1 的编码是 1010；W_2 的编码是 0111；W_3 的编码是 1110。

2．简化的ROM矩阵阵列图

从二极管 ROM 电路可知，其元件数目众多，所以画出的电路图结构比较复杂。

实际应用中，为了达到既能说明问题，又能使电路结构清晰明了，常常采用简化符号表示连接关系。画简化图时，一般把接有二极管存储单元的点用“ • ”或“×”进行表示。其中“ • ”表示固定连接，“×”表示逻辑连接，没有固定连接和逻辑连接处通常认为是逻辑断开，如图 6.4（a）所示，逻辑运算关系如图 6.4（b）所示。

采用简化连接符号后，图 6.3 所示电路可用图 6.5 所示电路表示。

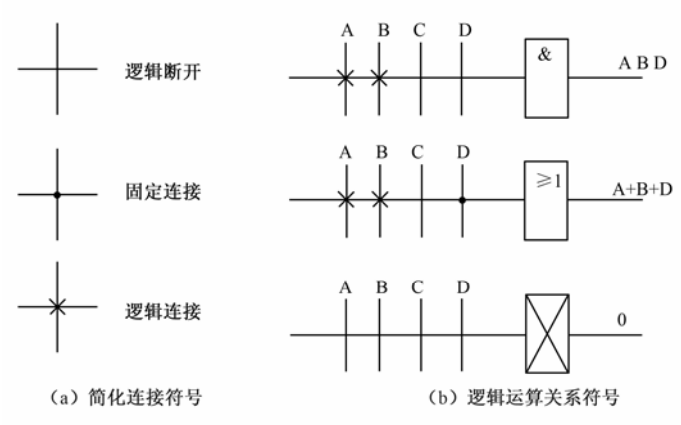


图 6.4　ROM 的简化连接符号和逻辑运算关系符号

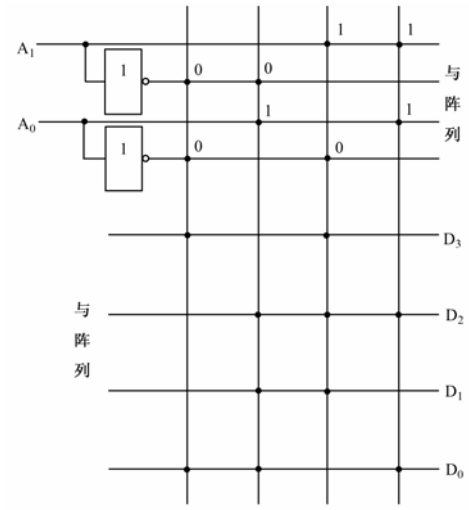


图 6.5　简化连接符号的 ROM 矩阵图

6.2.3　ROM的分类

只读存储器按照存储信息的写入方式，一般可分为掩模只读存储器（ROM）、现场可编程存储器（PROM）、光可擦除可编程的存储器（EPROM）和电可擦除可改写的存储器（E^2PROM）等。

1．掩模只读存储器（ROM）

在采用掩模工艺制作 ROM 时，其存储数据是由制作过程中使用的掩模板决定的，存入数据的过程称为“编程”。掩模编程是由生产厂家采用掩模工艺专门为用户制作出的一种固定 ROM，因此在出厂时内部存储的数据就已经“固化”在存储器中，用户无法改变所存储的数据。

掩模固定存储器 ROM 的电路结构很简单，且性能可靠，所以集成度可以做得很高，由于成本较低，一般都是批量生产。但是，掩模的 ROM 由于使用时只能读出，不能写入，所以只能存放固定数据、固定程序或函数表等。

2．现场可编程存储器（PROM）

在开发数字电路新产品的过程中，设计人员往往需要按照自己的构思迅速得到存有所需内容的 ROM，这时就可通过现场编程得到要求的 ROM，这种现场编程的 ROM 被称为 PROM。

图 6.6 所示是熔丝结构的 PROM 存储单元示意图。

现场编程时，首先输入地址代码，找出要写入“0”的单元地址，使选中的字线为高电平“1”，同时在编程的位线上加入幅度约为 20V，持续时间约为几个微秒的编程脉冲，使熔丝上通过较大的脉冲电流，将熔丝烧断。由于熔丝烧断后不可恢复，故又称做一次性可编程 PROM。现场可编程 ROM 出厂时，存储内容全为 1（或全为 0），根据用户自己的需要，利用专用的编程器现场将某些单元改写为“0”，需要改写为“0”的存储单元，只需把该单元中的熔丝烧断即可。保留为“1”的存储单元，把该位的熔丝保留。现场编程的 PROM 一旦进行了编程，就不能再修改了。

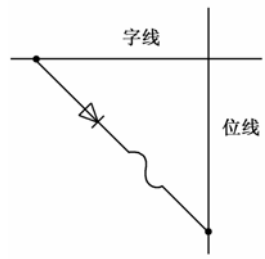


图 6.6　PROM 的熔丝结构示意图

3．光可擦除可编程的存储器（EPROM）

早期制造的 PROM 存储单元是利用其内部熔丝是否被烧断来写入数据的，因此只能写入一次，使其应用受到很大限制。目前使用的光可擦除可编程的存储器（EPROM）只需将此器件置于紫外线下，即可擦除，因此可多次写入。

EPROM 的存储单元是在 MOS 管中置入浮置栅的方法实现的。如图 6.7 所示。

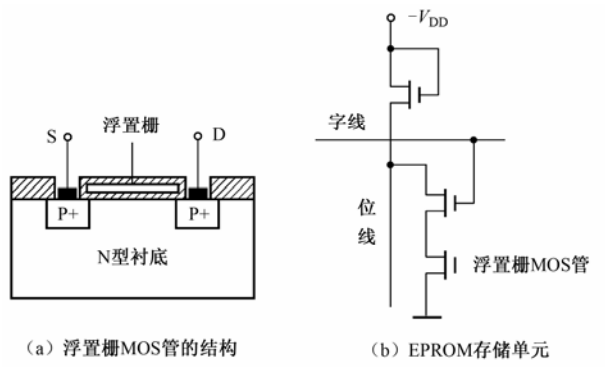


图 6.7　浮置栅 MOS 管的 EPROM

图 6.7（a）是浮置栅 PMOS 管的结构图，MOS 管为 P 沟道增强型，其栅极“浮置”于二氧化硅绝缘层内，与其他部分均不相连，处于完全绝缘的状态。写入程序时，在漏极和衬底之间加足够高的反向脉冲电压，一般在－30～－45V，就可使 PN 结产生雪崩击穿，雪崩击穿产生的高能电子穿透二氧化硅绝缘层进入浮置栅中。脉冲电压消失后，浮置栅中的电子无放电回路而被保留下来。这种雪崩注入式写入的程序，在＋125℃的环境温度下，70%以上的电荷能保存 10 年以上。

当用户需要改写存储单元的内容时，要先用紫外光线照射石英盖板下集成电路芯片中的浮置栅 MOS 管，在光的作用下，浮置栅上注入的电荷就会形成光电流而泄漏掉，恢复原来未写入时的状态，这一过程叫做光擦除。擦除后的存储单元又可写入新信息。EPROM 重新写入数

据后，带电荷的浮置栅使 PMOS 管的源极和漏极之间导通，当字线选中某一存储单元时，该单元位线即为低电平；若浮置栅中无电荷（未写入）新信息时，浮置栅 PMOS 管截止，位线为高电平。

4．电可擦除可编程的存储器（E^2PROM）

EPROM 需要两个 MOS 管，编程电压偏高；P 沟道管的开关速度较低，且利用光照擦除写入内容大约需要 30min 左右较长时间。为了缩短擦除时间，人们又研制出了电可擦除可编程方式的存储器（E^2PROM）。

电可擦除可编程的存储器（E^2PROM）速度一般为 ms 数量级，其擦除过程就是改写的过程，改写以字为单位进行。E^2PROM 不但在掉电时不丢失数据，又可随时改写已写入的数据，重复擦除和改写的次数高达 1 万次以上。E^2PROM 既具有 ROM 的非易失性，又具备类似 RAM 的功能，可以随时改写。目前，大多数 E^2PROM 的可编程逻辑器件集成电路芯片内部都备有升压电路。因此，只需提供单电源供电，便可进行读操作、写操作和擦除操作，为数字系统的设计和在线调试提供了极大方便。现在使用的光盘存储器就有很多属于 E^2PROM。

5．快闪存储器（FMROM）

快闪存储器一方面吸收了 EPROM 结构简单、编程可靠的优点；另一方面它保留了 E^2PROM 用隧道效应擦除的快捷特性，而且集成度很高。

图 6.8 所示为快闪存储器的结构示意图和存储单元。

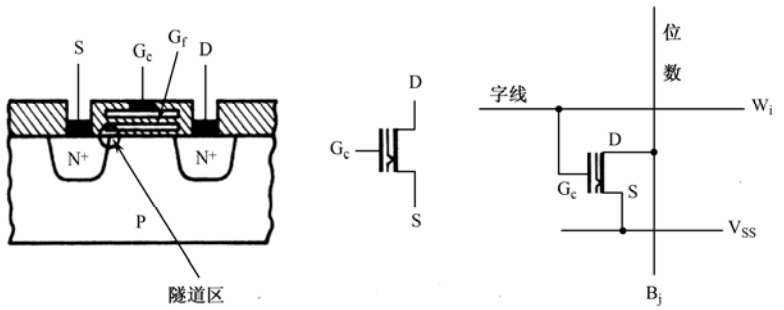


图 6.8　快闪存储器的结构示意图和存储单元

从结构上来看，快闪存储器属于 N 沟道增强型 MOS 管，有控制栅和浮置栅两个栅极。其浮置栅与漏区之间有一个极薄的氧化层，称为隧道区，当隧道区的电场强度大到一定程度时，如大于 10^7V/cm 时，就会在漏区和浮置栅之间出现导电隧道，电子可以双向通过，形成电流，这种现象称为隧道效应。

加到控制栅 G_c 和漏极 D 上的电压是通过浮置栅—漏极之间的电容和浮置栅—控制栅之间的电容分压加到隧道上的。为使加到隧道上的电压尽量大，需要尽可能地减小浮置栅和漏区之间的电容，故而要求把隧道区的面积做得非常小。因此，在制作工艺上，快闪存储器对隧道区氧化层的厚度、面积和耐压要求都较高。

FMROM 是通过二氧化硅形状的变化来记忆数据的。由于二氧化硅稳定性大大强于磁存储介质，使得快闪存储器（U 盘）存储数据的可靠性大大提高。同时二氧化硅还可以通过增加微小的电压来改变形状，从而达到反复擦写的目的。

由于快闪存储器的工作原理和磁盘、光盘完全不同。如果使用的 Flash Memory 材质品质优

良，一个 U 盘甚至能够达到擦写百万次的寿命。从 U 盘的外部来看，轻便小巧，便于携带；从内部来说，由于无机械装置，其结构坚固、抗震性极强。U 盘还有一个最突出的特点，就是它不需要驱动器。使用 U 盘只需用一个 USB 接口，就可以十分方便地做到文件共享与交流，即插即用，热插拔也没问题。作为新一代的存储设备，快闪存储器 FMROM 具有很好地发展前景。

6.2.4 ROM的应用

只读存储器不仅可以用来存放计算机中的二进制信息，也可以在数字系统中实现代码的转换、函数运算、时序控制以及实现各种波形的信号发生器等。

1．用ROM实现组合逻辑函数

因为 ROM 的地址译码器是一个与阵列，存储矩阵是可编程或阵列，所以很方便用来实现“与或”形式的逻辑函数。其方法如下：

首先，把 ROM 中的 n 位地址端作为逻辑函数的输入变量，则 ROM 的 n 位地址译码器的输出就是由输入变量组成的 2^n 个最小项，即实现了逻辑变量的“与”运算。其次，ROM 中的存储矩阵把“与”运算后输出的最小项相“或”后输出，从而实现了最小项的“或”运算。举例说明。

【例 6.1】用 ROM 实现下列逻辑函数

$$Y_1 = \overline{A}\,\overline{B} + AB$$

$$Y_2 = \overline{B}\,\overline{C} + AC$$

$$Y_3 = \overline{A}B\overline{C} + C$$

【解】利用 $A + \overline{A} = 1$ 将上述函数式化为标准“与或”式：

$$Y_1 = \overline{A}\,\overline{B} + AB \sum(0, 1, 6, 7)$$

$$Y_2 = \overline{B}\,\overline{C} + \overline{A}C \sum(0, 1, 3, 4)$$

$$Y_3 = \overline{A}B\overline{C} + C \sum(1, 2, 3, 5, 7)$$

由上述标准式可知：函数 Y_1 有 4 个存储单元应为“1”，函数 Y_2 也有 4 个存储单元应为“1”，函数 Y_3 有 5 个存储单元应为“1”，实现这三个函数的逻辑图可用图 6.9 所示电路。

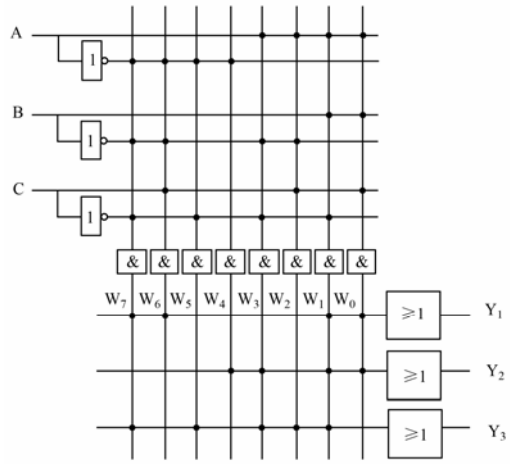


图 6.9　用 ROM 实现组合逻辑函数的电路

ROM 中的“与”阵列中，垂直线代表“与”逻辑，交叉圆点代表“与”逻辑的输入变量；

“或”阵列中的水平线代表“或”逻辑，交叉圆点代表字线输入。从这个例子可以看出，用 PROM 能够实现任何“与或”标准式的组合逻辑函数。实现方法非常简单，只要将该函数的真值表列出，使其有关的最小项相或，即可直接画出存储矩阵的编程图。

2．代码转换

【例 6.2】用 PROM 组成一个码制变换器，把 8421BCD 码转换为格雷码，其代码转换要求如表 6-2 所示。

表 6-2　8421BCD 码转换为格雷码的转换真值表

4 位二进制码				4 位格雷码			
B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

【解】让代码转换真值表 6-2 中的 B_3、B_2、B_1、B_0 作为地址输入量，格雷码 G_3、G_2、G_1、G_0 定义为输出量，存储矩阵的内容由具体的格雷码决定，则该 PROM 的容量为 4×4。按表 6-2 给定的输出值对存储矩阵进行编程，烧断与“0”对应的单元中熔丝。例如 $B_3B_2B_1B_0$＝0010 时，字线 W_2 为高电平，输出为 $G_3G_2G_1G_0$＝0011，故应保留 W_2 和 G_1G_0 交叉点上的熔丝“×”，烧断 W_2 和 G_3G_2 交叉点上的熔丝。

据此，我们可得到如图 6.10 所示的 PROM 编程图。

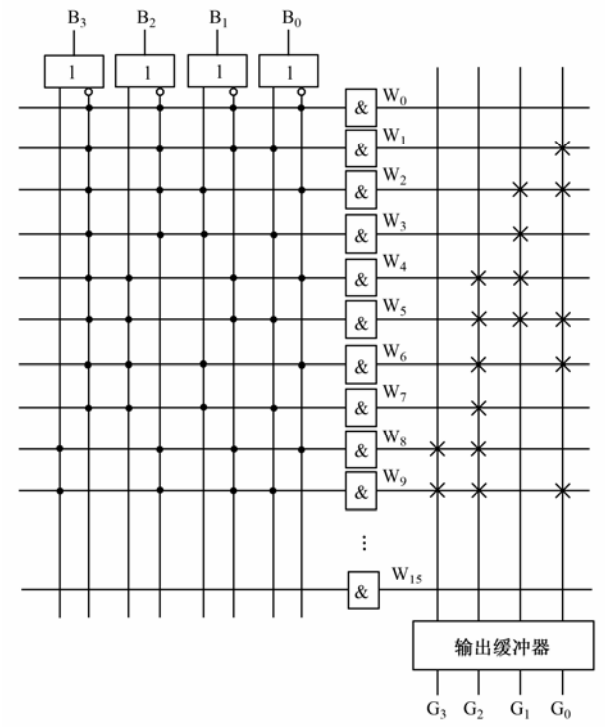


图 6.10　例 6.2 代码转换的 PROM 编程图

思考与问题

1．ROM 有哪些种类？试述各种类型 ROM 的特点。

2．ROM 和 RAM 的主要区别是什么？各用于何种场合？

3．有一个存储体的地址线为 A_{11}～A_0，输出数据位线有 8 根分别输出 D_7～D_0，问该存储体的存储容量为多少？

6.3　随机存取存储器（RAM）

随机存取存储器（RAM）在工作过程中，既可方便地读出所存信息，又能随时写入新的数据。即 RAM 的特点是：在系统工作时，可以随机对各个存储单元进行“读”操作和“写”操作，但发生掉电时其数据易丢失。注意：RAM 所进行的“读”指的是“取信息”；进行的“写”则指“存信息”。

6.3.1　RAM的结构与功能

1．RAM的结构组成

从基本功能上看，RAM 与时序逻辑电路中介绍的数码寄存器并无本质上的区别，只是 RAM 的存储容量要比数码寄存器的存储容量大得多，功能远强于数码寄存器。因此，可把 RAM 看作是由很多数码寄存器组合起来所构成的大规模集成电路。

RAM 和 ROM 的结构组成类似，也是由地址译码器、存储矩阵和读/写控制电路等组成。图 6.11 给出了 RAM 的典型结构示意框图。

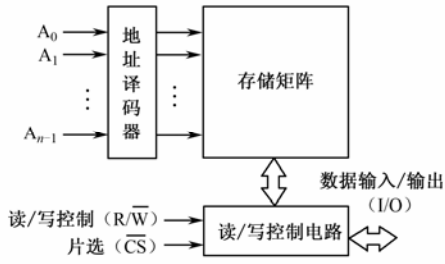


图 6.11　RAM 的结构框图

2．RAM各部分的功能

（1）存储矩阵

与 ROM 类似，RAM 的存储体中含有大量的存储单元，每个存储单元均可存储 1 位二值数据，因这些存储单元排列成矩阵形式而得名存储矩阵。RAM 存储矩阵的容量是由地址码的位数 N 和字长的位数 M 决定的。当一个存储矩阵的地址数为 N，每个字长所包含的位数是 M 时，存储矩阵的容量＝$N\times M$。存储矩阵的存储容量越大，存储的信息量就越多，RAM 的存储功能就越强。

（2）地址译码器

RAM 中的每个寄存器都有一个地址，CPU 按地址存取存储器中的数据。址译码器的功能，就是将寄存器地址所对应的二进制数译成有效的行选信号和列选信号，从而选中该存储单元。地址译码器每次读/写信息时，只能和某一个指定地址的寄存器之间进行取出或是存入，此过程称为访问存储器。访问的地址是机器识别的二进制数，送给地址译码器译码后，由相应输出线给出信号，控制被选中的寄存器与存储器的 I/O 端子，使其进行读/写操作。

（3）读/写控制器

访问 RAM 时，对被选中的寄存器，究竟是读还是写，通过读/写控制线进行控制。一般 RAM 的读/写控制线高电平为读，低电平为写；也有的 RAM 读/写控制线是分开的，一根为读，另一根为写。当 R/$\overline{W}$＝“1”时，执行读操作，被选中单元存储的数据经数据线、数据输入/输出 I/O 控制线传送给 CPU；当 R/$\overline{W}$＝“0”时，执行写操作，CPU 将数据经过数据输入/输出 I/O 控制线将数据存入被选中单元。

（4）片选控制

由于受 RAM 集成度的限制，一台计算机的存储器系统往往是由许多片 RAM 组合而成。CPU 访问存储器时，一次只能访问 RAM 中的某一片，即存储器中只有一片 RAM 中的一个地址接受 CPU 访问，与其交换信息，而其他片 RAM 与 CPU 不发生联系，片选就是用来实现这种控制的。通常一片 RAM 有一根或几根片选线，当某一片的片选线接入有效电平时，该片被选中，地址译码器的输出信号控制该片某个地址的寄存器与 CPU 接通；当片选线接入无效电平时，则该片与 CPU 之间处于断开状态。片选 $\overline{CS}$ 为选择芯片的控制输入端，低电平有效。当片选信号 $\overline{CS}$＝“1”时，RAM 被禁止读写，处于保持状态，I/O 接口处的三态门处于高阻状态；$\overline{CS}$＝“0”时，RAM 可在读/写控制输入 R/$\overline{W}$ 的作用下做读出或写入操作。

（5）数据输入/输出控制

为了节省器件引脚的数目，数据的输入和输出共用相同的引脚（I/O），因此数据输入/输出控制也简称为 I/O 控制。“读”操作时 I/O 端子作输出端，“写”操作时 I/O 端子作输入端，可一线二用。RAM 通过 I/O 端子与计算机的 CPU 交换数据，I/O 端子数据线的条数，与一个地址中所对应的寄存器的位数相同。例如在 1024×1 位的 RAM 中，每个地址中只有 1 个存储单元（1 位寄存器），因此只有 1 条 I/O 引线；而在 256×4 位的 RAM 中，每个地址中有 4 个存储单元（4 位寄存器），所以有 4 条 I/O 引线。有的 RAM 输入线和输出线采用分开的。RAM 的输出端一般都具有集电极开路或三态输出结构。由读/写控制线控制。通常 RAM 中寄存器有五种输入信号和一种输出信号：地址输入信号、读/写控制输入信号 R/$\overline{W}$、输入控制信号 $\overline{OE}$、片选控制输入信号 $\overline{CS}$、数据输入信号和数据输出信号。

6.3.2 RAM的存储单元

存储单元是随机存取存储器 RAM 的核心部分，存储单元电路的形式多种多样。按工作方式的不同可分为静态和动态两类，按所用元件类型又可分为双极型和 MOS 型两种。双极型存储单元速度高，单极型存储单元功耗低、容量大。在要求存取速度快的场合常用双极型 RAM 电路，单极型存储器适用于容量大、功耗低，常用于对速度要求不高的场合。

由于单极型存储器相对应用较多，下面以单极型存储器为例介绍 RAM 的工作原理。

1．静态随机存储器（SRAM）

图 6.12 所示为一个 CMOS 管构成的随机存储器的一个静态存储单元，由六只三极管 VT_1～VT_6 组成。其中 VT_1 与 VT_2、VT_3 与 VT_4 各构成一个反相器，两个反相器的输入和输出交叉连接，构成基本的触发器，作为数据存储单元。T_5、T_6 是门控管，它们的导通或截止均受行选择线的控制。同时，VT_5、VT_6 门控管控制触发器输出端与位线之间的连接状态。

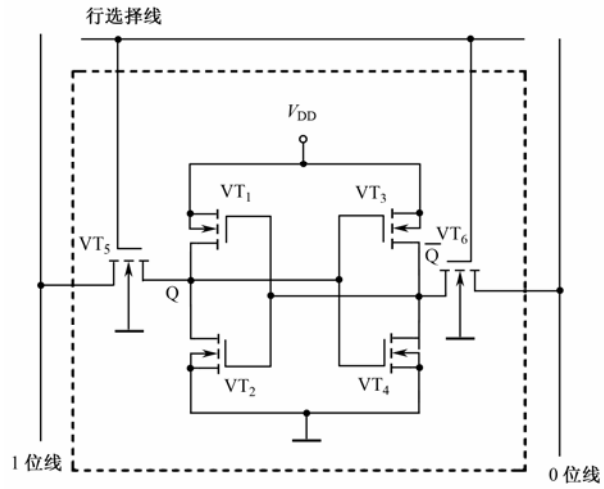


图 6.12　CMOS 的静态存储单元

当行选择线为低电平时，VT_5、VT_6 截止，这时存储单元和位线断开，存储单元的状态保持不变；当行选择线为高电平时，VT_5、VT_6 导通，触发器输出端与位线接通，此时通过位选择线对存储单元操作。在读控制 R 信号的作用下，可将基本触发器存储的数据输出。如 Q＝

1 时，1 位线输出“1”，0 位线输出“0”。根据两条线上的电位高低就可知道该存储单元的数据。在写控制信号 $\overline{W}$ 作用下，需写入的数据被送入 1 位线和 0 位线，经过 VT_5、VT_6 门控管加在反相器的输入端，将基本触发器置于所需的状态。

上述采用 CMOS 工艺的 SRAM，具有如下特点：正常工作时功耗很低，在不断电但电源电压减小的情况下仍能保存数据，在交流供电系统断电后用电池供电时，存储器中的数据不会丢失，信息可以长时间保存。

双极型 SRAM 的静态存储单元特点是工作速度很快，但功耗较大，所以主要在一些高速系统中应用。

2．动态随机存储器（DRAM）

一个 MOS 管和一个电容就可组成一个最简单的动态存储单元电路，如图 6.13 所示。

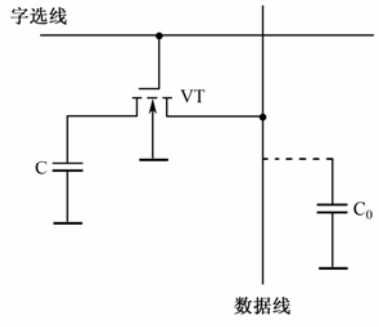


图 6.13　RAM 的动态存储单元

DRAM 的存储单元电路，主要利用电容 *C* 上存储的电压来表示数据的状态，图中晶体管 VT 则起一个开关的作用。

当存储单元未被选中时，字选线为低电平 0，VT 截止，*C* 和数据线之间隔离。当存储单元被选中时，字选线为高电平 1，VT 导通，此时可对存储单元进行读/写操作。写入时，送到数据线上的二进制信号经 VT 存入 *C* 中；读出时，*C* 的电平经数据线读出，读出的数据经放大后，再送到输出端。同时由于 *C* 和数据线的分布电容 C_0 并联，*C* 要放掉部分电荷。为保持原有的信息，放大后的数据同时回送到数据线上，对 *C* 要进行重写（即刷新）。对长时间无读/写操作的存储单元，*C* 会缓慢放电，所以 DRAM 必须定时对所有存储单元进行刷新。

DRAM 的特点是：存储的信息不能长时间保留，需要不断地刷新。

6.3.3　集成RAM芯片简介

目前 4M 位集成 RAM 芯片已得到广泛应用，功耗低，价格便宜，适宜于做大容量的存储器。其中静态 MOS 型 RAM 集成度、功耗、成本、速度等指标介于双极型 RAM 和动态 MOS 型 RAM 之间，不仅功耗低，且又不需要刷新，易于用电池作后备电源。常见的 RAM 型号有：

2114（1K×4）、6116（2K×8）、6264（8K×4）、62256（32K×8）、62010（128K×8）。

1．集成RAM芯片 6116 的引脚排列图

图 6.14 所示是 2K×8 位静态 CMOS RAM 集成芯片 6116 的引脚排列图。

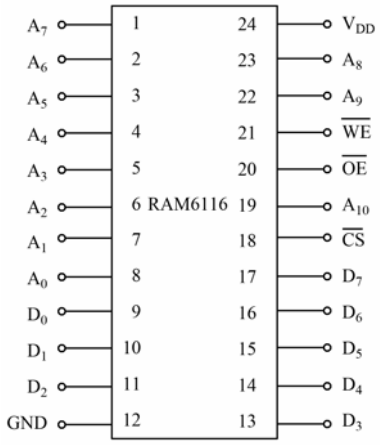


图 6.14　静态 CMOS RAM 芯片 6116 的引脚排列图

CMOS RAM 集成芯片 6116 的引脚 A_0～A_{10} 是地址码输入端，D_0～D_7 是数据输出端，$\overline{CS}$ 是选片端，$\overline{OE}$ 是输出使能端，$\overline{WE}$ 是写入控制端。

2．芯片工作方式和控制信号之间的关系

表 6-3 所示状态表是集成 RAM 芯片 6116 的工作方式与控制信号之间的关系，读出和写入线是分开的，而且写入优先。

表 6-3　静态 RAM 芯片 6116 工作方式和控制信号状态表

$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	A_0～A_{10}	D_0～D_7	工作状态
1	×	×	×	高 阻 态	低功耗维持
0	0	1	稳定	输出	读
0	×	0	稳定	输入	写

6.3.4　RAM的容量扩展

实际应用中，经常需要大容量的 RAM。在单片 RAM 容量不能满足要求时，就需要进行扩展，将多片 RAM 组合起来，构成存储器系统（也称存储体）。

存储器的容量是由地址码的位数 N 和字长的位数 M 共同决定的。其中位数是由具体的 RAM 器件来决定，可以是 4 位、8 位、16 位和 32 位等。每个字是按地址存取，一般操作顺序是：先按地址选中要进行读或写操作的字，再对找到的字进行读或写操作。打一比方：存储器好比一座宿舍楼，地址对应着房间号，字对应着房间数，位对应每个房间中的床位。

1．RAM的位扩展

如果一片 RAM 中的字数已经够用，而每个字的位数不够用时，可采用位扩展连接方式解决。其数据位扩展的方法如图 6.15 所示。

由图可知，位扩展的方法是将几片 RAM 的地址输入端、读/写控制端都对应地并联在一起，各位芯片的 I/O 端串联构成输出，位数即得到扩展，扩展后的总位数等于并联几片 RAM

位数之和。

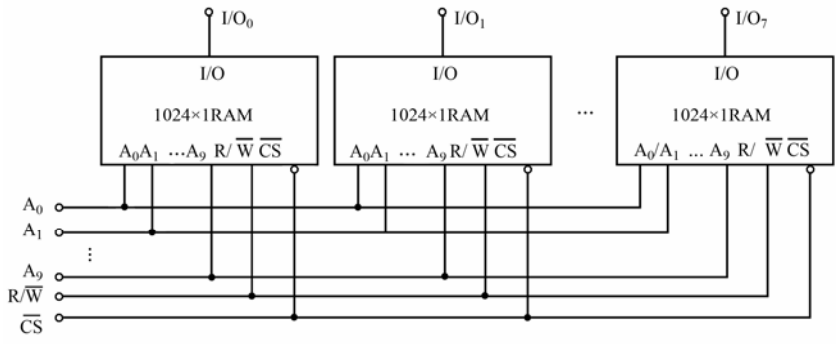


图 6.15　1K×1 位 RAM 扩展成 1K×8 位 RAM

2．RAM的字扩展

如果一片 RAM 中的位数够用，但字数不够用时，可采用字扩展连接方式解决。

字扩展的方法如图 6.16 所示。把 *N* 个地址线并联连接，R/W 控制线并联连接，片选信号分别接地址的高位或用译码器经过译码输出，分别接各位芯片的片选控制端。图中的高位地址码 A_{10}、A_{11} 和 A_{12} 经 74LS138 译码器 8 个输出端分别接在 8 片 1K×8 位 RAM 的片选端，以实现字扩展。

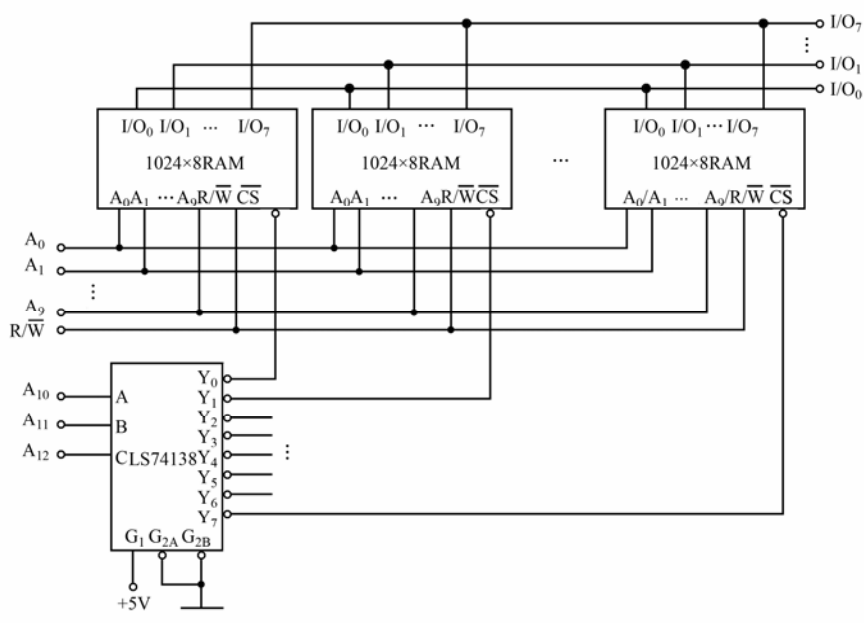


图 6.16　1K×8 位 RAM 扩展成 8K×8 位 RAM

3．RAM的字、位同时扩展

当 RAM 的字、位同时扩展时，根据前面所讲的方法连接即可，只是特别要注意片选端的连接。

字、位同时扩展的方法如图 6.17 所示。

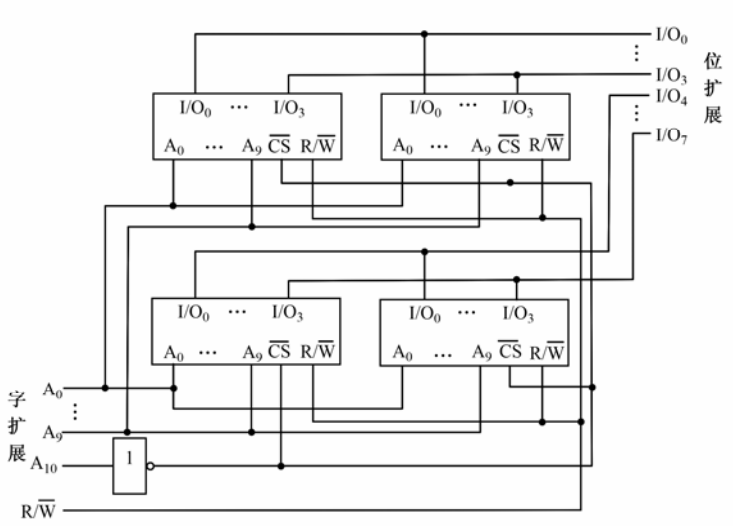


图 6.17　RAM 的字、位同时扩展

思考与问题

1．何谓随机存储器？其特点是什么？
2．按工作方式的不同，RAM 可分为几种类型的存储单元？各具何特点？
3．存储器的容量由什么来决定？
4．如何扩展 RAM 的位线和字线？

6.4　可编程逻辑器件

可编程逻辑器件（Programmable Logic Device，PLD）是作为一种通用器件问世的，是用户自行定义编程的一类通用型逻辑器件的总称。目前生产和使用的 PLD 产品主要有现场可编程逻辑阵列 FPLA、可编程阵列逻辑 PAL、通用阵列逻辑 GAL、可擦除可编程逻辑器件 EPLD 和现场可编程门阵列 FPGA 等几种类型，其中 EPLD 和 FPGA 的集成度比较高，因此又常把这两种器件称为高密度 PLD。

6.4.1　可编程逻辑器件概述

在发展各种类型 PLD 的同时，设计手段的自动化程度也日益提高。用于 PLD 编程的硬件和软件两部分组成。硬件部分包括计算机和专门编程器，软件部分包括各种编程软件。PLD 的编程软件功能较强，操作简便，一般均可在普通的计算机机上运行，利用开发系统几小时就能完成 PLD 的编程工作，极大地提高了设计工作的效率。目前新一代的在系统可编程（LSP）器件的编程更加简单，编程时不需要使用专门的编程器，只要将计算机运行产生的编程数据直接写入 PLD 即可。

为方便作图，本节均采用逻辑图形符号，如图 6.18 所示，这也是目前国际、国内流行的画法。

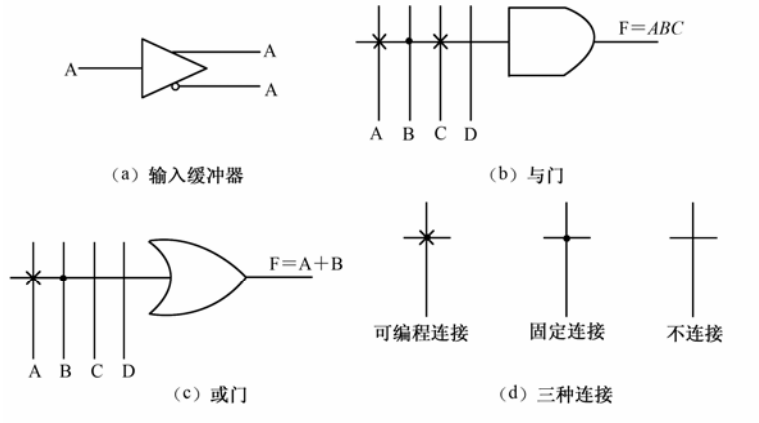


图 6.18　逻辑图形符号的流行画法

可编程逻辑器件通常由输入缓冲、与阵列、或阵列、输出缓冲 4 个环节构成。

典型的可编程逻辑器件 PLD 由一个“与”门阵列和一个“或”门阵列组成。前面讲到的 EPROM 实际上就是一种可编程逻辑器件，只是它在大多数情况下都用来用存储器使用，所以把它放在存储器中介绍。

由于任意一个组合逻辑都可以用“与—或”表达式进行描述，因此 PLD 能够完成各种数字逻辑功能。典型可编程逻辑器件 PLD 的特点是：与阵列（地址译码器）不可编程，或阵列（存储矩阵）可编程。

6.4.2　现场可编程逻辑阵列（FPLA）

可编程逻辑阵列（PLA）用较少的存储单元就能存储大量的信息，可完成各种组合逻辑和时序逻辑电路的功能。可编程逻辑阵列（PLA）的主要特点有：

① PLA 有一个“与”阵列构成的地址译码器,是一个非完全译码器；

② PLA 中存储信息是经过化简、压缩后装入的；

③ PLA 中的与阵列和或阵列都可编程。

现场可编程逻辑阵列（FPLA）由可编程的“与”逻辑阵列和可编程的“或”逻辑阵列以及输出缓冲器组成，如图 6.19 所示。图中的“与”逻辑阵列最多可以并联产生 8 个可编程的乘积项，“或”逻辑阵列最多能产生 4 个组合逻辑函数。如果编程后的电路连接情况如图 6.19 所示，则当使能端 $\overline{OE}=0$ 时可得到的逻辑函数为：

$$Y_0 = \overline{C \oplus D}$$

$$Y_1 = A \oplus B$$

$$Y_2 = AC + BD$$

$$Y_3 = ABCD + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$$

把 FPLA 与 ROM 相比较可发现，两者的电路结构极为相似，都是由一个**与**逻辑阵列、一个**或**逻辑阵列和输出缓冲器所组成。但是，ROM 的**与**逻辑阵列（地址译码器）是固定和不可编程的，而 FPLA 的**与**逻辑阵列是可编程的。而且，ROM 的**与**逻辑阵列将输入变量的全部最小项都译出，而 FPLA **与**逻辑阵列能产生的乘积项比 ROM 少得多。

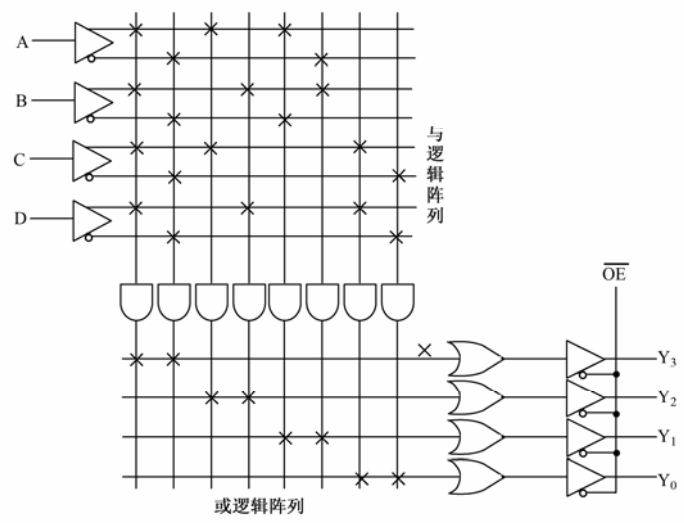


图 6.19　FPLA 的基本电路结构

我们在使用 ROM 产生组合逻辑函数时，往往只用到**与**逻辑阵列输出的部分最小项，这些最小项有时还可以合并，因此器件内部资源的利用率不高。然而在使用 FPLA 产生组合逻辑函数时，由于**与**逻辑阵列也是可编程的，所以就可以通过编程只产生所需要的乘积项，因此**与**逻辑阵列和**或**逻辑阵列所需要的规模就会减少很多，从而提高了芯片的利用率。所以，在设计组合逻辑电路时选择 FPLA 要比使用 ROM 更为合理。

6.4.3　可编程阵列逻辑（PAL）

可编程阵列逻辑（PAL）是 20 世纪 70 年代末由 MMI 公司率先推出的一种可编程逻辑器件。PAL 采用双极型工艺制作，熔丝编程方式。

1．PAL的结构组成

可编程阵列逻辑（PAL）也是 ROM 的变种，由可编程的**与**逻辑阵列、固定的**或**逻辑阵列和输出电路三部分组成。其结构组成如图 6.20 所示。

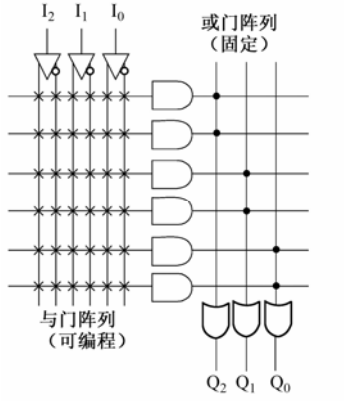


图 6.20　PAL 结构组成图

图中的 PAL 器件存储单元体——**或**阵列不可编程，地址译码器——**与**阵列是用户可编程的。PAL 运行速度较高，开发系统完善。目前常见的 PAL 器件中，输入变量最多可达 20 个，与逻辑阵列乘积项最多能有 80 个，或逻辑阵列输出端最多有 10 个，每个或门输入端最多可达 16 个。为了扩展电路的功能并增加使用的灵活性，在许多型号的 PAL 器件中还增加了多种形式的输出电路，主要有专用输出结构、异步 I/O 输出结构、寄存器输出结构和异或输出结构等。

2．PAL的应用

可编程阵列逻辑（PAL）可以借助编程器进行现场编程，这一点很受用户欢迎。PAL 通过对与逻辑阵列编程可以获得不同形式的组合逻辑函数。例如，要求用 PAL 器件设计一个数值判别电路。并要求判断 4 位十进制数 DCBA 的大小属于 0～5、6～10、11～15 三个区间的哪一个之内时，我们可假设在 $Y_0=1$ 时表示 DCBA 的数值在 0～5；假设当 $Y_1=1$ 时表示 DCBA 的数值在 6～10；假设当 $Y_2=1$ 时表示 DCBA 的数值在 11～15。于是我们可与出如表 6-4 所示的函数真值表。

表 6-4　数值判别电路的函数真值表

十进制数	二进制数				Y_0	Y_1	Y_2
	D	C	B	A			
0	0	0	0	0	1	0	0
1	0	0	0	1	1	0	0
2	0	0	1	0	1	0	0
3	0	0	1	1	1	0	0
4	0	1	0	0	1	0	0
5	0	1	0	1	1	0	0
6	0	1	1	0	0	1	0
7	0	1	1	1	0	1	0
8	1	0	0	0	0	1	0
9	1	0	0	1	0	1	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	0	1
12	1	1	0	0	0	0	1
13	1	1	0	1	0	0	1
14	1	1	1	0	0	0	1
15	1	1	1	1	0	0	1

由真值表可以写出 Y_0、Y_1、Y_2 的逻辑函数式：

$$Y_0=\sum m(0,1,2,3,4,5)=\overline{A}\,\overline{B}+\overline{A}\,\overline{C}$$

$$Y_1=\sum m(6,7,8,9,10)=\overline{A}BC+A\overline{B}\,\overline{C}+A\overline{B}D$$

$$Y_2=\sum m(11,12,13,14,15)=\overline{A}B+ABC$$

这是一组有 4 个输入变量，3 个输出变量的组合逻辑函数，如果用一片 PAL 器件产生这一组逻辑函数，就必须选用有 4 个以上输入端和 3 个以上输出端的器件，并且至少还应当有一

个输出包含 3 个以上乘积项。据此，可选用 PAL14H4。

PAL14H4 有 14 个输入端，4 个输出端，每个输出包含 4 个乘积项，选用它可以实现表 6-4 所要求的组合逻辑电路。

PAL 器件除通过对与逻辑阵列编程可以获得不同形式的组合逻辑函数外，在有些型号的 PAL 器件中，除了设置有基本的与—或形式输出结构外，为了实现时序逻辑电路的功能，又设计制造了在或门和三态门之间加入 D 触发器，并且将 D 触发器的输出反馈回与阵列的 PAL 结构，从而使 PAL 很方便地构成各种时序逻辑电路，功能大大增加。而且，PAL 的设计工作均可在开发系统上自动进行，只要按照编程软件规定的格式输入逻辑真值表，后面的工作都可由计算机去完成。

但是，由于 PAL 通常采用熔丝双极型工艺制作，只能一次性编程，造成应用局限性较大，目前只有较少用户使用。

6.4.4 通用逻辑阵列（GAL）简介

1．GAL结构组成

GAL 器件是从 PAL 发展过来的，GAL 的特点是：与阵列可编程，或阵列固定。

GAL 中采用了浮栅隧道氧化层 MOS 管，实现了在很短时间完成电擦除和电改写，而且可以多次编程。为了达到通用的目的，GAL 在输出三态门之前连接一个输出逻辑宏单元（OLMC），其内部（局部）电路如图 6.21 所示。由于 OLMC 提供了灵活的输出功能，因此编程后的 GAL 器件可以替代所有其他固定输出极的 PLD。

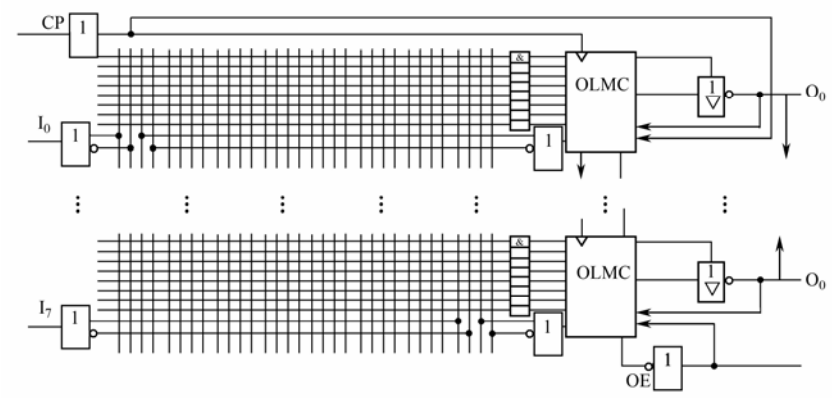


图 6.21 GAL 内部原理图（局部）

集成的 GAL16V8 芯片由 8 根输入及 8 根输出各引出两根互补的输出，而构成 32 列，即与项的变量个数为 16；8 根输出每个输出对应于一个 8 输入或门，而构成 64 行，与阵列共包括 2048 个可编程单元；GAL16V8 还有 8 个输出宏单元，每个宏单元的电路可以通过编程实现所有 PAL 输出结构实现的功能。

2．GAL工作模式

GAL16V8 的时钟输入端与每个输出宏单元中 D 触发器时钟输入端相连，只能实现同步时序电路，而无法实现异步的时序电路。

GAL16V8 有三种工作模式：

① 简单型工作模式：GAL 内无反馈通路；

② 复杂型工作模式：GAL 内存在反馈通路；

③ 寄存器型工作模式：至少有一个 OLMC 工作在寄存器输出模式。

6.4.5 PLD的编程

随着可编程逻辑器件（PLD）集成度的不断提高，PLD 的编程也日益复杂，设计工作量越来越大，其编程工作必须在开发系统的支持下才能完成。

PLD 的编程工作大体上按如下步骤进行：

① 进行逻辑抽象，把需要实现的逻辑功能表示为逻辑函数式、逻辑真值表或状态转换图。

② 选定 PLD 的类型和型号。选型时应考虑到是否需要擦除和改写，是组合逻辑电路还是时序逻辑电路，电路有多少输入和输出，是否需要触发器，数量多少，是否对电路输出实行三态控制以及对工作速度、功耗要求、是否加密等。

③ 选定开发系统。通常开发系统与 PLD 相比价格要贵得多。

④ 按编程语言的规定格式编写源程序，通常这些专用编程语言的语法都比较简单，只要阅读使用手册和稍加练习很快就会掌握。

⑤ 将源程序输入计算机运行，另外还要运行相应的编译程序或汇编程序，产生 JEDEC 下载文件和其他程序说明文件。

⑥ 将 JEDEC 文件由计算机送给编程器，再由编程器将编程数据写入 PLD 中。

⑦ 将写入数据的 PLD 从编程器上取下，用实验的方法测试其逻辑功能，看是否达到设计要求。

总之，可编程逻辑器件 PLD 经历了可编程逻辑阵列 PLA、可编程阵列逻辑 PAL、通用阵列逻辑 GAL 等发展过程。其趋势是集成度和速度不断提高，功能不断增强，结构趋于更合理，使用变得更加灵活和方便。

思考与问题

1．可编程的含义是什么？有哪几种编程方式？

2．可编程逻辑器件有哪几种类型？指出它们各自的特点。

3．试述 ROM 中的地址译码器阵列和存储编码阵列的不同之处。

4．目前使用的 EPROM，其存储单元是用什么方法实现的？

5．为实现时序逻辑电路的功能，PAL 又设计制造了哪些环节，使 PAL 的功能大大增加？



实践环节

6.1 随机存取存储器 2114A及其应用

一、实验目的

（1）了解集成随机存取存储器 2114A 的工作原理；

（2）通过实验熟悉它的工作特性、使用方法及其应用。

二、实验器件

（1）＋5V 直流电源。

（2）单次时钟脉冲源和连续时钟脉冲源。

（3）逻辑电平开关。

（4）译码显示电路。

（5）静态随机存取存储器芯片 2114A、4 位二进制同步计数器集成电路 74LS161、8 线–3 线优先编译码器集成电路 74LS148、八缓冲器/线驱动器/线接收器集成电路 74LS244 芯片、四 2 输入与非门集成电路 74LS00、六反相器集成电路 74LS04。

（6）其他相关设备与导线。

三、实验原理

1．2114A静态随机存取存储器

2114A 是一种 1024 字×4 位的静态随机存取存储器，采用 HMOS 工艺制作，它的逻辑框图如图 6.22 所示。

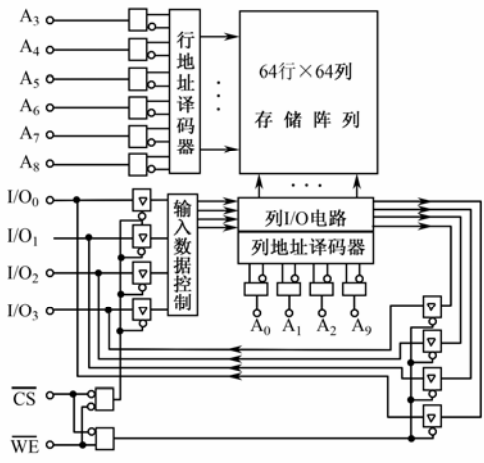


图 6.22　2114A 的逻辑框图

图中，有 4096 个存储单元排列成 64×64 矩阵。采用两个地址译码器，行译码（A_3～A_8）输出 X_0～X_{63}，从 64 行中选择指定的一行，列译码（A_0、A_1、A_2、A_9）输出 Y_0～Y_{15}，再从已选定的一行中选出 4 个存储单元进行读/写操作。I/O_0～I/O_3 既是数据输入端，又是数据输出端，$\overline{CS}$ 为片选信号，$\overline{WE}$ 是写使能，控制器件的读写操作。

2114A 的引脚排列图及电路图符号如图 6.23 所示。

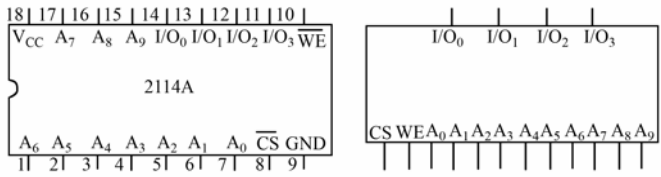


图 6.23　2114A 的引脚排列图及电路图符号

2114A 的引出端功能表如表 6-5 所示，2114A 的器件功能如表 6-6 所示。

表 6-5

端　名	功　能
A_0～A_9	地址输入端
$\overline{WE}$	写 选 通
$\overline{CS}$	芯片选择
I/O_0～I/O_3	数据输入/输出端
V_{CC}	＋5V

表 6-6

地址	$\overline{CS}$	$\overline{WE}$	I/O_0～I/O_3
有效	1	×	高阻态
有效	0	1	读出数据
有效	0	0	写入数据

（1）当器件要进行读操作时，首先输入要读出单元的地址码（A_0～A_9），并使 $\overline{WE}$ ＝1，给定的地址的存储单元内容（4 位）就经读写控制传送到三态输出缓冲器，而且只能在 $\overline{CS}$ ＝0 时才能把读出数据送到引脚（I/O_0～I/O_3）上。

（2）当器件要进行写操作时，在 I/O_0～I/O_3 端输入要写入的数据，在 A_0～A_9 端输入要写入单元的地址码，然后再使 $\overline{WE}$ ＝0，$\overline{CS}$ ＝0。必须注意，在 $\overline{CS}$ ＝0 时，$\overline{WE}$ 输入一个负脉冲，则能写入信息；同样，$\overline{WE}$ ＝0 时，$\overline{CS}$ 输入一个负脉冲，也能写入信息。因此，在地址码改变期间，$\overline{WE}$ 或 $\overline{CS}$ 必须至少有一个为 1，否则会引起误写入，冲掉原来的内容。为了确保数据能可靠地写入，写脉冲宽度 t_{WP} 必须大于或等于手册所规定的时间区间，当写脉冲结束时，就标志这次写操作结束。

2．2114A静态随机存取存储器的特点

① 采用直接耦合的静态电路，不需要时钟信号驱动，也不需要刷新。

② 不需要地址建立时间，存取特别简单。

③ 输入、输出同极性，读出是非破坏性的，使用公共的 I/O 端，能直接与系统总线相连接。

④ 使用单电源＋5V 供电，输入输出与 TTL 电路兼容，输出能驱动一个 TTL 门和 C_L＝100pF 的负载（I_{OL}＝2.1～6mA、I_{OH}＝－l.0 ～－1.4mA）。

⑤ 具有独立的选片功能和三态输出。

⑥ 器件具有高速与低功耗性能。

⑦ 读/写周期均小于 250ns。

随机存取存储器的种类繁多，2114A 是一种常用的静态存储器，是 2114A 的改进型。实验中也可以使用其他型号的随机存储器。如 6116 是一种使用较广的 2048×8 的静态随机存取存储器，它的使用方法与 2114A 相似，仅多了一个 $\overline{DE}$ 输出使能端，当 $\overline{DE}$ ＝0、$\overline{CS}$ ＝0、$\overline{DE}$ ＝1 时，读出存储器内信息；在 $\overline{DE}$ ＝1、$\overline{CS}$ ＝0、$\overline{DE}$ ＝0 时，则把信息写入存储器。

3．用 2114A静态随机存取存储器实现数据的随机存取及顺序存取

图 6.24 所示为电路原理图，为使实验接线方便，又不影响实验效果，2114A 中地址输入端保留前 4 位（A_0～A_3），其余输入端（A_4～A_9）均接地。

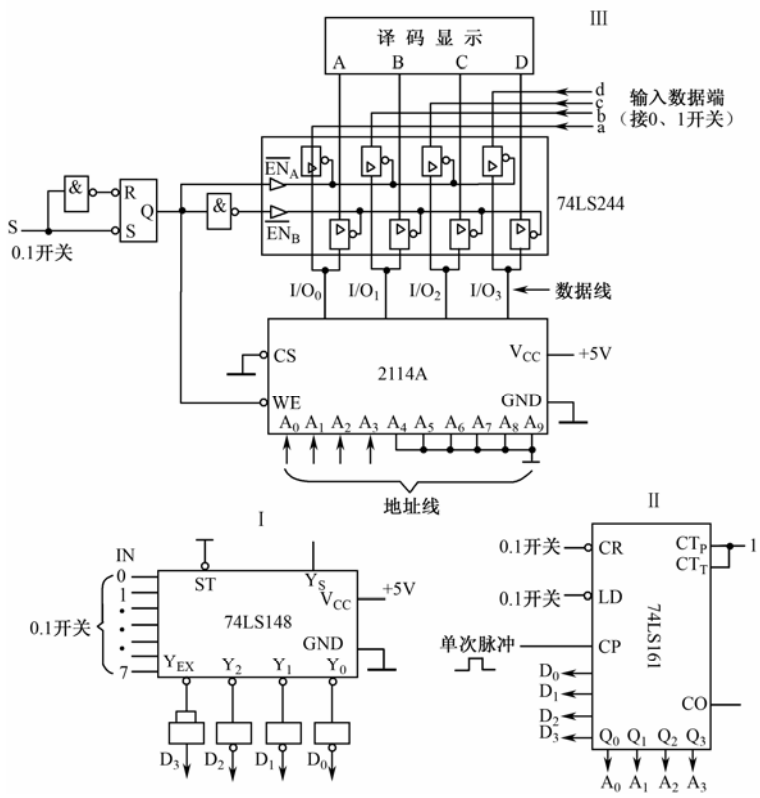


图 6.24　2114A 实现数据的随机存取及顺序存取实验原理图

（1）用 2114A 实现静态随机存取

如图 6.25 中单元Ⅲ：电路由三部分组成：① 由与非门组成的基本 RS 触发器与反相器，控制电路的读写操作；② 由 2114A 组成的静态 RAM；③ 由 74LS244 三态门缓冲器组成的数据输入输出缓冲和锁存电路。

① 当电路要进行写操作时，输入要写入单元的地址码（A_0～A_3）或使单元地址处于随机状态；RS 触发器控制端 S 接高电平，触发器置“0”，Q＝0、$\overline{EN}_A$＝0，打开了输入三态门缓冲器 74LS244，要写入的数据（abcd）经缓冲器送至 2114A 的输入端(I/O_0～I/O_3)。由于此时 $\overline{CS}$＝0，$\overline{WE}$＝0，因此便将数据写入了 2114A 中，为了确保数据能可靠的写入，写脉冲宽度 t_{WP} 必须大于或等于手册所规定的时间区间。

② 当电路要进行读操作时，输入要读出单元的地址码（保持写操作时的地址码）；RS 触发器控制端 S 接低电平，触发器置“1”，Q＝1，EN_B＝0，打开了输出三态门缓冲器 74LS244。由于此时$\overline{CS}$＝0，$\overline{WE}$＝1，要读出的数据（abcd）便由 2114A 内经缓冲器送至 ABCD 输出，并在译码器上显示出来。

注意：如果是随机存取，可不必关注 A_0～A_3（或 A_0～A_9）地址端的状态，A_0～A_3（或 A_0～A_9）可以是随机的，但在读写操作中要保持一致性。

（2）2114A 实现静态顺序存取

如图 6.25 中的单元Ⅰ：由 74LS148 组成的 8 线–3 线优先编码电路，主要是将 8 位的二进制指令进行编码形成 8421 码；如图中的单元Ⅱ：由 74LS161 二进制同步加法计数器组成的取址、地址累加等功能；如图中单元Ⅲ：由基本 RS 触发器、2114A、74LS244 组成的随机存取电路。

由 74LS148 组成优先编码电路，将 8 位（IN_0～IN_7）的二进制指令编成 8421 码（D_0～D_3）输出，是以反码的形式出现的，因此输出端加了非门求反。

① 写入：令二进制计数器 74LS161 $\overline{CR}$ =0，则该计数器输出清零，清零后置$\overline{CR}$ =1；令$\overline{LD}$ =0，加 CP 脉冲，通过并行送数法将 D_0～D_3 赋值给 A_0～A_3，形成地址初始值，送数完成后置$\overline{LD}$ =1。74LS161 为二进制加法计数器，随着每来一个 CP 脉冲，计数器输出将加 1，也即地址码将加 1，逐次输入 CP 脉冲，地址会以此累计形成一组单元地址；操作随机存取部分电路使之处于写入状态，改变数据输入端的数据 abcd，便可按 CP 脉冲所给地址依次写入一组数据。

② 读出：给 74LS161 输出清零，通过并行送数方法将 D_0～D_3 赋值给（A_0～A_3），形成地址初始值，逐次送入单次脉冲，地址码累计形成一组单元地址；操作随机存取部分电路使之处于读出状态，便可按 CP 脉冲所给地址依次读出一组数据，并在译码显示器上显示出来。

四、实验内容及步骤

1．用 2114A实现静态随机存取，按实验原理图接好实验线路，先断开各单元间连线

线路如图 6.25 中单元Ⅲ所示。

（1）写入

输入要写入单元的地址码及要写入的数据；再操作基本 RS 触发器控制端 S，使 2114A 处于写入状态，即$\overline{CS}$ =0、$\overline{WE}$ =0，$\overline{EN_A}$ =0，则数据便写入了 2114A 中，选取三组地址码及三组数据，记入表 6-7 中。

表 6-7　数据一

$\overline{WE}$	地 址 码（A_0～A_3）	数　据（a b c d）	2114A
0			
0			
0			

（2）读出

输入要读出单元的地址码；再操作基本 RS 触发器 S 端，使 2114A 处于读出状态，即$\overline{CS}$ =0、$\overline{WE}$ =1、$\overline{EN_B}$ =0，（保持写入时的地址码），要读出的数据便由全称显示出来，记入附表 6-4 中，并与附表 6-8 的数据进行比较。

表 6-8　数据二

$\overline{WE}$	地 址 码（A_0～A_3）	数　据（a b c d）	2114A
1			
1			
1			

2．2114A实现静态顺序存取

按照原理图连接好各单元间的连线连接图如图所示。

（1）顺序写入数据

假设 74LS148 的 8 位输入指令中，IN_2＝0、IN_0＝1、IN_2～IN_7＝1，经过编码得 $D_0D_1D_2D_3$＝1000，这个值送至 74LS161 输入端；给 74LS161 输出清零，清零后用并行送数法，将 $D_0D_1D_2D_3$＝1000 赋值给 $A_0A_1A_2A_3$＝1000，作为地址初始值；随后操作随机存取电路，使之处于写入状态。至此，数据便写入了 2114A 中，如果相应的输入几个单次脉冲，改变数据输入端的数据，则能依次地写入一组数据，将此数据记入表 6-9 中。

表 6-9　数据三

CP 脉冲	地址码（A_0～A_3）	数据（abcd）	2114A
↑	1000		
↑	0100		
↑	1100		

（2）顺序读出数据

给 74LS161 输出清零，用并行送数法，将原有的 $D_0D_1D_2D_3$＝1000 赋值给 $A_0A_1A_2A_3$，操作随机存取电路使之处于读状态。连续输入几个单次脉冲，则依地址单元读出一组数据，并在译码显示器上显示出来，将此数据记入表 6-10 中，并比较写入与读出数据是否一致。

表 6-10　数据四

CP 脉冲	地址码（A_0～A_3）	数据（abcd）	2114A	显示
↑	1000			
↑	0100			
↑	1100			

五、实验预习及要求

（1）复习随机存储器 RAM 和只读储器 ROM 的基本工作原理。

（2）查阅 2114A、74LS161、74LS148 有关资料，熟悉其逻辑功能及引脚排列。

（3）记录电路检测结果，并对结果进行分析。

（4）注意以下知识：

① 74LS1488 线–3 线优先编码器的引脚排列图如图 6.25 所示。

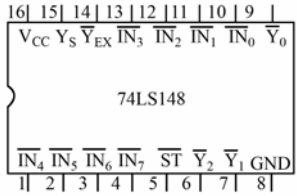


图 6.25　74LS148 优先编码器引脚排列图

其中，$\overline{IN_0}$～$\overline{IN_7}$：编码输入端（低电平有效）；$\overline{ST}$ 为选通输入端（低电平有效）；$\overline{Y_0}$～$\overline{Y_2}$

是编码输出端（低电平有效）；$\overline{Y}_{EX}$ 是扩展端（低电平有效）；Y_S 是选通输出端。

表 6-11 所示为 74LS148 的功能真值表。

表 6-11　74LS148 真值表

输　入									输　出				
$\overline{ST}$	$\overline{IN}_0$	$\overline{IN}_1$	$\overline{IN}_2$	$\overline{IN}_3$	$\overline{IN}_4$	$\overline{IN}_5$	$\overline{IN}_6$	$\overline{IN}_7$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_1$	$\overline{Y}_{EX}$	Y_S
1	×	×	×	×	×	×	×	×	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	×	×	×	×	×	×	×	0	0	0	0	0	1
0	×	×	×	×	×	×	0	1	0	0	1	0	1
0	×	×	×	×	×	0	1	1	0	1	0	0	1
0	×	×	×	×	0	1	1	1	0	1	1	0	1
0	×	×	×	0	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

② 74LS161 的引脚排列如图 6.26 所示。

各引脚的功能：CO 是进位输出端；CP 是时钟输入端（上升沿有效）；$\overline{CR}$ 是异步清除输入端（低电平有效）；CT_P 是计数控制端；CT_T 是计数控制端；D_0～D_3 是并行数据输入端；$\overline{LD}$ 是同步并行置入控制端（低电平有效）；Q_0～Q_3 是数据输出端。

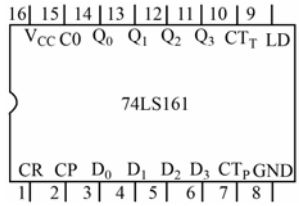


图 6.26　74LS161 优先编码器引脚排列图

74LS161 的功能真值表如表 6-12 所示。

表 6-12　74LS161 功能真值表

输　入									输　出			
$\overline{CR}$	$\overline{LD}$	CT_P	CT_T	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	1	1	1	↑	×	×	×	×	计　数			
1	1	0	×	×	×	×	×	×	保　持			
1	1	×	0	×	×	×	×	×	保　持			

③ 74LS244 八缓冲器/线驱动器/线接收器的引脚排列如图 6.27 所示。

各引脚功能为：1A～8A 是输入端；$\overline{EN}_A$ 和 $\overline{EN}_B$ 是三态允许端（低电平有效）；1Y～8Y 是输出端。其功能真值表如表 6-13 所示。

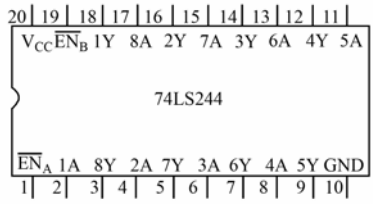


图 6.27　74LS244 引脚排列图

表 6-13　74LS244 功能真值表

输　入		输　出
$\overline{EN}$	A	Y
0	0	0
0	1	1
1	×	高阻态

④ 静态 SRAM 介绍。

静态 SRAM 具有存取速度快、使用方便等特点，但系统一旦掉电，内部所存数据便会丢失。所以，要使内部数据不丢失，必须不间断供电（断电后电池供电）。为此，多年来人们一直致力于非易失随机存取存储器（NV-SRAM）的开发，数据在掉电时自保护，强大的抗冲击能力，连续上电两万次数据不丢失。这种 NV-SRAM 的引脚与普通 SRAM 全兼容，目前已得到广泛应用。

常用的 SRAM 有：6116（2K×8）、6264（8K×8）、62256（32K×8）等，它们的引脚排列图如图 6.28 所示。

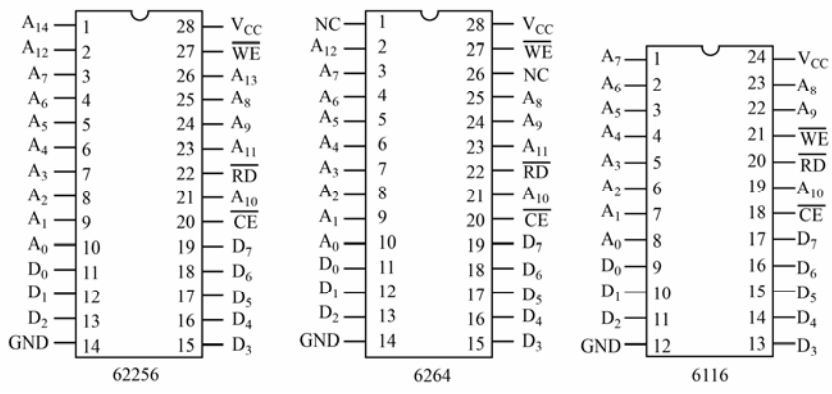


图 6.28　常用集成静态 SRAM 的引脚排列图

图中有关引脚的功能如下：A_0～A_i：地址输入端；D_0～D_7：双向三态数据端；$\overline{CE}$ 为片选信号输入端（低电平有效）；$\overline{RD}$ 为读选通信号输入端（低电平有效）；$\overline{WE}$ 为写选通信号输入端（低电平有效）；V_{CC} 是工作电源＋5V 端；GND 是接“地”端。

常用的 SRAM 的主要技术特性如表 6-14 所示。

表 6-14　SRAM 主要技术特性

型　　号	6116	6264	62256
容量（KB）	2	8	32
引脚数	24	28	28
工作电压（V）	5	5	5
典型工作电流（mA）	35	40	8
典型维持电流（mA）	5	2	0.9
存取时间（ns）	由产品型号而定		

常用 SRAM 操作方式如表 6-15 所示。

表 6-15　SRAM 操作方式

信号 / 方式	$\overline{CE}$	$\overline{RD}$	$\overline{WE}$	D_0～D_7
读	0	0	1	数据输出
写	0	1	0	数据输入
维持	1	×	×	高 阻 态

六、思考题

1．2114A 有十个地址输入端，实验中仅变化其中一部分，对于其他不变化的地址输入端应该如何处理？

2．为什么静态 RAM 无须刷新，而动态 RAM 需要定期刷新？

6.2　应用Multisim 8.0 电路仿真

一、学习目的

（1）进一步熟悉和掌握 Multisim 8.0 电路仿真技能；
（2）学会用 Multisim 8.0 进行可编程逻辑电路的仿真。

二、用Multisim 8.0 连接仿真电路

（1）用 PLA 实现 3 线–8 线译码器仿真电路；
（2）用 PAL 构成 2 位二进制减法计数器仿真电路。

第 6 章　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．一个存储矩阵有 64 行、64 列，则存储容量为_____个存储单元。

2．动态 MOS 存储单元是利用_____存储信息的，为了不丢失信息，必须_____。

3．EPROM 的存储单元是在 MOS 管中置入_____的方法实现的。写入程序时，在漏极和衬底之间加足够高的_____，可使 PN 结产生_____，产生的高能电子穿透二氧化硅绝缘层进入_____中。当将外部提供的电源去掉后，_____中的电子无放电回路而被保留下来。

4．半导体存储器按照存、取功能上的不同可分为_____和_____两大类。其中_____事先存入的信息不会因为下电而丢失；而_____关闭电源或发生断电时，其中的数据就会丢失。

5．可编程逻辑器件 PLD 一般由_____、_____、_____、_____四部分电路组成。

6．目前生产和使用的 PLD 产品主要有现场可编程逻辑阵列_____、可编程阵列逻辑_____、通用阵列逻辑_____等几种类型。

7．GAL16V8 主要有_____、_____、_____三种工作模式。

8．PAL 的与阵列_____，或阵列_____；PLA 的与阵列_____，或阵列_____；GAL 的与阵列_____，或阵列_____。

9．存储器的两大主要技术指标是_____和_____。

10．RAM 主要包括_____、_____和_____电路三大部分。

11．存储器容量的扩展方法通常有_____扩展、_____扩展和_____扩展三种方式。

12．ROM 按照存储信息写入方式的不同可分为_____ ROM、_____PROM、_____的 EPROM 和_____的 E^2PROM。

二、判断正误题（每小题 1 分，共 8 分）

1．可编程逻辑器件的写入电压和正常工作电压相同。（　　）

2．GAL 可实现时序逻辑电路的功能，也可实现组合逻辑电路的功能。（　　）

3．RAM 的片选信号 $\overline{CS}$ ＝“0”时被禁止读写。（　　）

4．EPROM 是采用浮置栅技术工作的可编程存储器。（　　）

5．PLA 的与阵列和或阵列都可以根据用户的需要进行编程。（　　）

6．存储器的容量指的是存储器所能容纳的最大字节数。（　　）

7．1024×1 位的 RAM 中，每个地址中只有 1 个存储单元。（　　）

8．可编程存储器的内部结构都存在**与**阵列和**或**阵列。（　　）

三、选择题（每小题 2 分，共 20 分）

1．图 6.29 输出端表示的逻辑关系为（　　）。

A．ACD　　B．$\overline{ACD}$

C．B　　D．$\overline{B}$

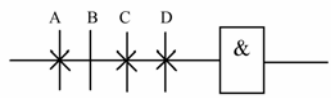


图 6.29

2．用电容的充电来存储数据，由于电路本身总有漏电，因此需定期不断补充充电（刷新）才能保持其存储的数据的是（　　）。

A．静态 RAM 的存储单元　　B．动态 RAM 的存储单元

3．关于存储器的叙述，正确的是（　　）。

A．存储器是随机存储器和只读存储器的总称

B．存储器是计算机上的一种输入输出设备

C．计算机停电时随机存储器中的数据不会丢失

4．已知存储器的容量为 2^{10} 位/片，则该存储器的容量为（　　）字节。

A．1024　　B．4　　C．4096　　D．8

5．一片容量为 1024B×4 位的存储器，表示有（　　）个存储单元。

A．1024　　B．4　　C．4096　　D．8

6．只能读出不能写入，但信息可永久保存的存储器是（　　）。

A．ROM　　B．RAM　　C．PRAM

7．ROM 中译码矩阵固定，且可将所有输入代码全部译出的是（　　）。

A．ROM　　B．RAM　　C．完全译码器

8．动态存储单元是靠（　　）的功能来保存和记忆信息的。

A．自保持　　B．栅极存储电荷

9．利用双稳态触发器存储信息的 RAM 叫（　　）RAM。

A．动态　　B．静态

10．在读/写的同时还需要不断进行数据刷新的是（　　）存储单元。

A．动态　　B．静态

四、简答题（每小题 5 分，共 20 分）

1．现有（1024B×4）RAM 集成芯片一个，该 RAM 有多少个存储单元？有多少条地址线？该 RAM 含有多少个字？其字长是多少位？访问该 RAM 时，每次会选中几个存储单元？

2．什么是 ROM？什么是 RAM？它们的结构组成相同吗？二者的主要区别是什么？

3．PAL 的结构特点是什么？PAL 有哪几种输出类型？

4．若存储器的容量为 256K×8 位，其地址线为多少位？数据线数？若存储器的容量为 512M×8 位，其地址线又为多少位?

五、计算题（共 32 分）

1．试用 ROM 实现下面多输出逻辑函数。（12 分）

$$Y_1 = \overline{A}BC + A\overline{B}C$$

$$Y_2 = A\overline{B}C\overline{D} + BC\overline{D} + \overline{A}BCD$$

$$Y_3 = ABC\overline{D} + ABCD$$

$$Y_4 = \overline{A}\,\overline{B}C\overline{D} + ABCD$$

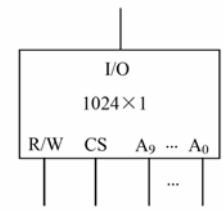


图 6.30

2．试用 1KB×1 位的 RAM 扩展成 1KB×4 位的存储器。说明需要几片如图 6.30 所示的 RAM，画出接线图。（10 分）

3．试用 ROM 构成一个 1 位数值的全加器。（10 分）

第 7 单元　数/模转换器和模/数转换器

任务导入

为了能够使用数字电路处理模拟信号，首先要把从传感器送来的模拟信号经放大和滤波（称模拟处理）后，经模/数转换器转换为相应的数字信号，才能送入数字系统读取、存储、处理（称为数字处理）、显示和传输；而处理后的数字信号往往还要再经数/模转换器变为模拟量输出，送给模拟控制器以控制诸如驱动仪表、电机运转等仪器设备。

随着近年来数字电子技术的迅速发展，尤其当计算机广泛用于工业控制、测量数据分析以后，用数字电路处理模拟信号的情况成为发展趋势，数/模转换器和模/数转换器成为数字系统中的重要组成部分。

图 7.1 所示为双通道数/模转换器与模/数转换器实物图。



图 7.1　高精度双通道 A/D–D/A 转换器

数/模转换器和模/数转换器作为沟通模拟、数字领域的纽带和桥梁，在使用计算机进行工业控制的过程中，它们是重要的接口电路；在数字测量仪器仪表中，模/数转换器是它们的核心电路；在对非电量的测量和控制系统中，它们是不可缺少的组成部分。因此，每一位电子工程技术人员，都应具备一定的数/模转换和模/数转换知识，才能在电子领域中有所发展和站稳脚跟。

目前使用的器数/模转换器和模/数转换器件大多是中规模集成电路，所以我们学习的难点虽然是器件内部详细的结构和工作过程，但这并不是教学和学习的重点，学习的重点应是模/数转换器和模/数转换器的转换原理、应用方法和技能。

本单元的学习任务如下：

（1）数/模转换器的基本工作原理、输入与输出关系的定量计算。

（2）模/数转换器的主要类型、采样定理、基本工作原理和综合性能比较。

（3）数/模转换器和模/数转换器的转换速度与转换精度及影响它们的主要因素。

通过本单元的学习，要求学习者理解数/模转换器和模/数转换器的基本概念；对权电阻网络数/模转换器、T 型及倒 T 型电阻网络等数/模转换器的电路形式、并行比较型模/数转换器、双积分型模/数转换器、逐次比较型模/数转换器的电路形式有一个大概的了解；掌握数/模转换器和模/数转换器的转换原理，重点理解和掌握采样定理；熟悉集成数/模转换器和模/数转换器的外部引脚功能，了解它们的主要技术指标意义，掌握它们的使用方法。

7.1 数/模转换器

数/模转换器（Digital to Analog Converter，DAC）能将数字量转换为与该数字量成正比的模拟电压。目前常见的有权电阻网络 DAC、倒梯形电阻网络 DAC、权电流型 DAC 以及开关树型 DAC 等。

7.1.1 数/模转换器基本概念及结构组成

1．DAC的基本概念

把数字量转换为模拟量的过程称为数/模转换，完成这种转换的电路称为数/模转换器。其中数字量用 D 表示，模拟量用 A 表示，用 C 代表转换器时，数/模转换器可简称 DAC。

DAC 输入的是离散的数字量，输出的则是与输入数字量成正比且连续变化的模拟电压（或电流）。我们知道，数字量总是用代码按数位组合起来表示的。对于有权码，每位代码都有一定的位权。DAC 的任务就是：将代表每一位的代码按其位权的大小转换成相应的模拟量，然后将这些模拟量相加，即可得到与输入数字量成正比的总模拟量，这样便实现了数字到模拟的转换。这是构成 DAC 的基本指导思想。

2．DAC的基本结构组成和分类

DAC 电路的基本结构组成如图 7.2 所示。

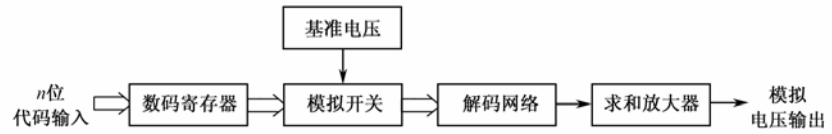


图 7.2 DAC 电路的基本结构组成框图

由结构框图可知，DAC 是由数码寄存器、基准电压，模拟电子开关、解码电阻网络四个基本部分组成。为了将模拟电流转换成模拟电压，通常还要在输出端外加运算放大器。

按解码网络结构的不同，DAC 可分为 T 型电阻网络、倒 T 型电阻网络、权电阻网络 DAC 等。按模拟电子开关电路的不同，DAC 又可分为 CMOS 开关型和双极型开关型。其中双极型开关 DAC 又分为电流开关型和 ECL 电流开关型两种，在速度要求不高的情况下，一般可选用 CMOS 开关型 DAC。如转换速度要求较高时，应选用双极型电流开关 DAC 或转换速度更高的 ECL 电流开关型 DAC。

7.1.2 DAC的功能

如图 7.2 中所示，DAC 的 n 位数字输入量，以串行或并行方式输入并存储在数码寄存器中；数码寄存器输出的各位二进制代码分别控制对应各位的模拟电子开关，使数码为 1 的位

在位权网络上产生与其权值成正比的电压（或电流）量，再由求和放大电路将各位权值所对应的电压（或电流）量相加，即可输出与输入数字量成正比的模拟量。

7.1.3 DAC的转换特性

DAC 的输出模拟量和输入数字量之间的转换关系称为它的转换特性。

对有权码的转换：先将每位代码按其权的大小转换成相应的电压（或电流）量，然后求和，即可得到与数字量成正比的总模拟量，即输出模拟量与输入数字量成正比。当输入为 n 位二进制代码 d_{n-1}、d_{n-2}、…、d_1、d_0 时，输出对应的模拟电压（或电流）为：

$$u_o(\text{或}i_o)=k_u(\text{或}k_i)(d_{n-1}\cdot 2^{n-1}+d_{n-2}\cdot 2^{n-2}+\cdots+d_1\cdot 2^1+d_0\cdot 2^0) \tag{7.1}$$

式（7.1）中的 k_u 或 k_i 为电压或电流的转换比例系数，2^{n-1}、2^{n-2}、…、2^1、2^0 是由 n 位二进制代码 D 从高位到最低位的权。

当转换系数 k_u（或 k_i）=1、n=3 时，根据式（7.1）可得 DAC 的转换特性曲线如图 7.3 所示。

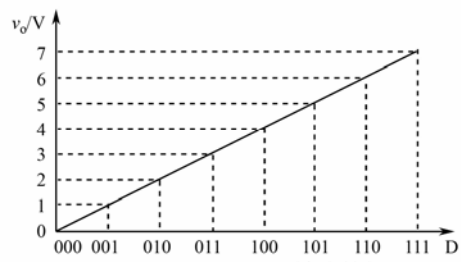


图 7.3　三位 DAC 的转换特性

由图 7.2 可知，DAC 电路的功能就是将输入的数字量转换成与其成正比的输出模拟量。在转换过程中，将输入的二进制数字信号转换成模拟信号，以电压或电流的形式输出。

7.1.4 DAC的主要技术指标

1．分辨率

分辨率是指 DAC 模拟输出所能产生的最小电压 U_{LSB}（或电流 I_{LSB}）变化量与满刻度输出电压 U_{FSR}（或电流 I_{LSB}）之比。

对于一个 n 位的 DAC，最小输出电压（或电流）的变化量，指的是对应输入数字量的最低位为 1，其他位均为 0 时的输出电压（或电流）；满刻度输出电压（或电流）指的是对应输入的数字量各位全为 1 时，其最大输出电压（或电流），即

$$\text{分辨率}=\frac{U_{LSB}}{U_{FSR}}=\frac{1}{2^n-1} \tag{7.2}$$

显然，分辨率与 DAC 的位数有关，例如一个 8 位的 DAC 位和一个 10 位的 DAC，它们的分辨率分别为

$$8\text{ 位的 DAC 分辨率}=\frac{1}{2^8-1}=\frac{1}{255}\approx 0.004$$

10 位的 DAC 分辨率$=\frac{1}{2^{10}-1}=\frac{1}{1023}\approx 0.001$

比较两个式子，可看出位数 n 越大，分辨率的数值就越小，电路的分辨能力越高。因此，实用中有时也拿输入数字量的有效位数来表示分辨率的高低。

2．绝对精度和非线性度

绝对精度（或绝对误差）是指输入端为给定数字量时，DAC 输出的实际值与理论值之差。一般来说，绝对精度应低于 $u_{LSB}/2$。

在满刻度范围内，偏离理想转换特性的最大值称为非线性误差。它与满刻度之比称为非线性度，常用百分比来表示。

3．建立时间

从 DAC 输入数字量开始，到输出电压（或电流）稳定到距最终输出量$\pm u_{LSB}$（$\pm i_{LSB}$）所需的时间，称为建立时间。由于数字量的变化越大，建立时间就越长，因此一般产品说明中给出的都是输入从全 0 跳变为全 1（或从全 1 跳变到全 0）时的建立时间。显然建立时间反映了 DAC 电路转换的速度。目前在不包含运算放大器的单片集成 DAC 中，建立时间最短可达 0.1μs 以内，在包含运算放大器的集成 DAC 中，建立时间最短的也可达 1.5μs 以内。

除上述三个技术指标外，在选用 DAC 器件时，还需要综合考虑其电源电压、输出方式、输出值范围及输入逻辑电平等参数。

7.1.5　DAC的转换原理

1．权电阻网络DAC

权电阻网络 DAC 电路如图 7.4 所示，其解码网络由权电阻网络构成。

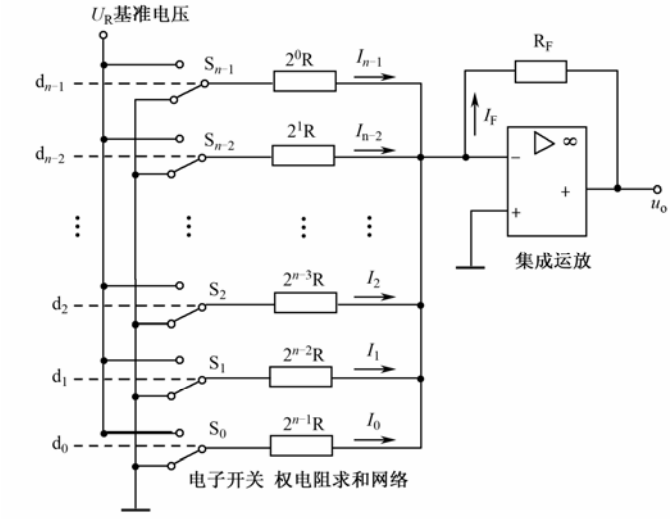


图 7.4　权电阻网络 DAC 的结构示意图

图中 n 位二进制数字量以并行输入方式加到 DAC 的输入端，每一位输入数码 d_i 控制一个

模拟电子开关 S_i。权电阻网络中的权电阻规律为：从最低位（LSB）到最高位（MSB），每一个位置上的电阻值都是相邻高位电阻值的 2 倍。

转换原理

权电阻网络和运算放大器构成了一个求和电路，当 d_i＝“1”时，S_i 接通 U_R，电阻 R_i 中流过电流 I_i；d_i＝“0”时，S_i 接地，电阻 R_i 两端电压为 0V，电流为 0。

当 d_0＝“1”时，流过该支路的电流为 $I_0=\dfrac{U_R}{R_0}=\dfrac{U_R}{2^{n-1}R}$ ；

……

当 d_{n-1}＝“1”时，流过该支路的电流为 $I_{n-1}=\dfrac{U_R}{R_{n-1}}=\dfrac{U_R}{R}$ 。

权电阻网络流入运算放大器的电流 I 为各支路电流之和，即

$$\begin{aligned} i=&\ I_0d_0+I_1d_1+I_2d_2+\cdots+I_{n-2}d_{n-2}+I_{n-1}d_{n-1}\\ =&\ \frac{U_R}{2^{n-1}R}d_0+\frac{U_R}{2^{n-2}R}d_1+\cdots+\frac{U_R}{2R}d_{n-2}+\frac{U_R}{R}d_{n-1}\\ =&\ \frac{U_R}{2^{n-1}R}\left(d_02^0+d_12^1+\cdots+d_{n-2}2^{n-2}+d_{n-1}2^{n-1}\right)\\ =&\ \frac{U_R}{2^{n-1}R}\sum_{i=0}^{n-1}\left(d_i\cdot 2^i\right) \end{aligned}$$

所以

$$i=\frac{U_R}{2^{n-1}R}D \tag{7.3}$$

式（7.3）是权电阻网络的电流转换特性，其中 $\dfrac{U_R}{2^{n-1}R}$ 为电流转换系数。

根据运算放大器求和运算的关系，当 R_F=R/2，则输出电压 $u_o=-\dfrac{U_R}{2^n}D$，对应电压转换系数为 $U_R/2^n$ 。

【例 7.1】在图 7.3 的权电阻求和网络 DAC 电路中，设基准电源 U_R＝－10V，反馈电阻 R_F＝R/2，输入二进制数 D 的位数 n＝6，试求：

① 当最低位输入数码（LSB）由 0 变为 1 时，输出电压 u_o 的变化量为何值？

② 当 D＝110101 时，输出电压 u_o 为何值？

③ 当 D＝111111 时，输出电压值（最大满刻度电压）u_o＝？

【解】 ① 当 LSB 由 0 变为 1 时，输出电压的变化量就是输入 D＝000001 所对应的输出电压，由图可知，运算放大器为反相输入电路，存在“虚地”现象，因此，输出电压的数值为：

$$u_o=u_{LSB}=\frac{-U_RR_F}{2^{n-1}\times R}2^0\times 1=\frac{-(-10\text{V})\times R/2}{2^5\times R}=\frac{10}{2^6}\approx 0.156\text{V}$$

② 当 D＝110101 时

$$\begin{aligned} u_o=&\ \frac{-U_R}{2^n}D=\frac{-(-10)}{2^6}(2^5\times 1+2^4\times 1+2^3\times 0+2^2\times 1+2^1\times 0+2^0\times 1)\\ =&\ \frac{10}{2^6}\times 53\approx 8.28\text{V} \end{aligned}$$

③ 当 D＝111111 时

$$u_o = \frac{-U_R}{2^6}(2^6-1) = \frac{10}{64} \times 63 \approx 9.84\text{V}$$

通过权电阻网络 DAC，使输出的模拟电压与输入的二进制数字量成正比，从而实现了数/模之间的转换。

权电阻网络 DAC 的优点是电路简单，概念清楚。缺点是权电阻的种类多，阻值范围宽，精度要求很高。因此，权电阻网络 DAC 仅应用于位数 n 较少的场合。

2．R-2R型T型电阻网络DAC

R-2R 倒 T 型电阻网络 DAC 的电路形式如图 7.5 所示。

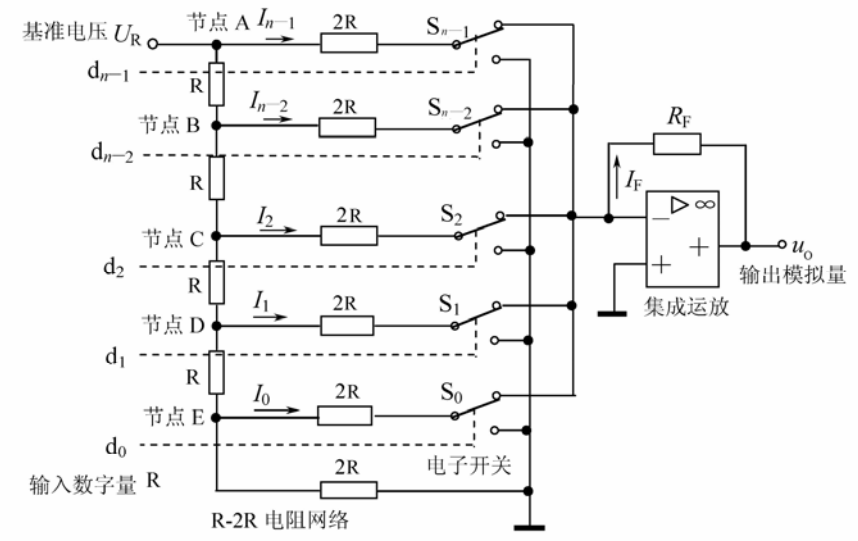


图 7.5　倒 T 型电阻网络 DAC

显然 R-2R 倒 T 型电阻网络 DAC 也是由电阻网络、电子开关、基准电压源 U_R 及运算放大器构成，倒 T 型电阻网络的电阻均为 R 和 2R，与权电阻网络完全不同。

转换原理

图 7.4 中的电阻网络中有 n 个节点，由电阻构成 T 型结构，从每个节点向左和向下看，每个支路的等效电阻均为 2R；从基准电压源 U_R 中流出的电流由节点 A→节点 B→……→节点 E→地的过程中，每经过一个节点，就产生 1/2 的电流流入电子开关，所以流入各电子开关的电流比例关系和二进制数各位的权相对应，流入运算放大器的电流和输入的数字量各位呈线性关系，从而实现了数/模的转换。另外，无论输入数字信号是 0 还是 1，电子开关的右边均为 0 电位，所以电路在工作的过程中，流过电阻网络的电流大小始终不变。R-2R 倒 T 型电阻网络 DAC 的输出电压为

$$u_o = -i_F R_F = -iR_F = -\frac{U_R R_F}{2^n R} D \qquad (7.4)$$

如果取 $R_F = R$，则输出电压 $u_o = -U_R / 2^n D$，显然这时的输出电压仅与基准电压 U_R 和电阻 R_F 有关，从而降低了对 R、2R 等其他参数的要求，对于电路的集成化十分有利。

R-2R 倒 T 型电阻网络由于流过各支路的电流恒定不变，故在开关状态变化时，不需电流

建立时间，而且在这种 DAC 转换器中又采用了高速电子开关，所以转换速度很高，在数/模转换器中被广泛采用。

7.1.6 集成DAC0832

1．DAC0832 的内部电路结构组成

DAC0832 是目前国内用得较普遍的数/模转换器。它是采用 CMOS 工艺制成的双列直插式单片 8 位数/模转换器，是 8 位的电流输出型数/模转换器。当对 0832 输入 8 位数字量后，通过外接运放，即可获得相应的模拟电压。DAC0832 的内部结构如图 7.6 所示。

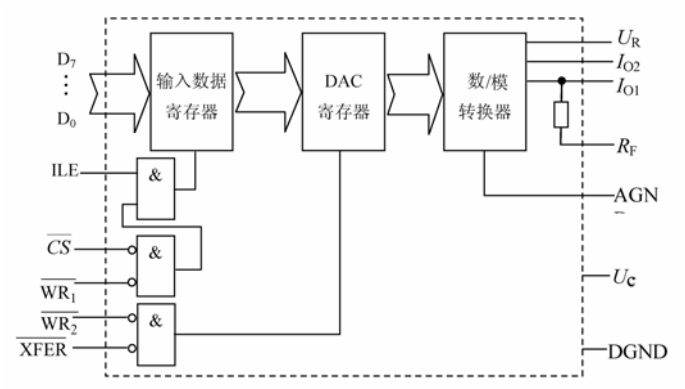


图 7.6　DAC0832 逻辑框图

由图可见，DAC0832 由一个数据寄存器、DAC 寄存器和数/模转换器三个部分组成。

DAC0832 内部采用倒 T 型电阻网络。输入数据寄存器和 DAC 寄存器用来实现两次缓冲，在输出的同时，可接收下一组数据，从而提高了转换速度。当采用多位芯片同时工作时，可用同步信号实现各片模拟量的同时输出。

DAC0832 的主要特性是：当芯片的控制端恒处于有效电平时，为直通工作方式；DAC0832 中无运算放大器，而且是电流输出，使用时必须外接运算放大器；芯片中已设置了 R_F，只要将引脚 9 接到运算放大器的输出端即可；若运算放大器增益不够，还须外加反馈电阻。

2．DAC0832 外部引脚

DAC0832 芯片的外部引脚排列图如图 7.7 所示。

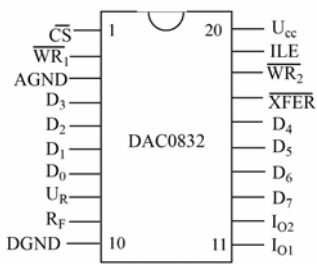


图 7.7　DAC0832 芯片的外部引脚排列图

各引脚的功能如下：

$\overline{CS}$ 为片选信号输入端，低电平有效。与 ILE 相配合，可对写信号 $\overline{WR_1}$ 是否有效起控制作用。

ILE 是允许输入锁存的信号，高电平有效。当 ILE 为高电平，$\overline{CS}$ 为低电平，$\overline{WR_1}$ 输入低电平时，输入数据进入输入寄存器。ILE＝0 时，输入寄存器处于锁存状态。

$\overline{WR_1}$ 为写信号 1，低电平有效。当 $\overline{WR_1}$、$\overline{CS}$、ILE 均有效时，可将数据写入 8 位输入寄存器。

$\overline{WR_2}$ 为写信号 2，低电平有效。当 $\overline{WR_2}$ 有效时，在 $\overline{XFER}$ 传送控制信号作用下，可将锁存在输入寄存器的 8 位数据写入 DAC 寄存器。

$\overline{XFER}$ 是数据传送信号，低电平有效。当 $\overline{WR_2}$、$\overline{XFER}$ 均为 0 时，DAC 寄存器处于寄存状态，$\overline{WR_2}$、$\overline{XFER}$ 均为 1 时，DAC 寄存器处于锁存状态。

U_R 是基准电源输入端，它与 DAC 内部的倒梯形网络相连，U_R 可在±10V 范围内调节。

D_0～D_7 是 8 位数字量输入端，D_7 为最高位，D_0 为最低位。

I_{O1} 是 DAC 的电流输出端 1，当 DAC 寄存器电位全为 1 时，输出电流为最大。当 DAC 寄存器各位全为 0 时，输出电流为零。

I_{O2} 是 DAC 的电流输出端 2，它使输出电流 $I_{O1}+I_{O2}$ 恒为一常数。一般在单极性输出时 I_{OWT2} 接地，在双极性输出时接运算放大器。

R_F 是反馈电阻。在 DAC0832 芯片内有一反馈电阻，可用作外部运放的反馈电阻。

U_{CC} 是电源输入线（一般为＋5～＋15V）；DGND 为数字“地”端；AGND 为模拟“地”端。

当 DAC0832 的控制端恒处于有效电平时，芯片为直通工作方式。

集成 DAC 芯片在实际电路中应用很广，它不仅可用来作为计算机系统的接口电路，还可利用其电路结构特征和输入、输出电量之间的关系构成数控电流源、电压源、数字式可编程增益控制电路和波形产生电路等。

思考与问题

1．试述 DAC 电路转换特性的概念，并写出其转换表达式。

2．DAC 的主要技术指标有哪些？

3．DAC0832 采用了什么制造工艺？内部主要由哪几部分组成？

4．R-2R 倒 T 型电阻网络具有什么特点？

7.2 模/数转换器

在模/数转换器（Analog to Digital Converter，ADC）中，由于输入的模拟量在时间上是连续的，输出的数字量在时间上是离散的，所以转换只能在一系列选定的瞬间对输入量进行采样，然后把采集到的模拟量转换成相应的输出数字量。

7.2.1 ADC的基本概念和转换原理

1．ADC的基本概念

ADC 是将模拟电压（或电流）转换为数字量的电路，广泛应用于计算机实时控制系统中。

利用计算机及时搜集检测数据，按最佳值对控制对象进行自动调节或自动控制。例如，热水器温度计算机实时控制系统，通过控制蒸汽流入热水器的速度使热水器的水保持一定的温度。用一个测温器测定热水器的水温，通过 ADC 将所测温度的信号转换为数字信号，送到计算机中，和所测温度值比较，产生误差信号。控制器按一定的规则，根据误差信号的大小，决定蒸汽阀门开闭程度的大小，并产生相应的信号，经过数/模转换装置，变成电流（或电压）信号，驱动蒸汽阀门的控制设备开大或关小蒸汽阀门。这一整套过程不需要人的干预，且响应速度很快，效果很好。

计算机实时控制系统主要由传感器、计算机、执行机构及模/数转换器和数/模转换器构成。传感器相当于人的眼睛，计算机相当于大脑，控制系统通过传感器获得关于被控制对象的信息，如温度、速度等，经过计算机分析、比较、判断后，指挥执行机构采取相应动作，保证被控制对象能及时达到某种状态。ADC 用来将所测得的被控制对象的某种连续物理量转换成为离散的数字量，DAC 用来将离散的数字量转换成为连续的物理量，去控制被控制对象。

ADC 转换电路的作用是将时间连续、幅值也连续的模拟量转换为时间离散、幅值也离散的数字信号，因此，在模/数转换过程中，只能在一系列选定的瞬间对输入模拟量采样后再转换为输出的数字量，通过采样、保持、量化和编码 4 个步骤完成。在实际电路中，这些过程有的是合并进行的，例如，取样和保持，量化和编码往往都是在转换过程中同时实现的。

2．ADC的转换原理

（1）采样保持电路

所谓采样就是采集模拟信号的样本。

采样是将时间上、幅值上都连续的模拟信号，通过采样脉冲的作用，转换成时间上离散，但幅值上仍连续的离散模拟信号。所以采样又称为波形的离散化过程。

采样过程通过模拟电子开关 S 来实现。

模拟电子开关每隔一定的时间间隔（周期 T）闭合一次，当一个连续的模拟信号通过这个电子开关时，就会转换成若干个离散的脉冲信号。

采样保持电路如图 7.8 所示。其中采样电子开关 S 受时钟脉冲 CP 的控制，C 是存储电容，输入的模拟量为 $u_i(t)$。

当 CP＝1 时，采样电子开关 S 接通，$u_i(t)$信号被采样，并送到电容 C 中暂存。当 CP＝0 时，采样电子开关 S 断开，在 CP＝1 期间采集到的模拟电压量在电容 C 上保持。

随着一个一个固定时间间隔的 CP＝1 信号到来，电路不断对模拟电压信号进行一个一个的采样，输出电压 $u_i'(t)$就转换成在时间上离散的模拟量。采样保持电路中输入模拟电压采样保持前后的波形如图 7.9 所示。

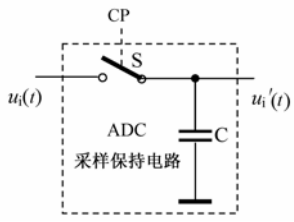


图 7.8　采样保持电路

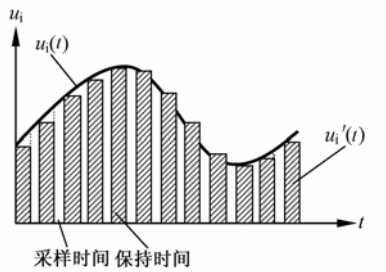


图 7.9　采样保持前后的波形图

（2）采样定理

由图 7.8 可见，为了能正确无误地保证采样信号 $u_i'(t)$ 能够基本上真实地保留原始模拟信号 $u_i(t)$的信息，采样信号必须有足够高的频率。可以证明，为了保证能从采样信号把原来的被采样信号恢复，必须满足

$$f_S \geqslant 2\, f_{imax} \tag{7.5}$$

式中 f_S 为采样频率，f_{imax} 为输入模拟信号中最高频率分量的频率。

式（7.5）所表达的就称为采样定理，即为保证采样信号最大不失真地保留被转换的输入模拟量采样电路的频率必须至少为输入模拟量中最高频率成分 f_{imax} 的 2 倍。**采样定理**是采样电路的基本法则。

采样保持电路不仅要遵守采样定理，同时要求采样电路的电子开关特性尽量趋于理想化，以保证最大限度不失真地恢复输入电压 $u_i(t)$。

3．量化编码电路

量化的概念：数字信号不仅在时间上是离散的，在数值上的变化也是不连续的。因此，任何一个数字量的大小只能是某个规定的最小数量单位的整数倍。在 A/D 转换过程中，必须把采样后离散的模拟输出电压，按某种近似方式归化到相应的离散电平上，离散电平为该最小数量单位的一个整数倍，这一转化过程称为数值量化，简称量化。量化后的数值还要通过编码过程用一个二进制代码表示出来，这个经编码后得到的二进制代码就是 ADC 的数字输出量。

显然，量化编码电路的作用是先将幅值连续可变的采样信号量化成幅值有限的离散信号，再将量化后的信号用对应该量化电平的一组二进制代码表示。量化过程中所取的最小数量单位称为量化当量，用δ表示。δ是数字量最低位为 1 时所对应的模拟量，即 U_{LSB}。量化的方法常采用两种近似量化方式：舍尾取整法和四舍五入法。

（1）舍尾取整法

以 3 位 ADC 为例，设输入信号 u_i(t)的变化范围为 0～8V，采用舍尾取整法量化方式时，若取δ=1V，则量化中不足量化单位部分统统舍弃，如 0～1V 之间的小数部分的模拟电压都当作 0δ，用二进制数 000 表示；数值在 1～2V 之间的小数部分也舍弃，对应的模拟电压当作 1δ，用二进制数 001 表示……这种量化方式的最大误差为δ。

（2）四舍五入法

采用四舍五入量化方式时，若取量化单位δ=8V/15，量化过程将不足半个量化单位的部分舍弃，对于等于或大于半个量化单位部分按一个量化单位处理。即将数值在 0～8V/15 之间的模拟电压都当作 0δ 对待，用二进制 000 表示，而数值在 8V/15～24V/15 之间的模拟电压均当作 1δ，用二进制数 001 表示……

例如：已知δ=1V，若采样电压=2.5V 时，用舍尾取整法得到的量化电压是 2V；若采用四舍五入法，得到的量化电压是 3V。

从上述分析可得，δ 的数值越小，量化的等级越细，ADC 的位数就越多。

在量化过程中，由于取样电压不一定能被δ 整除，所以量化前后不可避免地存在误差，此误差称之为量化误差，用δ 表示。量化误差属原理误差，是无法消除的。但是，各离散电平之间的差值越小，量化误差就越小。

采用舍尾取整法时，最大量化误差：

$$|\delta_{\max}|=\delta=1U_{\mathrm{LSB}}$$

采用四舍五入法最大量化误差为：

$$|\delta_{\max}|=\frac{1}{2}\delta$$

显然四舍五入法量化误差比舍尾取整法量化误差小，故为多数 ADC 所采用。

若要减小量化误差，则需要在测量范围内减小量化最小数量单位δ，增加数字量 D 的位数和模拟电压的最大值 U_{imax}。四舍五入量化方式的δ 值应按下式选取：

$$\delta=\frac{2U_{\mathrm{imax}}}{2^{\mathrm{n}+1}-1}$$

如 $V_{\mathrm{i}}=0\sim10\mathrm{V}$，$U_{\mathrm{imax}}=1\mathrm{V}$，用 ADC 电路将它转换成 $n=3$ 的二进制数，采用四舍五入量化法，其量化当量为

$$\delta=\frac{2U_{\mathrm{imax}}}{2^{n+1}-1}=\frac{2}{2^4-1}=\frac{2}{15}\mathrm{V}$$

根据量化当量，取$\frac{1}{2}\delta$ 为最小比较电平之后，相邻比较电平之间相差δ，得到各级的比较电平为：$\frac{1}{15}\mathrm{V}$、$\frac{3}{15}\mathrm{V}$、$\frac{5}{15}\mathrm{V}$、$\frac{7}{15}\mathrm{V}$、$\frac{9}{15}\mathrm{V}$、$\frac{11}{15}\mathrm{V}$、$\frac{13}{15}\mathrm{V}$。

7.2.2 ADC的主要技术指标

1．相对精度

相对精度是指 ADC 实际输出数字量与理论输出数字量之间的最大差值。通常用最低有效位 U_{LSB} 的倍数来衡量。如相对精度不大于 $U_{\mathrm{LSB}}/2$ 时，说明实际输出数字量与理论输出数字量的最大误差不超过 $U_{\mathrm{LSB}}/2$。

在满刻度范围内，偏离理想转换特性的最大值称为非线性误差。非线性误差与满刻度时最大值之比称非线性度，常用百分比表示。

2．分辨率

分辨率是指 ADC 输出数字量的最低位变化一个数码时，对应输入模拟信号的变化量。通常用 ADC 输出的二进制位数来表示。位数越多，误差越小，转换精度越高。

3．转换速度

ADC 完成一次转换所需要的时间，即从转换开始到输出端出现稳定的数字信号所需要的时间。转换速度反映了 ADC 转换的快慢程度。

此外，ADC 还有输入电压范围等参数。选用 ADC 转换器时，必须根据参数合理选择，否则就可能达不到技术要求，或者不经济。

7.2.3 逐次比较型ADC的电路组成及转换原理

1．逐次比较型ADC的电路组成

逐次比较型 ADC 是集成 ADC 芯片中使用较多的一种，其结构框图如图 7.10 所示。

逐次比较型 ADC 电路内部包括电压比较器、逻辑控制器、移位寄存器、数码寄存器、D/A 转换器等。由于内部有数模转换器，因此可使用在输出接有数据总线的场合。逐次比较型 ADC 通过对输入量的多次比较，最终得到输入模拟电压的量化编码输出。

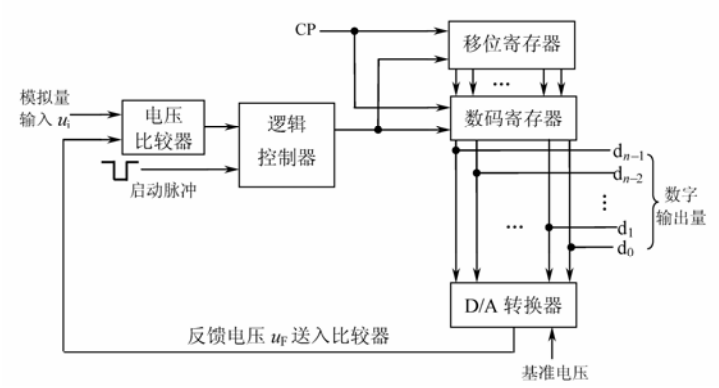


图 7.10　逐次比较型 ADC 电路框图

2．转换原理

模数转换开始前，各寄存器首先清 0。转换开始后，在时钟脉冲 CP 作用下，逻辑控制器首先使数码寄存器最高有效位处高电平 1，使输出数字为 100…0。

这个数字量经 DAC 转换后产生相应的模拟电压 u_F，回送到电压比较器中与输入信号 u_i 进行比较，当 $u_i \geqslant u_F$ 时，比较器输出 0，逻辑控制器控制寄存器保留最高位的 1，次高位置“1”；当 $u_i \leqslant u_F$ 时，比较器输出“1”，逻辑控制器控制寄存器最高位置“0”，次高位置“1”。数码寄存器存储的数据经 DAC 电路转换后输出反馈信号再到比较器，进行第二次比较，并将比较结果送入逻辑控制器，送入“0”时保留寄存器中高两位的值，并将第三位置“1”，若送入 1 保留最高位，次高位置“0”，第三位置“1”，寄存器内数据经 DAC 电路后输出反馈信号到比较器……经过逐次比较，直至得到寄存器中最低位的比较结果。比较完毕，数码寄存器中的状态就是所要求的 ADC 输出的数字量。

逐次比较型 ADC 在逐次比较过程中，将与输出数字量对应的离散模拟电压 $u_i'(t)$和不同的参考电压作多次比较，使转换所得的数字量在数值上逐次逼近输入模拟量对应值，因此也称为逐次逼近型模/数比较器。

逐次逼近型 ADC 具有转换速度快的特点，因此得到了广泛应用。

7.2.4　双积分型ADC的电路组成及转换原理

双积分型 ADC 的基本原理是对输入模拟电压 u_i 和参考电压各进行一次积分，先将模拟电压 u_i 转换成与其大小相对应的时间间隔 T，再在此时间间隔内用计数率不变的计数器进行计数，计数器所计下的数字量正比于输入的模拟电压 u_i。

1．结构组成

图 7.11 所示为双积分型 ADC 的结构组成框图。由图可知，它由电子开关、积分器、零比较器、逻辑控制器、计数器等组成。

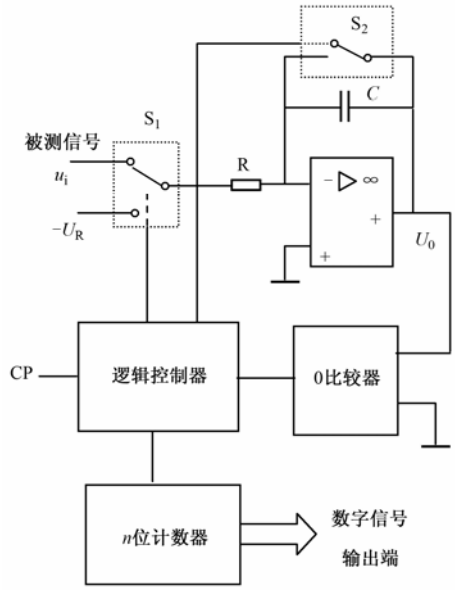


图 7.11　双积分 ADC 原理框图

由电容和运放构成的积分器是双积分 ADC 的核心部分，其输入端所接开关 S_1 由定时信号控制。当定时信号为不同电平时，极性相反的输入电压 u_i 和参考电压 U_R 将分别加到积分器的输入端，进行两次方向相反的积分，积分时间常数 $\tau=RC$。

过零比较器用来确定积分器的输出电压过零的时刻。当积分器输出电压大于 0 时，比较器输出为低电平；当积分器输出电压小于 0 时，比较器输出为高电平。比较器的输出信号接至时钟控制逻辑门作为关门和开门信号。

计数器由 $n+1$ 个接成计数器的触发器 FF_0～FF_{n-1} 串联组成。触发器 FF_0～FF_{n-1} 组成 n 级计数器，对输入时钟脉冲 CP 计数，以便把与输入电压平均值成正比的时间间隔转变成数字信号输出。当计数到 2^n 个时钟脉冲时，FF_0～FF_{n-1} 均回到 0 态，而 FF_n 翻转到 1 态，$Q_n=1$ 后开关 S_1 位置发生转换。

时钟脉冲源采用标准周期，作为测量时间间隔的标准时间。当 $U_0=1$ 时，门打开，时钟脉冲通过门加到触发器 FF_0 的输入端。

2．转换原理

双积分型 ADC 在积分前，计数器应先清零，然后闭合电子开关 S_2，随后再把 S_2 打开，把电容 C 上储存的电荷电压释放掉。

在采样阶段，开关 S_1 与被测电压接通，S_2 打开。被测电压被送入积分器进行积分，积分器输出电压小于 0，比较器输出高电平 1，逻辑控制器控制计数器开始计数，对被测电压的积分持续到计数器由全 1 变为全 0 的瞬间。当计数器为 n 位时，计数时间 $T_1=2^nT_c$（T_c 是时钟脉冲的周期）。这时积分器的输出电压为

$$u_{01}=-\frac{1}{C}\int_0^{T_1}\frac{u_i}{R}\mathrm{d}t=-\frac{T_1}{RC}u_i$$

当计数器由全 1 变为全 0 时，进入比较阶段，控制器使 S_1 与参考电压 $-U_R$ 相接，这时积分器对 $-U_R$ 反向积分，电压 u_o 逐渐上升，计数器又从 0 开始计数。当积分器积分至 $u_o=0$ 时，

比较器输出低电平 0，控制器封锁 CP 脉冲，使计数器停止计数，若计数器的输出数码为 D，此时积分器的输出电压与计数器的输出数码之间的关系为

$$-\frac{T_1}{RC}u_i+\frac{1}{C}\int_0^{T_2}\frac{U_R}{R}dt=\frac{1}{RC}(T_2U_R-T_iu_i)=0$$

而 $T_2=D\cdot T_C$，所以

$$D=\frac{T_1u_i}{T_CU_R}=\frac{2^n}{U_R}u_i$$

即计数器输出的数码与被测电压成正比，可以用来表示模拟量的采样值。

双积分型 ADC 的转换精度很高，但转换速度较慢，不适合高速应用场合。但是双积分型 ADC 的电路不复杂，在数字万用表等对速度要求不高的场合下，仍然得到了较为广泛的使用。

7.2.5 集成ADC0809

集成 ADC0809 芯片内部包括模拟多路转换开关和 A/D 转换两大部分。

模拟多路转换开关由 8 路模拟电子开关、3 位地址锁存器和译码器组成，地址锁存器允许信号 ALE 将 3 位地址信号 ADDC、ADDB 和 ADDA 进行锁存，然后由译码电路选通其中一路模拟信号加到 A/D 转换部分进行转换。A/D 转换部分包括比较器、逐次逼近寄存器 SAR、256R 电阻网络、树状电子开关、控制电路与时序电路等，另外具有三态输出锁存缓冲器，其输出数据线可直接连 CPU 的数据总线。

ADC0809 是采用 CMOS 工艺制成的 8 位 ADC，内部采用逐次逼近比较结构形式。ADC0809 具有 28 个引脚，其集成芯片引脚图如图 7.12 所示。

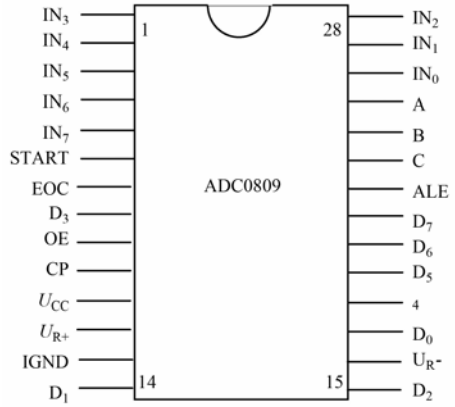


图 7.12　ADC0809 引脚排列图

ADC0809 各引脚的功能如下：

IN_0～IN_7：8 个模拟信号输入端。由地址译码器控制将其中一路送入转换器进行转换。

A、B、C：模拟信道的地址选择。

ALE：地址锁存允许信号，高电平时可进行模拟信道的地址选择。

START：启动信号。上升沿将寄存器清零，下降沿开始进行转换。

EOC：模/数转换结束，高电平有效。

CP：时钟脉冲输入。

OE：输出允许。高电平时将转换结果送到数字量输出端口。

D_0～D_7：数字量输出端口。

U_{R+}：正参考电压输出。

U_{R-}：负参考电压输出。

U_{CC}：电源。

GND：地。

ADC0809 内部由树状开关和 256R 电阻网络构成 8 位 D/A 转换器，其输入为逐次近似寄存器（SAR）的 8 位二进制数据，输出为 U_{ST}，变换器的参考电压为 $U_{R(+)}$和 $U_{R(-)}$。

在比较前，SAR 为全 0，变换开始，先使 SAR 的最高位为 1，其余仍为 0，此数字控制树状开关输出 U_{ST}，U_{ST} 和模拟输入 U_{IN} 送比较器进行比较。若 $U_{ST}>U_{IN}$，则比较器输出逻辑 0，SAR 的最高位由 1 变为 0；若 $U_{ST}\leqslant U_{IN}$，则比较器输出逻辑 1，SAR 的最高位保持 1。此后，SAR 的次高位置 1，其余较低位仍为 0，而以前比较过的高位保持原来值。再将 U_{ST} 和 U_{IN} 进行比较。此后的过程与上述过程类似，直到最低位比较完为止。

转换结束后，SAR 的数字送三态输出锁存器，以供读出。

思考与问题

1．何谓采样定理？采样保持电路的作用是什么？

2．ADC 的量化分别采用哪两种方式？它们的量化当量δ各按什么公式选取？

3．两种量化方式的量化误差各在什么范围内？哪种量化方式精度高一些？



实践环节

7.1　A/D与D/A转换电路的研究

一、实验目的

（1）了解 A/D 和 D/A 转换器的基本工作原理和基本结构。

（2）掌握 DAC0832 和 ADC0809 的功能及基典型应用。

二、实验主要仪器设备

（1）＋5V 直流电源及数字电路实验装置　　一套

（2）双踪示波器　　一台

（3）数字万用表　　一块

（4）集成数/模转换器 DAC0832，集成模/数转换器 ADC0809，集成运放μA741，电阻、电容、电位器等。

（5）相关实验设备及连接导线若干。

三、实验原理电路

集成数/模转换器（DAC）是用来将数字量转换成模拟量；模/数转换器（ADC）是将模拟量转换成数字量。目前 A/D、D/A 转换器较多，本实验选用大规模集成电路，DAC0832 和

ADC0809 分别实现 D/A 转换和 A/D 转换。

1．集成DAC0832 和集成ADC0809 实验原理电路

前面的教学内容中已经讲到 DAC0832 是一个具有 20 引脚的集成电路，其引脚排列如图 7.13 所示。

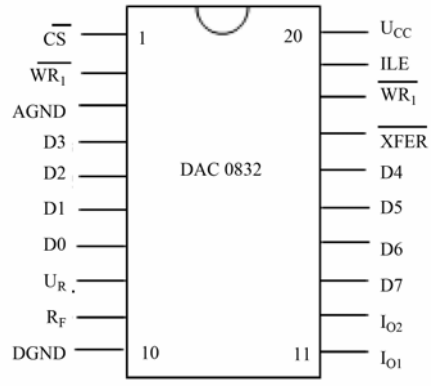


图 7.13　DAC0832 引脚排列图

DAC0832 是一个 8 位的 D/A 转换器，其引脚功能可参看前面所述。DAC0832 实验转换原理电路如图 7.14 所示。

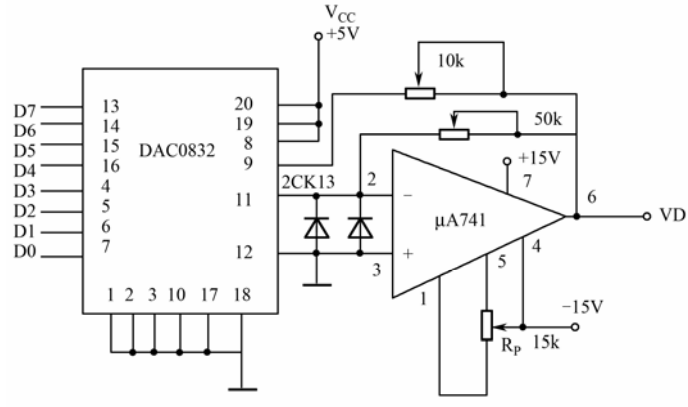


图 7.14　DAC0832 实验原理电路图

2．集成电路ADC0809

集成芯片 ADC0809 是采用 CMOS 工艺制成的 8 位八通道逐次渐近型 A/D 转换器。其引脚排列如图 7.15 所示。

图中各引脚功能如课本 P202～203 页所述。

OE：输入允许信号，高电平有效

Clock(cp)：时钟，外接时钟频率一般为 640kHz

VCC：＋5V 单电源供电端

VREF（＋）、VREF（－）：基准电压，通常 VREF（＋）接 15V、VREF（－）接 0V

D0～D7：数字信号输出端

地址线 A0、A1、A2，分别对应 23 条输入线即对应 IN0～IN7

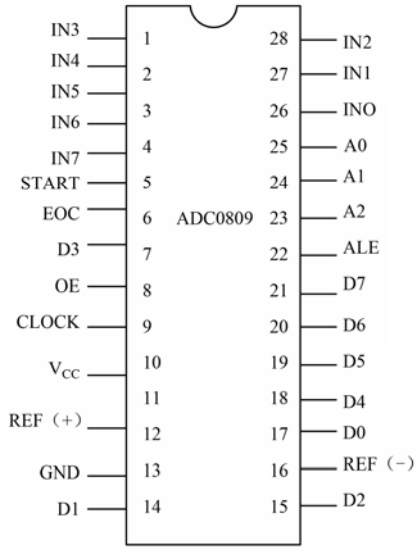


图 7.15　ADC0809 引脚排列图

3．实验原理电路

ADC0809 实验原理电路如图 7.16 所示。

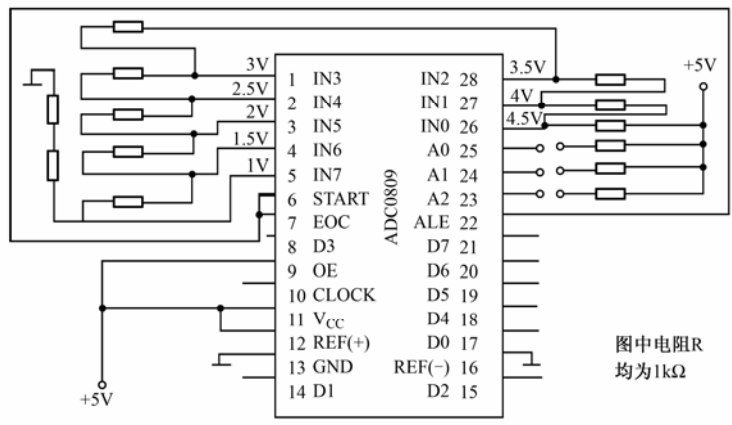


图 7.16　ADC0809 实验原理电路

四、实验步骤

（1）按数/模转换实验电路连线：D0～D7 接数字实验箱上的电平开关的输出端。输出端 V_o 接数字电压表。

（2）让 D0～D7 均为低电平“0”。对 MA741 调零，调节调零电位器，使 V_o＝0V。

（3）在 D0～D7 输入端依次输入数字信号，用数字电压表测量输出电压 V_o，并记录在自制表格中。

（4）按图 7.16 连接电路。其中让 D7～D0 接 LED 逻辑电平输入插口，时钟脉冲 CP 由 1kHz 连续脉冲信号源提供。A0、A1、A2 接逻辑电平开关。

① 取 R＝1kΩ用数字万用表测 IN0～IN7 端的电压值，是否为 4.5V、4V、…、1V。

② 依次设定 A2、A1、A0，记录 D1～D7，并填于表 7-1 中。

表 7-1　数据表

模拟通道	输入模拟量	地址	输出数字量							
IN	U_i(V)	$A_2A_1A_0$	D7	D6	D5	D4	D3	D2	D1	D0
IN0	4.5	000								
IN1	4.0	001								
IN2	3.5	010								
IN3	3.0	011								
IN4	2.5	100								
IN5	2.0	101								
IN6	1.5	110								
IN7	1.0	111								

五、思考题

1．DAC 的分辨率与哪些参数有关？

2．为什么 D/A 转换器的输出端都要接运算放大器？

7.2　应用Multisim 8.0 电路仿真

一、学习目的

（1）进一步熟悉和掌握 Multisim 8.0 电路仿真技能；

（2）学会用 Multisim 8.0 进行 ADC 和 DAC 的仿真。

二、用Multisim 8.0 连接仿真电路

（1）用 Multisim 8.0 实现 DAC 仿真电路。

（2）用 Multisim 8.0 实现 ADC 仿真电路。

第 7 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 21 分）

1．DAC 电路的作用是将_____量转换成_____量。ADC 电路的作用是将_____量转换成_____量。

2．DAC 电路的主要技术指标有_____、_____和_____及_____；ADC 电路的主要技术指标有_____、_____和_____。

3．DAC 通常由_____、_____、_____、_____四个基本部分组成。为了将模拟电流转换成模拟电压，通常还要在输出端外加_____。

4．按解码网络结构的不同，DAC 可分为_____网络、_____网络等。按

模拟电子开关电路的不同，DAC 又可分为_____开关型和_____开关型。

5．模数转换的量化方式有_____法和_____两种，如量化当量为δ，则量化误差分别为_____和_____。

6．在模/数转换过程中，只能在一系列选定的瞬间对输入模拟量_____后再转换为输出的数字量，通常需经过_____、_____、_____和_____四个过程来完成模/数转换。

7．_____型 ADC 换速度较慢，_____型 ADC 转换速度高。

8．_____型 ADC 内部有数模转换器，因此转换速度快。

9．_____型电阻网络 DAC 中的电阻只有_____和_____两种，与_____网络完全不同。而且在这种 DAC 转换器中又采用了_____，所以_____很高。

10．ADC0809 是采用_____工艺制成的_____位 ADC，内部采用_____结构形式。DAC0832 采用的是_____工艺制成的双列直插式单片 8 位数模转换器。

二、判断正误题（每小题 1 分，共 10 分）

1．DAC 的输入数字量的位数越多，分辨能力越低。（　　）

2．原则上说，R-2R 倒 T 型电阻网络 DAC 输入和二进制位数不受限制。（　　）

3．若要减小量化误差ε，就应在测量范围内增大量化当量δ。（　　）

4．量化的两种方法中舍尾取整法较好些。（　　）

5．ADC0809 二进制数据输出是三态的，允许直接连 CPU 的数据总线。（　　）

6．逐次比较型模数转换器转换速度较慢。（　　）

7．双积分型 ADC 中包括数/模转换器，因此转换速度较快。（　　）

8．δ的数值越小，量化的等级越细，A/D 转换器的位数就越多。（　　）

9．在满刻度范围内，偏离理想转换特性的最大值称为相对精度。（　　）

10．采样定理告诉我们：采样电路的频率必须至少为输入模拟量中最高频率成分 f_{imax} 的 2 倍。（　　）

三、选择题（每小题 2 分，共 20 分）

1．ADC 的转换精度取决于（　　）。

A．分辨率　　B．转换速度　　C．分辨率和转换速度

2．对于 n 位 DAC 的分辨率来说，可表示为（　　）。

A．$\frac{1}{2^n}$　　B．$\frac{1}{2^{n-1}}$　　C．$\frac{1}{2^n-1}$

3．R-2R 倒 T 型电阻网络 DAC 中，基准电压源 U_R 和输出电压 u_o 的极性关系为（　　）。

A．同相　　B．反相　　C．无关

4．采样保持电路中，采样信号的频率 f_S 和原信号中最高频率成分 f_{imax} 之间的关系是必须满足（　　）。

A．$f_S \geqslant 2f_{imax}$　　B．$f_S < f_{imax}$　　C．$f_S = f_{imax}$

5．如果 $u_i = 0 \sim 10V$，$U_{imax} = 1V$，若用 ADC 电路将它转换成 $n=3$ 的二进制数，采用四舍五入量化法，其量化当量为（　　）。

A．1/8（V）　　B．2/15（V）　　C．1/4（V）

6．DAC0832 是属于（　　）网络的 DAC。

A．R-2R 倒 T 型电阻　　B．T 型电阻　　C．权电阻

7．和其他 ADC 相比，双积分型 ADC 转换速度（　　）。

A．较慢　　B．很快　　C．极慢

8．如果 u_i＝0～10V，U_{imax}＝1V，若用 ADC 电路将它转换成 n＝3 的二进制数，采用四舍五入量化法的最大量化误差为（　　）。

A．1/15（V）　　B．1/8（V）　　C．1/4（V）

9．ADC0809 输出的是（　　）。

A．8 位二进制数码　　B．10 位二进制数码　　C．4 位二进制数码

10．ADC0809 是属于（　　）的 ADC。

A．双积分型　　B．逐次比较型

四、简答题（共 13 分）

1．试述采样定理。（3 分）

2．试述量化的概念。（3分）

3．何谓 DAC 的建立时间？（3 分）

4．权电阻网络 DAC 和 R-2R 倒 T 型电阻网络 DAC 相比，哪一个转换速度高？为什么？（4 分）

五、计算设计题（共 36 分）

1．已知某 DAC 电路的最小分辨电压 U_{LSB}＝40mV，最大满刻度输出电压 U_{FSR}＝0.28V，试求该电路输入二进制数字量的位数 n 应是多少？（6 分）

2．如图 7.17 所示电路中 R＝8kΩ，R_F＝1 kΩ，U_R＝－10V，试求：

（1）在输入 4 位二进制数 D＝1001 时，网络输出 u_o＝？

（2）若 u_o＝1.25V，则可以判断输入的四位二进制数 D＝？（8 分）

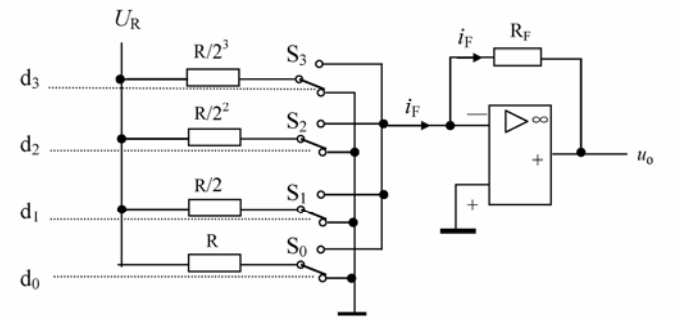


图 7.17

3．在倒 T 型电阻网络 DAC 中，若 U_R＝10V，输入 10 位二进制数字量为（1011010101），试求其输出模拟电压为何值？（已知 R_F＝R＝10kΩ）（6 分）

4．已知某一 DAC 电路的最小分辨电压 U_{LSB}＝40mV，最大满刻度输出电压 U_{FSR}＝0.28V，试求该电路输入二进制数字量的位数 n 应是多少？（6 分）

5．如图 7.18 所示的权电阻网络 DAC 电路中，若 n＝4，U_R＝5V，R＝100Ω, R_F＝50Ω，

试求此电路的电流转换系数和电压转换系数。若输入四位二进制数 $D=1001$，则它的输出电压 $u_o=$？（10 分）

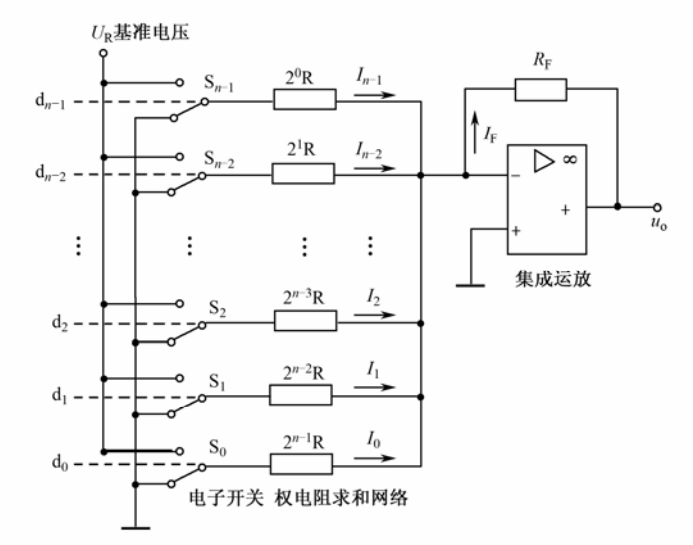


图 7.18

第 1 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．由二值变量所构成的因果关系称为 逻辑 关系。能够反映和处理 逻辑 关系的数学工具称为逻辑代数。

2．在正逻辑的约定下，“1”表示 高 电平，“0”表示 低 电平。

3．数字电路中，输入信号和输出信号之间的关系是 逻辑 关系，所以数字电路也称为 逻辑 电路。在 逻辑 关系中，最基本的关系是 与逻辑 、 或逻辑 和 非逻辑 。

4．用来表示各种计数制数码个数的数称为 基数 ，同一数码在不同数位所代表的 权 不同。十进制计数各位的 基数 是 10， 位权 是 10 的幂。

5． 8421 BCD 码和 2421 码是有权码； 余 3 码和 格雷 码是无权码。

6． 进位计数制 是表示数值大小的各种方法的统称。一般都是按照进位方式来实现计数的，简称为 数 制。任意进制数转换为十进制数时，均采用 按位权展开求和 的方法。

7．十进制整数转换成二进制时采用 除 2 取余 法；十进制小数转换成二进制时采用 乘 2 取整 法。

8．十进制数转换为八进制和十六进制时，应先转换成 二进 制，然后再根据转换的 二进 数，按照 三个数码 一组转换成八进制；按 4 个数码 一组转换成十六进制。

9．逻辑代数的基本定律有 交换 律、 结合 律、 分配 律、 反演 律和 非非 律。

10．最简与或表达式是指在表达式中 与项中的变量 最少，且 或项 也最少。

11．卡诺图是将代表 最小项 的小方格按 相邻 原则排列而构成的方块图。卡诺图的画图规则：任意两个几何位置相邻的 最小项 之间，只允许 1 位变量 的取值不同。

12．在化简的过程中，约束项可以根据需要看作 1 或 0 。

二、判断正误题（每小题 1 分，共 10 分）

1．奇偶校验码是最基本的检错码，用来使用 PCM 方法传送讯号时避免出错。（ 对 ）

2．异或函数与同或函数在逻辑上互为反函数。（ 对 ）

3．8421BCD 码、2421BCD 码和余 3 码都属于有权码。（ 错 ）

4．二进制计数中各位的基是 2，不同数位的权是 2 的幂。（ 对 ）

5．每个最小项都是各变量相“与”构成的，即 n 个变量的最小项含有 n 个因子。（ 对 ）

6．因为逻辑表达式 A＋B＋AB＝A＋B 成立，所以 AB＝0 成立。（ 错 ）

7．逻辑函数 $F=A\overline{B}+\overline{A}B+\overline{B}C+B\overline{C}$ 已是最简与或表达式。（ 错 ）

8．利用约束项化简时，将全部约束项都画入卡诺图，可得到函数的最简形式。（ 错 ）

9．卡诺图中为 1 的方格均表示逻辑函数的一个最小项。（ 对 ）

10．在逻辑运算中，“与”逻辑的符号级别最高。（ 对 ）

11．标准与或式和最简与或式的概念相同。（ 对 ）

12．二极管和三极管在数字电路中可工作在截止区、饱和区和放大区。（ 错 ）

三、选择题（每小题 2 分，共 20 分）

1．逻辑函数中的逻辑“与”和它对应的逻辑代数运算关系为（ B ）。

A．逻辑加　　B．逻辑乘　　C．逻辑非

2．十进制数 100 对应的二进制数为（ C ）。

A．1011110　　B．1100010　　C．1100100　　D．11000100

3．和逻辑式 $\overline{AB}$ 表示不同逻辑关系的逻辑式是（ B ）。

A．$\overline{A}+\overline{B}$　　B．$\overline{A}\cdot\overline{B}$　　C．$\overline{A}\cdot B+\overline{B}$　　D．$A\cdot\overline{B}+\overline{A}$

4．数字电路中机器识别和常用的数制是（ A ）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

5．以下表达式中符合逻辑运算法则的是（ D ）。

A．$C\cdot C=C^2$　　B．1＋1＝10　　C．0<1　　D．A＋1＝1

6．A＋BC＝（ C ）。

A．A＋B　　B．A＋C　　C．（A＋B）（A＋C）　　D．B＋C

7．在（ D ）输入情况下，“与非”运算的结果是逻辑 0。

A．全部输入是 0　　B．任一输入是 0

C．仅一输入是 0　　D．全部输入是 1

8．逻辑变量的取值 1 和 0 可以表示（ ABCD ）。

A．开关的闭合、断开　　B．电位的高、低

C．真与假　　D．电流的有、无

9．求一个逻辑函数 F 的对偶式，可将 F 中的（ ABD ）。

A．“·”换成“＋”，“＋”换成“·”　　B．原变量换成反变量，反变量换成原变量

C．变量不变　　D．常数中“0”换成“1”，“1”换成“0”

10．在（ BCD ）输入情况下，“或非”运算的结果是逻辑 0。

A．全部输入是 0　　B．全部输入是 1

C．任一输入为 0，其他输入为 1　　D．任一输入为 1

四、简述题（每小题 4 分，共 16 分）

1．逻辑代数与普通代数有何异同？

答：逻辑代数中仅含有 0 和 1 两个数码，普通代数含有的数码是 0～9 个，逻辑代数是逻辑运算，普通代数是加、减、乘、除运算。

2．什么是最小项？最小项具有什么性质？

答：一个具有 n 个逻辑变量的与或表达式中，若每个变量以原变量或反变量形式仅出现一次，就可组成 2^n 个“与”项，我们把这些“与”项称为 n 个变量的最小项，分别记为 m_n。最小项具备下列性质：

① 对于任意一个最小项，只有一组变量取值使它的值为 1，而变量取其余各组值时，该最小项均为 0。

② 任意两个不同的最小项之积恒为 0。

③ 变量全部最小项这和恒等于 1。

3．在我们所介绍代码范围内，哪些属于有权码？哪些属于无权码？

答：8421BCD 码和 2421BCD 码属于有权码，余 3 码和格雷码属于无权码。

4．试述卡诺图化简逻辑函数的原则和步骤。

答：利用卡诺图化简逻辑函数式的步骤：

① 根据变量的数目，画出相应方格数的卡诺图；

② 根据逻辑函数式，把所有为“1”的项画入卡诺图中；

③ 用卡诺圈把相邻最小项进行合并，合并时就遵照卡诺圈最大化原则；

④ 根据所圈的卡诺圈，消除圈内全部互非的变量，每一个圈作为一个“与”项，将各“与”项相或，即为化简后的最简与或表达式。

五、计算题（共 34 分）

1．用代数法化简下列逻辑函数（12 分）

① $F=(A+\overline{B})C+\overline{A}B$

解：$F=(A+\overline{B})C+\overline{A}B$

$=AC+\overline{B}C+\overline{A}B$

$=C\overline{\overline{A}B}+\overline{A}B$

$=C+\overline{A}B$

② $F=A\overline{C}+\overline{A}B+BC$

解：$F=A\overline{C}+\overline{A}B+BC$

$=A\overline{C}+B\overline{\overline{C}A}$

$=A\overline{C}+B$

③ $F=\overline{A}\overline{B}C+\overline{A}BC+AB\overline{C}+\overline{A}\overline{B}\overline{C}+ABC$

解：$F=\overline{A}\overline{B}C+\overline{A}BC+AB\overline{C}+\overline{A}\overline{B}\overline{C}+ABC$

$=AB+\overline{A}\overline{B}+\overline{A}C$

④ $F=A\overline{B}+B\overline{C}D+\overline{C}\,\overline{D}+AB\overline{C}+A\overline{C}D$

解：$F=A\overline{B}+B\overline{C}D+\overline{C}\,\overline{D}+AB\overline{C}+A\overline{C}D$

$=A\overline{B}+A\overline{C}+\overline{C}\overline{D}+B\overline{C}$

$=A\overline{B}+AB\overline{C}+A\overline{B}\overline{C}+\overline{C}\overline{D}+B\overline{C}$

$=A\overline{B}+\overline{C}\overline{D}+B\overline{C}$

2．用卡诺图化简下列逻辑函数（8 分）

$F=\sum m(3,4,5,10,11,12)+\sum d(1,2,13)$ 卡诺图略

$F=\Sigma m(3,4,5,10,11,12)+\Sigma d(1,2,13)=\overline{B}C+B\overline{C}+\overline{A}\overline{C}D$

$+F(ABCD)=\sum m(1,2,3,5,6,7,8,9,12,13)$

$F(ABCD)=\sum m(1,2,3,5,6,7,8,9,12,13)+A\overline{C}+\overline{C}D+\overline{A}C$

$F=(A、B、C、D)=\sum m(0,1,6,7,8,12,14,15)$

$F=(A、B、C、D)=\sum m(0,1,6,7,8,12,14,15)=\overline{A}\,\overline{B}\,\overline{C}+A\overline{C}\overline{D}+BC$

$F=(A、B、C、D)=\sum m(0,1,5,7,8,14,15)+\sum d(3,9,12)$

$F=(A、B、C、D)=\sum m(0,1,5,7,8,14,15)=\sum d(3,9,12)=\overline{B}\overline{C}+\overline{A}D+ABC$

3．完成下列数制之间的转换（8 分）

①（365）$_{10}$＝（101101101）$_{2}$＝（555）$_{8}$＝（16D）$_{16}$

②（11101.1）$_{2}$＝（29.5）$_{10}$＝（35.4）$_{8}$＝（1D.8）$_{16}$

③（57.625）$_{10}$＝（(111001.101)$_{2}$＝71.5）$_{8}$＝（39.A）$_{16}$

4．完成下列数制与码制之间的转换（6 分）

①（47）$_{10}$＝（01111010 ）$_{余3码}$＝（ 01000111 ）$_{8421码}$

②（3D）$_{16}$＝（ 00101011）$_{格雷码}$

③（25.25）$_{10}$＝（ 00100101.00120101 ）$_{8421BCD}$＝（00101011.00101011）$_{2421BCD}$＝（31.2）$_{8}$

第 2 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 23 分）

1．基本逻辑关系的电路称为 逻辑门 ，其中最基本的有 与门 、 或门 和 非 门。常用的复合逻辑门有 与非 门、 或非 门、 与或非 门、 异或 门和 同或 门。

2．TTL 集成电路的子系列中，74S 表示 肖特基 系列，74L 表示 低功耗 系列、74LS 表示 低功耗肖特基 系列。

3．CMOS 集成电路是由 增强 型 PMOS 管和 增强 型 NMOS 管组成的互补对称 MOS 门电路，其中 CC4000 系列和 高速 系列是它的主要子系列。

4．功能为“有 0 出 1、全 1 出 0”的门电路是 与非 门；具有“ 有 1 出 1，全 0 出 0 ”功能的门电路是或门；实际中集成 与非 门应用的最为普遍。

5．普通的 TTL 与非门具有 图腾 结构，输出只有 高电平“1” 和 低电平“0” 两种状态；TTL 三态与非门除了具有 1 态和 0 态，还有第三种状态 高阻 态，三态门可以实现 总线 结构。

6．集成电极开路的 TTL 与非门又称为 OC 门，其输出可以实现 线与 。

7．TTL 集成电路和 CMOS 集成电路相比较， TTL 集成门的带负载能力较强， CMOS 集成门的抗干扰能力较强。

8．两个参数对称一致的一个 NMOS 管和一个 PMOS 管，并联可构成一个 CMOS 传输门。两管源极相连构成传输门的 （输入端）或输出 端，两管漏极相连构成传输门的 （输出端）或输入 端，两管的栅极分别与两个互非的 控制 端相连。

9．具有图腾结构的 TTL 集成电路，同一芯片上的输出端，不允许 并 联使用；同一芯片上的 CMOS 集成电路，输出端可以 并 联使用，但不同芯片上的 CMOS 集成电路上的输出端是不允许 并 联使用的。

10．当外界干扰较小时，TTL 与非 门闲置的输入端可以 悬空 处理；TTL 或非 门不使用的闲置输入端应与 地 相接；CMOS 门输入端口为“与”逻辑关系时，闲置的输入端应接 高 电平，具有“或”逻辑端口的 CMOS 门多余的输入端应接 低 电平；即 CMOS 门的闲置输入端不允许 悬空 。

二、判断正误题（每小题 1 分，共 10 分）

1．所有的集成逻辑门，其输入端子均为两个或两个以上。　（ 错 ）

2．根据逻辑功能可知，异或门的反是同或门。　（ 对 ）

3．具有图腾结构的 TTL 与非门可以实现“线与”逻辑功能。（ 错 ）
4．逻辑门电路是数字逻辑电路中的最基本单元。（ 对 ）
5．TTL 和 CMOS 两种集成电路与非门，其闲置输入端都可以悬空处理。（ 错 ）
6．74LS 系列产品是 TTL 集成电路的主流，应用最为广泛。（ 对 ）
7．74LS 系列集成芯片属于 TTL 型，CC4000 系列集成芯片属于 CMOS 型。（ 对 ）
8．三态门采用了图腾输出结构，不仅负载能力强，且速度快。（ 错 ）
9．OC 门可以不仅能够实现“总线”结构，还可构成与或非逻辑。（ 对 ）
10．CMOS 电路的带负载能力和抗干扰能力均比 TTL 电路强。（ 错 ）

三、选择题（每小题 2 分，共 16 分）

1．具有“有 1 出 0、全 0 出 1”功能的逻辑门是（ B ）。
A．与非门　　B．或非门　　C．异或门　　D．同或门
2．两个类型的集成逻辑门相比较，其中（ B ）型的抗干扰能力更强。
A．TTL 集成逻辑门　　B．CMOS 集成逻辑门
3．CMOS 电路的电源电压范围较大，约在（ B ）。
A．－5～＋5V　　B．3～18V　　C．5～15V　　D．＋5V
4．若将一个 TTL 异或门当做反相器使用，则异或门的 A 和 B 输入端应（ A ）。
A．B 输入端接高电平，A 输入端作为反相器输入端
B．B 输入端接低电平，A 输入端作为反相器输入端
C．A、B 两个输入端并联，作为反相器的输入端
D．不能实现
5．（ C ）的输出端可以直接并接在一起，实现“线与”逻辑功能。
A．TTL 与非门　　B．三态门　　C．OC 门
6．（ A ）在计算机系统中得到了广泛的应用，其中一个重要用途是构成数据总线。
A．三态门　　B．TTL 与非门　　C．OC 门
7．一个两输入端的门电路，当输入为 1 0 时，输出不是 1 的门电路为（ C ）。
A．与非门　　B．或门　　C．或非门　　D．异或门
8．一个四输入的与非门，使其输出为 0 的输入变量取值组合有（ B ）。
A．15 种　　B．1 种　　C．3 种　　D．7 种

四、简述题（每小题 4 分，共 24 分）

1．数字电路中，正逻辑和负逻辑是如何规定的？
答：数字电路中只有高、低电平两种取值。用逻辑“1”表示高电平，用逻辑“0”表示低电平的方法称为正逻辑；如果用逻辑“0”表示高电平，用逻辑“1”表示低电平，则称为负逻辑。
2．你能说出常用复合门电路的种类吗？它们的功能如何？
答：常用的复合门有与非门、或非门、与或非门、异或门和同或门。其中与非门的功能是“有 0 出 1，全 1 出 0”；或非门的功能是“有 1 出 0，全 0 出 1”；与或非门的功能是“只要 1 个与门输出为 1，输出为 0，两个与门全部输出为 0 时，输出为 1”；异或门的功能是“相异出 1，相同出 0”；同或门的功能是“相同出 1，相异出 0”。
3．TTL 与非门闲置的输入端能否悬空处理？CMOS 与非门呢？

答：TTL 与非门闲置的输入端一般也不要悬空处理，但当外界干扰较小时，就可以把闲置的输入端悬空处理；而 CMOS 与非门闲置的输入端是不允许悬空处理的。

4．试述图腾结构的 TTL 与非门和 OC 门、三态门的主要区别是什么？

答：图腾结构的 TTL 与非门采用的推挽输出，通常不允许将几个同类门的输出端并联起来使用，正常情况下，图腾结构 TTL 与非门输出对输入可实现与非逻辑；集电极开路的 TTL 与非门又称为 OC 门，多个 OC 门的输出端可以并联起来使用，实现“线与”逻辑功能，还可用作与或非逻辑运算等；三态门和图腾结构的 TTL 与非门相比，结构上多出了一个使能端，让使能端处有效状态时，三态门与图腾结构 TTL 与非门功能相同，若使能端处无效态，则三态门输出呈高阻态，这时无论输入如何，输出均为高阻态。基于三态门的特点，广泛应用于计算机的总线结构。

5．如果把与非门、或非门、异或门当做非门使用时，它们的输入端应如何连接？

答：如果把与非门做非门使用，只需将与非门的输入端并联起来即可；如果把或非门当作非门使用，只需把其他输入端子接地，让剩余的一个输入端作为非门输入即可；如果把异或门当作非门使用，只需把其他输入端子接高电平，让剩余的一个输入端作为非门输入即可。

6．提高 CMOS 门电路的电源电压可提高电路的抗干扰能力，TTL 门电路能否这样做？为什么？

答：TTL 门电路是不能采取提高电源电压的方式来提高电路抗干扰能力的。因为，TTL 集成电路的电源电压是特定的，其变化范围很窄，通常在 4.5～5.5V。

五、分析题（共 27 分）

1．已知输入信号 A、B 的波形和输出 Y_1、Y_2、Y_3、Y_4 的波形，试判断各为哪种逻辑门，并画出相应逻辑门图符号，写出相应逻辑表达式。（12 分）

解：观察图示波形，判断出 Y_1 是与门；Y_2 是异或门；Y_3 是与非门；Y_4 是同或门。它们相应的图符号如下：

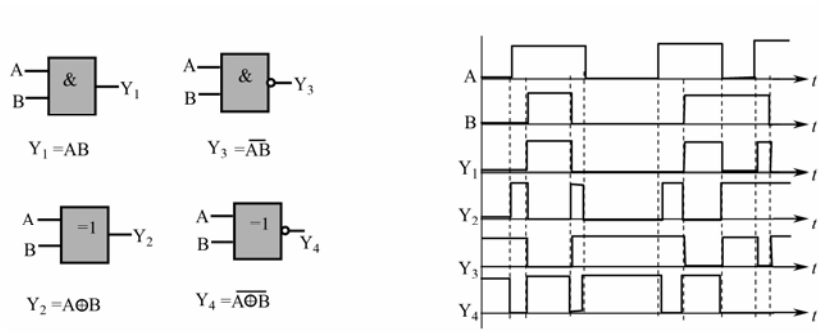


图 2.46　检测题 2.5.1 波形图

2．电路如图 2.47（a）所示，其输入变量的波形如图（b）所示。试判断图中发光二极管在哪些时段会亮。（7 分）

解：由电路图可得，当 L 为低电平时，发光二极管会亮，图中

$$L = \overline{AB} \cdot \overline{CD} = \overline{AB} + \overline{CD}$$

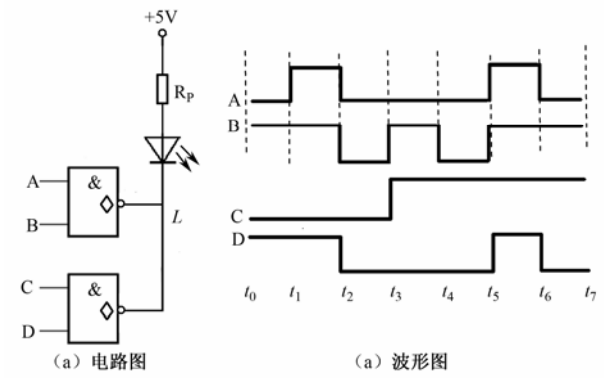


图 2.47　检测题 2.5.2 电路与波形图

列真值表分析：

A	B	C	D	AB	CD	L
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	0	0	0	1
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	1	0

发光管在 t_1～t_2 期间、t_5～t_6 期间会亮。

3．试写出图 2.48 所示数字电路的逻辑函数表达式，并判断其功能。（8 分）

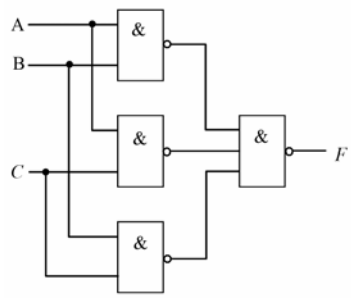


图 2.48

解：电路的逻辑函数表达式为

$$F=\overline{\overline{AB}\cdot\overline{AC}\cdot\overline{BC}}=AB+AC+BC$$

列真值表分析：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

输入变量中有两个或两个以上为 1 时，输出才为 1，因此电路功能为多数表决器电路。

第 3 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 10 分）

1．能将某种特定信息转换成机器识别的 二进 制数码的 组合 逻辑电路，称之为 编码 器；能将机器识别的 二进 制数码转换成人们熟悉的 十进 制或某种特定信息的 组合 逻辑电路，称为 译码 器；74LS85 是常用的 组合 逻辑电路 译码 器。

2．在多数数据选送过程中，能够根据需要将其中任意一路挑选出来的电路，称之为 数据选择 器，也叫做 多路 开关。

3．74LS147 是 10 线– 4 线的集成优先编码器；74LS148 芯片是 8 线– 3 线的集成优先编码器。

4．74LS148 的使能端 $\overline{S}$ = 为低电平 时允许编码；当 $\overline{S}$ = 1 时各输出端及 $\overline{O_E}$ 、$\overline{G_S}$ 均封锁，编码被禁止。

5．两片集成译码器 74LS138 芯片级联可构成一个 4 线– 16 线译码器。

6．LED 是指 半导体 数码管显示器件。

二、判断正误题（每小题 1 分，共 8 分）

1．组合逻辑电路的输出只取决于输入信号的现态。（ 对 ）

2．3 线—8 线译码器电路是三–八进制译码器。（ 错 ）

3．已知逻辑功能，求解逻辑表达式的过程称为逻辑电路的设计。（ 对 ）

4．编码电路的输入量一定是人们熟悉的十进制数。（ 错 ）

5．74LS138 集成芯片可以实现任意变量的逻辑函数。（ 错 ）

6．组合逻辑电路中的每一个门实际上都是一个存储单元。（ 错 ）

7．共阴极结构的显示器需要低电平驱动才能显示。（ 错 ）

8．只有最简的输入/输出关系，才能获得结构最简的逻辑电路。（ 对 ）

三、选择题（每小题 2 分，共 14 分）

1．下列各型号中属于优先编译码器是（　C　）。

A．74LS85　　B．74LS138　　C．74LS148　　D．74LS48

2．七段数码显示管 TS547 是（　B　）。

A．共阳极 LED 管　　B．共阴极 LED 管

C．共阳极 LCD 管　　D．共阴极 LCD 管

3．八输入端的编码器按二进制数编码时，输出端的个数是（　B　）。

A．2 个　　B．3 个　　C．4 个　　D．8 个

4．四输入的译码器，其输出端最多为（　D　）。

A．4 个　　B．8 个　　C．10 个　　D．16 个

5．当 74LS148 的输入端 $\overline{I_0}$ ～ $\overline{I_7}$ 按顺序输入 11011101 时，输出 $\overline{Y_2}$ ～ $\overline{Y_0}$ 为（　C　）。

A．101　　B．010　　C．001　　D．110

6．译码器的输入量是（　A　）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

7．编码器的输出量是（　A　）。

A．二进制　　B．八进制　　C．十进制　　D．十六进制

四、简述题（每小题 3 分，共 12 分）

1．试述组合逻辑电路的特点。

答：组合逻辑电路的特点是：任意时刻，电路输出状态仅取决于该时刻的输入状态。

2．分析组合逻辑电路的目的是什么？简述分析步骤。

答：分析组合逻辑电路，目的就是清楚该电路的功能。分析步骤一般有以下几个步骤：

① 根据已知逻辑电路图写出相应逻辑函数式。

② 对写出的逻辑函数式进行化简。如果从最简式中可直接看出电路功能，则以下步骤可省略。

③ 根据最简逻辑式写出相应电路真值表，由真值表输出、输入关系找出电路的功能。

④ 指出电路功能。

3．何谓编码？二进制编码和二–十进制编码有何不同？

答：编码就是将人们熟悉的十进制数或某个特定信息用相应的高、低电平输入，使输出转换成机器识别的十进制代码的过程。二进制编码就是以自然二进制码进行代码编制，而二–十进制编码则是用多位二进制数码表示 1 位十进制数码的代码编制。

4．何谓译码？译码器的输入量和输出量在进制上有何不同？

答：译码就是把机器识别的二进制码译为人们熟悉的十进制码或特定信息的过程。以二–十进制译码为例，译码器的输入量是十进制代码，输出量是人们熟悉的十进制。

五、分析题（共 16 分）

1．根据表 3-15 所示内容，分析其功能，并画出其最简逻辑电路图。（6 分）

表 3-15　组合逻辑电路真值表

输　入	输　出
A　B　C	F
0　0　0	1
0　0　1	0
0　1　0	0
0　1　1	0
1　0　0	0
1　0　1	0
1　1　0	0
1　1　1	1

分析：从真值表输入、输出关系可写出相应逻辑函数式为：

$$F=\overline{A}\overline{B}\overline{C}+ABC$$

显然，电路输入相同时，输出才为 1，否则为 0。因此该电路是一个三变量一致电路。

2．写出图 3.45 所示逻辑电路的最简逻辑函数表达式。（10 分）

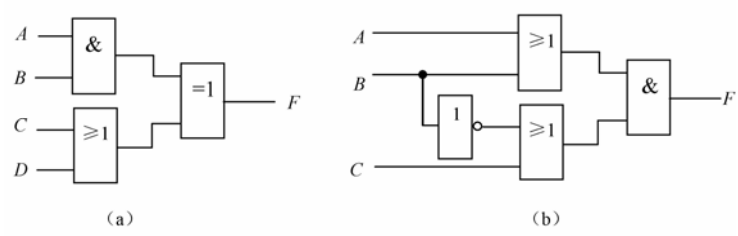


图 3.45　检测 3.5.2 逻辑电路

分析：（a）图的逻辑函数式为：

$$\begin{aligned}F&=\overline{A\overline{B}}(C+D)+AB\overline{C+D}\\&=(\overline{A}+\overline{B})(C+D)+AB\overline{C}\,\overline{D}\\&=\overline{A}C+\overline{B}C+\overline{A}D+\overline{B}D+AB\overline{C}\,\overline{D}\end{aligned}$$

（b）图的逻辑函数式为：

$$\begin{aligned}F&=(A+\overline{B})\cdot(\overline{B}+C)\\&=A\overline{B}+AC+\overline{B}+\overline{B}C\\&=AC+\overline{B}\end{aligned}$$

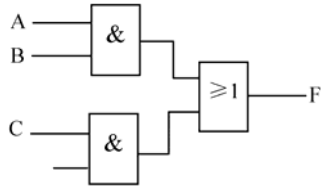
六、设计题（共 40 分）

1．画出实现逻辑函数 $F=AB+A\overline{B}C+\overline{A}C$ 的逻辑电路。（8 分）

设计：对逻辑函数式进行化简：

$$\begin{aligned}F&=AB+A\overline{B}C+\overline{A}C\\&=AB+AC+\overline{A}C\\&=AB+C\end{aligned}$$

根据上述最简式可画出逻辑电路为：



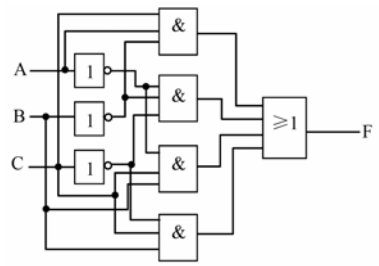
2．设计一个三变量的判偶逻辑电路，其中 0 也视为偶数。（10 分）

设计：根据题目要求写出逻辑功能真值表如下；

根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F=\overline{A}\,\overline{C}\,\overline{B}+\overline{A}CB+A\overline{B}C+AB\overline{C}$$

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0



3．用与非门设计一个三变量的多数表决器逻辑电路。（10 分）

设计：根据题目要求写出逻辑功能真值表如下：

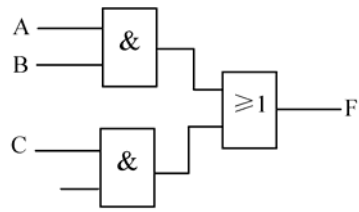
根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC=\overline{\overline{AB+AC+BC}}$$

$$=\overline{\overline{AB}\cdot\overline{BC}\cdot\overline{AC}}$$

根据上述最简式画出相应逻辑电路图如下：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



4．用与非门设计一个组合逻辑电路，完成如下功能：只有当三个裁判（包括裁判长）或裁判长和一个裁判认为杠铃已举起并符合标准时，按下按键，使灯亮（或铃响），表示此次举重成功，否则，表示举重失败。（12 分）

设计：根据题意取三个裁判分别为输入变量 A、B、C，A 为裁判长，设按下按键输入为 1，否则为 0，举重成功为 1，举重失败为 0，据题意列出相应真值表如下：

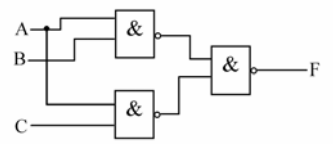
根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F=A\overline{B}C+AB\overline{C}+ABC=\overline{\overline{AB}+\overline{AC}}$$

$$=\overline{\overline{AB}\cdot\overline{AC}}$$

根据上述最简式画出相应逻辑电路图如下：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



第 4 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．两个与非门构成的基本 RS 触发器的功能有 置 0 、 置 1 和 保持 。电路中不允许两个输入端同时为 低电平 ，否则将出现逻辑混乱。

2．通常把一个 CP 脉冲引起触发器多次翻转的现象称为 空翻 ，有这种现象的触发器是 钟控的 RS 触发器，此类触发器的工作属于 电平 触发方式。

3．为有效地抑制“空翻”，人们研制出了 边沿 触发方式的 主从型 JK 触发器和 维持阻塞型 D 触发器。

4．JK 触发器具有 置 0 、 置 1 、 保持 和 翻转 四种功能。欲使 JK 触发器实现 $Q^{n+1}=\overline{Q}^n$ 的功能，则输入端 J 应接 高电平 1 ，K 应接 高电平 1 。

5．D 触发器的输入端子有 1 个，具有 置 0 和 置 1 的功能。

6．触发器的逻辑功能通常可用 特征议程 、 状态转换图 、 功能真值表 和 时序波形图 等多种方法进行描述。

7．组合逻辑电路的基本单元是 门电路 ，时序逻辑电路的基本单元是 触发器 。

8．JK 触发器的次态方程为 $Q^{n+1}=JQ^n+K\,Q^n$ ；D 触发器的次态方程为 $Q^{n+1}=D^n$ 。

9．触发器有两个互非的输出端 Q 和 $\overline{Q}$，通常规定 Q＝1，$\overline{Q}$ ＝0 时为触发器的 1 状态；Q＝0，$\overline{Q}$ ＝1 时为触发器的 0 状态。

10．两个与非门组成的基本 RS 触发器，正常工作时，不允许 $\overline{R}=\overline{S}=$ 0 ，其特征方程为 $Q^{n+1}=\overline{S}+\overline{R}Q^n$，约束条件为 $\overline{R}+\overline{S}=1$。

11．钟控的 RS 触发器，在正常工作时，不允许输入端 R＝S＝ 1 ，其特征方程为 $Q^{n+1}=S+\overline{R}Q^n(CP=1)$，约束条件为 SR＝0 。

12．把 JK 触发器 两个输入端子连在一起作为一个输入 就构成了 T 触发器，T 触发器具有的逻辑功能是 保持 和 翻转 。

13．让__T__触发器恒输入“1”就构成了 T'触发器，这种触发器仅具有__翻转__功能。

二、判断正误题（每小题 1 分，共 10 分）

1．仅具有保持和翻转功能的触发器是 RS 触发器。（ 错 ）
2．基本的 RS 触发器具有“空翻”现象。（ 错 ）
3．钟控的 RS 触发器的约束条件是：R＋S＝0。（ 错 ）
4．JK 触发器的特征方程是：$Q^{n+1}=J\overline{Q}^{n}+KQ^{n}$。（ 错 ）
5．D 触发器的输出总是跟随其输入的变化而变化。（ 对 ）
6．CP＝0 时，由于 JK 触发器的导引门被封锁而触发器状态不变。（ 对 ）
7．主从型 JK 触发器的从触发器开启时刻在 CP 下降沿到来时。（ 对 ）
8．触发器和逻辑门一样，输出取决于输入现态。（ 错 ）
9．维持阻塞 D 触发器状态变化在 CP 下降沿到来时。（ 错 ）
10．凡采用电位触发方式的触发器，都存在“空翻”现象。（ 错 ）

三、选择题（每小题 2 分，共 20 分）

1．仅具有置“0”和置“1”功能的触发器是（ C ）。
A．基本 RS 触发器　　B．钟控 RS 触发器
C．D 触发器　　D．JK 触发器

2．由与非门组成的基本 RS 触发器不允许输入的变量组合 $\overline{S}\cdot\overline{R}$ 为（ A ）。
A．00　　B．01　　C．10　　D．11

3．钟控 RS 触发器的特征方程是（ D ）。
A．$Q^{n+1}=\overline{R}+Q^{n}$　　B．$Q^{n+1}=S+Q^{n}$
C．$Q^{n+1}=R+\overline{S}Q^{n}$　　D．$Q^{n+1}=S+\overline{R}Q^{n}$

4．仅具有保持和翻转功能的触发器是（ B ）。
A．JK 触发器　　B．T 触发器　　C．D 触发器　　D．T′ 触发器

5．触发器由门电路构成，但它不同门电路功能，主要特点是具有（ C ）。
A．翻转功能　　B．保持功能　　C．记忆功能　　D．置 0 置 1 功能

6．TTL 集成触发器直接置 0 端 $\overline{R}_D$ 和直接置 1 端 $\overline{S}_D$ 在触发器正常工作时应（ C ）。
A．$\overline{R}_D=1$，$\overline{S}_D=0$　　B．$\overline{R}_D=0$，$\overline{S}_D=1$
C．保持高电平“1”　　D．保持低电平“0”

7．按触发器触发方式的不同，双稳态触发器可分为（ C ）。
A．高电平触发和低电平触发　　B．上升沿触发和下降沿触发
C．电平触发或边沿触发　　D．输入触发或时钟触发

8．按逻辑功能的不同，双稳态触发器可分为（ D ）。
A．RS、JK、D、T 等　　B．主从型和维持阻塞型
C．TTL 型和 MOS 型　　D．上述均包括

9．为避免“空翻”现象，应采用（ B ）方式的触发器。
A．主从触发　　B．边沿触发　　C．电平触发

10．为防止“空翻”，应采用（　C　）结构的触发器。

A．TTL　　B．MOS　　C．主从或维持阻塞

四、简述题（每小题 3 分，共 15 分）

1．时序逻辑电路的基本单元是什么？组合逻辑电路的基本单元又是什么？

答：时序逻辑电路的基本单元是触发器，组合逻辑电路的基本单元是门电路。

2．何谓“空翻”现象？抑制“空翻”可采取什么措施？

答：在时钟脉冲 CP＝1 期间，触发器的输出随输入发生多次翻转的现象称为空翻。抑制空翻的最好措施就是让触发器采取边沿触发方式。

3．触发器有哪几种常见的电路结构形式？它们各有什么样的动作特点？

答：触发器常见的结构形式有①与非门构成的基本 RS 触发器，其动作特点是：输入信号在电平触发的全部作用时间里，都能直接改变输出端 Q 的状态；②钟控的 RS 触发器，其动作特点：当 CP＝0 时，无论两个输入端 R 和 S 如何，触发器的状态不能发生改变；只有当作为同步信号的时钟脉冲到达时，触发器才能按输入信号改变状态；③主从型 JK 触发器，其动作特点：主从型 JK 触发器的状态变化分两步动作。第 1 步是在 CP 为“1”期间主触发器接收输入信号且被记忆下来，而从触发器被封锁不能动作；第 2 步是当 CP 下降沿到来时，从触发器被解除封锁，接收主触发器在 CP 为 1 期间记忆下来的状态作为控制信号，使从触发器的输出状态按照主触发器的状态发生变化；之后，由于主触发器在 CP＝0 期间被封锁状态不再发生变化，因此，从触发器也就保持了 CP 下降沿到来时的状态不再发生变化。即主从型 JK 触发器的输出状态变化发生在 CP 脉冲的下降沿。

主触发器本身是一个钟控的 RS 触发器，因此在 CP＝1 的全部期间都受输入信号的控制，即存在“空翻”现象。但是，只有下降沿到来前的主触发器状态，才是改变从触发器状态的控制信号，而下降沿到达时刻的主触发器状态不一定是从触发器的控制信号；④维持阻塞型 D 触发器，其动作特点：维持阻塞 D 触发器的次态仅取决于 CP 信号上升沿到达前一瞬间（这一时刻与上升沿到达时的间隔趋近于零）输入的逻辑状态，而在这一瞬间之前和之后，输入的状态变化对输出不能够并生影响。

4．试分别写出钟控 RS 触发器、JK 触发器和 D 触发器的特征方程。

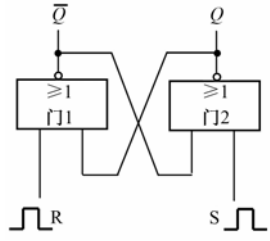
答：钟控 RS 触发器的特征方程：$Q^{n+1}=S+\overline{R}Q^n$　(CP＝ 1)，SR＝0（约束条件）；

JK 触发器的特征方程：$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$；　D 触发器的特征方程：$Q^{n+1}=D^n$。

5．你能否推出由两个或非门组成的基本 RS 触发器的功能？写出其真值表。

答：由两个或非门组成的基本 RS 触发器如图所示，其功能与钟控 RS 触发器相同，所不同点是或非门构成的基本 RS 触发器是电平触发方式，没有时钟脉冲控制。

功能真值表也与钟控 RS 触发器完全相同。



或非门构成的基本 RS 触发器

五、分析题（共 35 分）

1．已知 TTL 主从型 JK 触发器的输入控制端 J 和 K 及 CP 脉冲波形如图 7.22 所示，试根

据它们的波形画出相应输出端 Q 的波形。（6 分）

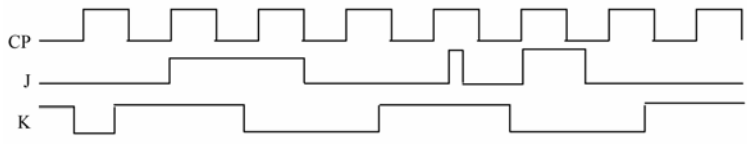
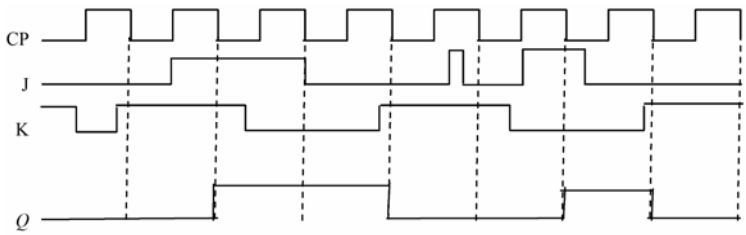


图 4.23　检测题 4.5.1 波形图

解：



2．写出图 4.24 所示各逻辑电路的次态方程。（每图 2 分，共 12 分）

解：（a）图：$Q^{n+1}=A$　　（b）图：$Q^{n+1}=D^n$　　（c）图：$Q^{n+1}=\overline{Q^n}$

（d）图：$Q^{n+1}=\overline{Q^n}$　　（e）图：$Q^{n+1}=\overline{Q^n}$　　（f）图：$Q^{n+1}=Q^n$

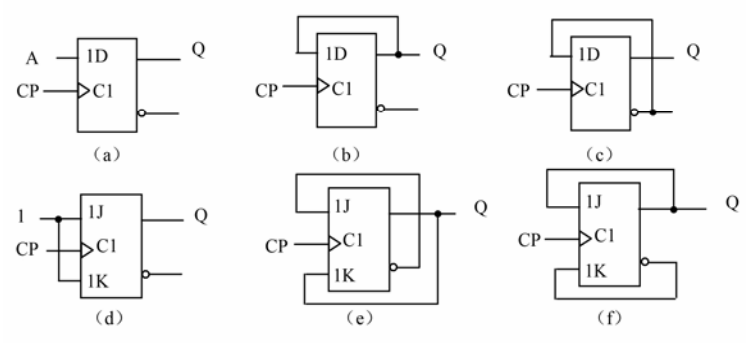


图 4.24　检测题 4.5.2 逻辑图

3．图 4.25 所示为维持阻塞 D 触发器构成的电路，试画出在 CP 脉冲下 Q_0 和 Q_1 的波形。（9 分）

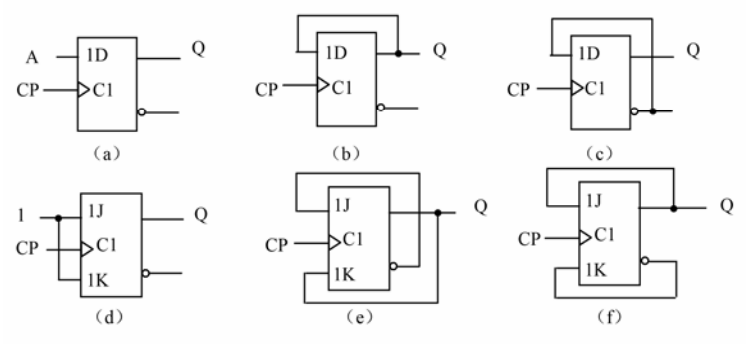


图 4.25　检测题 4.5.3 逻辑图

解：$Q_0^{n+1}=\overline{Q}_0^n$，$Q_0^{n+1}=\overline{Q}_1^n$，设触发器初态为 00，各位触发器在 CP 上升沿触发。

显然在每一个 CP 脉冲上升沿到来时，触发器 Q_0 状态就翻转一次，而触发器 Q_1 的状态翻转发生在 Q_0 由 0 到 1 时刻。图略。

4．电路如图 4.26 所示：

（1）图示电路中采用什么触发方式；
（2）分析下图所示时序逻辑电路，并指出其逻辑功能；
（3）设触发器初态为 0，画出在 CP 脉冲下 Q_0 和 Q_1 的波形。（8 分）

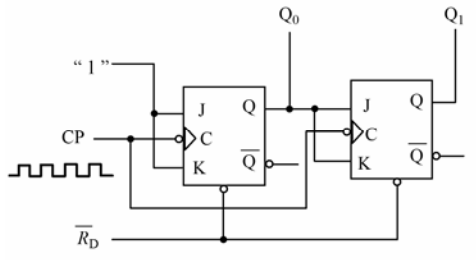
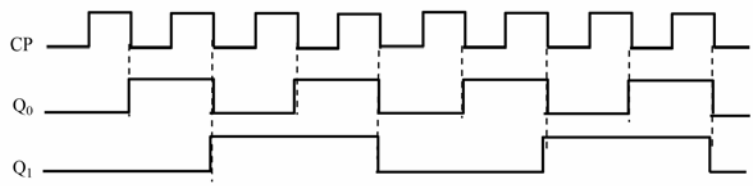


图 4.26 检测题 4.5.4 逻辑图

解：①JK 触发器采用的都是边沿触发方式。
②分析电路：
电路驱动方程：$J_0=K_0=1$，$J_1=K_1=Q_0$
将驱动方程代入触发器的特征方程可得：$Q_0^{n+1}=\overline{Q_0}^n$，$Q_1^{n+1}=Q_0^n\overline{Q_1^n}+\overline{Q_0^n}Q_1^n$。
功能真值表：

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

由功能真值表可看出，这是一个 2 位四进制加计数器。
③电路初态为 0，画出其时序波形图如下：



第 5 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每小题 0.5 分，共 20 分）

1．时序逻辑电路通常由 <u>组合逻辑电路</u> 和 <u>存储电路</u> 两部分组成。

2．根据时序逻辑电路按各位触发器接受 时钟脉冲控制 信号的不同，可分为 同 步时序逻辑电路和 异 步时序逻辑电路两大类。

3．通常用 驱动方程 、 状态方程 和 输出方程 来描述时序逻辑电路。

4.时序逻辑电路按照各位触发器触发器的时钟脉冲是否相同可分为 同步时序逻辑电路 和 异步时序逻辑电路 两大类。

5．时序逻辑电路中仅有存储电路输出时，构成的电路类型通常称为 莫尔 型时序逻辑电路；如果电路输出除存储电路输出外，还包含组合逻辑电路输出端时，构成的电路类型称为 米莱 型时序逻辑电路。

6．可以用来暂时存放数据的器件称为 寄存器 ，若要存储 4 位二进制代码，该器件必须有 4 位 触发器。

7．时序逻辑电路中某计数器中的无效码若在开机时出现，不用人工或其他设备的干预，计数器能够很快自行进入 有效循环体 ，使无效码不再出现的能力称为 自启动 能力。

8．若构成一个六进制计数器，至少要采用 3 位触发器，这时构成的电路有 6 个有效状态， 2 个无效状态。

9．移位寄存器除有 存储代码 的功能外，还有 移位 功能。

10．用 4 位移位寄存器构成环行计数器时，有效状态共有 4 个；若构成扭环计数器时，其有效状态是 8 个。

11．寄存器是可用来存放数码、运算结果或指令的电路，通常由具有存储功能的多位 触发 器组合起来构成。1 位 触发 器可以存储一个二进制代码，存放 *n* 个二进制代码的寄存器，需用 *n* 位 触发 器来构成。

12．74LS194 是典型的 4 位 TTL 型集成双向移位寄存器芯片，具有 左移和右移 、并行输入、 保持数据 和 清除数据 等功能。

13．通常模值相同的同步计数器比异步计数器的结构 复杂 ，工作速度 快 。

14．555 定时器可以构成施密特触发器，施密特触发器具有 回差 特性，主要用于脉冲波形的 整形 和 变换 ；555 定时器还可以用作多谐振荡器和 单 稳态触发器。

15．用集成计数器 CC40192 构成任意进制的计数器时，通常可采用反馈 预置 法和反馈 清零 法。

二、判断正误题（每小题 1 分，共 10 分）

1．集成计数器通常都具有自启动能力。（ 对 ）

2．使用 3 个触发器构成的计数器最多有 8 个有效状态。（ 对 ）

3．同步时序逻辑电路中各触发器的时钟脉冲 CP 不一定相同。（ 错 ）

4．利用一个 74LS90 可以构成一个十二进制的计数器。（ 错 ）

5．用移位寄存器可以构成 8421BCD 码计数器。（ 错 ）

6．555 电路的输出只能出现两个状态稳定的逻辑电平之一。（ 对 ）

7．施密特触发器的作用就是利用其回差特性稳定电路。（ 错 ）

8．莫尔型时序逻辑电路，分析时可以不写输出方程。（ 对 ）

9．十进制计数器是用十进制数码“0～9”进行计数的。（ 错 ）

10．利用集成计数器芯片的预置数功能可获得任意进制的计数器。（ 对 ）

三、选择题（每小题 2 分，共 20 分）

1．描述时序逻辑电路功能的两个必不可少的重要方程式是（　B　）。

A．次态方程和输出方程　　B．次态方程和驱动方程

C．驱动方程和时钟方程　　D．驱动方程和输出方程

2．用 8421BCD 码作为代码的十进制计数器，至少需要的触发器个数是（　C　）。

A．2　　B．3　　C．4　　D．5

3．按触发器状态转换与时钟脉冲 CP 的关系分类，计数器可分为（　A　）两大类。

A．同步和异步　　B．加计数和减计数　　C．二进制和十进制

4．能用于脉冲整形的电路是（　C　）。

A．双稳态触发器　　B．单稳态触发器　　C．施密特触发器

5．由 3 级触发器构成的环形和扭环形计数器的计数模值依次为（　D　）。

A．模 6 和模 3　　B．模 8 和模 8

C．模 6 和模 8　　D．模 3 和模 6

6．下列叙述正确的是（　D　）。

A．译码器属于时序逻辑电路　　B．寄存器属于组合逻辑电路

C．555 定时器是典型的时序逻辑电路　　D．计数器属于时序逻辑电路

7．利用中规模集成计数器构成任意进制计数器的方法是（　B　）。

A．复位法　　B．预置数法　　C．级联复位法

8．设计 1 个能存放 8 位二进制代码的寄存器，需要（　A　）触发器。

A．8 位　　B．2 位　　C．3 位　　D．4 位

9．在下列器件中，不属于时序逻辑电路的是（　C　）。

A．计数器　　B．序列信号检测器　　C．全加器　　D．寄存器

10．改变 555 定时电路的电压控制端 CO 的电压值，可改变（　C　）。

A．555 定时电路的高、低输出电平　　B．开关放电管的开关电平

C．比较器的阈值电压　　D．置“0”端 $\overline{R}$ 的电平值

四、简述题（每小题 4 分，共 16 分）

1．说明同步时序逻辑电路和异步时序逻辑电路有何不同？

答：同步时序逻辑电路的各位触发器是由同一个时钟脉冲控制的；异步时序逻辑电路的各位触发器的时钟脉冲控制端各不相同，状态变化发生的时间通常也不相同。

2．钟控的 RS 触发器能用作移位寄存器吗？为什么？

答：移位寄存器除寄存数据外，还能将数据在寄存器内移位，因此钟控的 RS 触发器不能用作这类寄存器，因为它具有“空翻”问题，若用于移位寄存器中，很可能造成一个 CP 脉冲下多次移位现象。用作移位寄存器的触发器只能是克服了“空翻”现象的边沿触发器。

3．何谓计数器的自启动能力？

答：所谓自启动能力：指时序逻辑电路中某计数器中的无效状态码，若在开机时出现，不用人工或其他设备的干预，计数器能够很快自行进入有效循环体，使无效状态码不再出现

的能力。

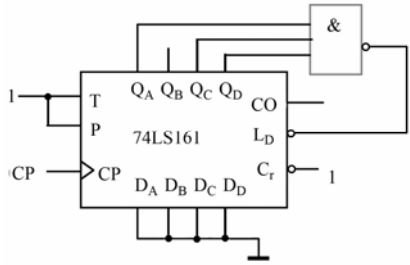
4．施密特触发器具有什么显著特征？主要应用有哪些？

答：施密特触发器的显著特征有两个：一是输出电压随输入电压变化的曲线不是单值的，具有回差特性；二是电路状态转换时，输出电压具有陡峭的跳变沿。利用施密特触发器的上述两个特点，可对电路中的输入电信号进行波形整形、波形变换、幅度鉴别及脉冲展宽等。

五、分析题（共 34 分）

1．试用 74LS161 集成芯片构成十二进制计数器。要求采用反馈预置法实现。（6 分）

解：



2．电路及时钟脉冲、输入端 D 的波形如图 5.42 所示，设起始状态为“000”。试画出各触发器的输出时序图，并说明电路的功能。（10 分）

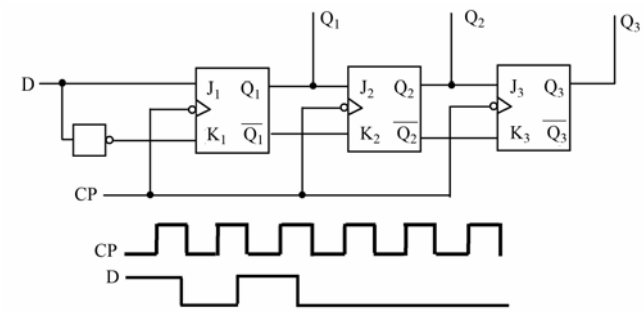


图 5.42　检测题 5.5.2 逻辑图

解：分析：（1）电路为同步的米莱型时序逻辑电路。

（2）各触发器的驱动方程：$J_1=D$　$K_1=\overline{D}$　$J_2=Q_1^n$　$K_2=\overline{Q_1^n}$　$J_3=Q_1^n$　$K_3=\overline{Q_2^n}$

各触发器的次态方程：$Q_1^{n+1}=D^n$　　$Q_2^{n+1}=Q_1^n$　　$Q_3^{n+1}=Q_2^n$

（3）根据上述方程，写出相应的逻辑功能真值表：

CP	D	Q_1^n Q_2^n Q_3^n	Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}
1↓	0	0　0　0	0　0　0
2↓	1	0　0　0	1　0　0
3↓	0	1　0　0	0　1　0
4↓	0	0　1　0	0　0　1
5↓	0	0　0　1	0　0　0

从功能真值表中可看出，该电路属于右移移位寄存器。其时序逻辑图如图中红笔示。

3．已知计数器的输出端 Q_2、Q_1、Q_0 的输出波形如图 5.43 所示，试画出对应的状态转换

图，并分析该计数器为几进制计数器。（8 分）

解：状态转换关系为：101→010→011→000→100→001→110。该计数器为七进制计数器。

4．分析图 5.44 所示时序逻辑电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，说明电路能否自选启动。（10 分）

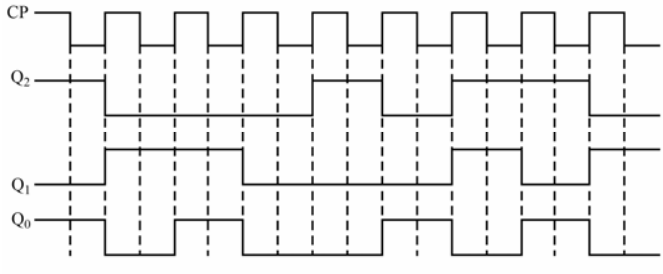


图 5.43　检测题 5.5.3 时序波形图

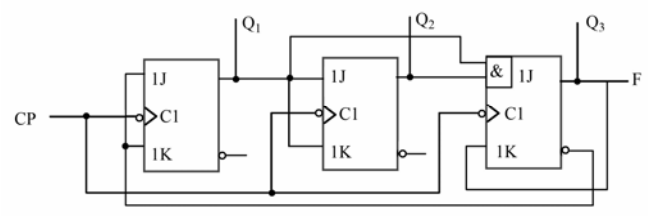


图 5.44　检测题 5.5.4 逻辑电路图

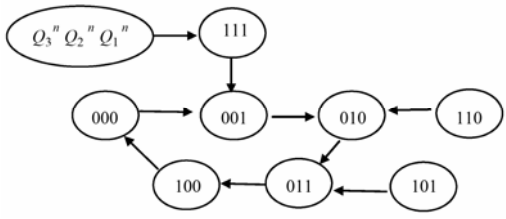
解：$J_1=K_1=\overline{Q_3^n}$　　$J_2=K_2=Q_1^n$　　$J_3=Q_1^nQ_2^n$　　$K_3=Q_3^n$

$Q_1^{n+1}=\overline{Q_3^n}\oplus Q_1^n$　　$Q_2^{n+1}=Q_2^n\oplus Q_1^n$　　$Q_3^{n+1}=\overline{Q_3^n}Q_2^nQ_1^n$　　$F=Q_3^n$

功能转换真值表：

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	0	1	0	1
1	1	1	0	0	1	1

画出状态转换图如下：



由状态转换图可看出，这是一个模 5 加计数器，具有自启动能力。

第 6 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 20 分）

1．一个存储矩阵有 64 行、64 列，则存储容量为 4096 个存储单元。

2．动态 MOS 存储单元是利用 电容 C 上存储的电压 存储信息的，为了不丢失信息，必须 不断刷新 。

3．EPROM 的存储单元是在 MOS 管中置入 浮置栅 的方法实现的。写入程序时，在漏极和衬底之间加足够高的_____反向脉冲电压_____，可使 PN 结产生 雪崩击穿 ，产生的高能电子穿透二氧化硅绝缘层进入 浮置栅 中。当将外部提供的电源去掉后， 浮置栅 中的电子无放电回路而被保留下来。

4．半导体存储器按照存、取功能上的不同可分为 只读存储器 ROM 和 随机存取存储器 RAM 两大类。其中 只读存储器 ROM 事先存入的信息不会因为下电而丢失；而 随机存取存储器 RAM 关闭电源或发生断电时，其中的数据就会丢失。

5．可编程逻辑器件 PLD 一般由 输入缓冲 、 与阵列 、 或阵列 、 输出缓冲 四部分电路组成。

6．目前生产和使用的 PLD 产品主要有现场可编程逻辑阵列 FPLA 、可编程阵列逻辑 PAL 、通用阵列逻辑 GAL 等几种类型。

7．GAL16V8 主要有 简单型 、 复杂型 、 寄存器型 三种工作模式。

8．PAL 的与阵列 可编程 ，或阵列 固定 ；PLA 的与阵列 可编程 ，或阵列 可编程 ；GAL 的与阵列 可编程 ，或阵列 固定 。

9．存储器的两大主要技术指标是 存储容量 和 存取速度 。

10．RAM 主要包括 地址译码器 、 存储矩阵 和 读/写控制 电路三大部分。

11．存储器容量的扩展方法通常有字 扩展、位 扩展和 字、位同时 扩展三种方式。

12．ROM 按照存储信息写入方式的不同可分为 固定 ROM、 可编程的 PROM、可光擦除可编程 的 EPROM 和 可电擦除可编程 的 E^2PROM。

二、判断正误题（每小题 1 分，共 8 分）

1．可编程逻辑器件的写入电压和正常工作电压相同。（ 错 ）

2．GAL 可实现时序逻辑电路的功能，也可实现组合逻辑电路的功能。（ 对 ）

3．RAM 的片选信号 $\overline{CS}$ ＝“0”时被禁止读写。（ 错 ）

4．EPROM 是采用浮置栅技术工作的可编程存储器。（ 对 ）

5．PLA 的与阵列和或阵列都可以根据用户的需要进行编程。（ 对 ）

6．存储器的容量指的是存储器所能容纳的最大字节数。（ 对 ）

7．1024×1 位的 RAM 中，每个地址中只有 1 个存储单元。（ 对 ）

8．可编程存储器的内部结构都存在**与**阵列和**或**阵列。（ 对 ）

三、选择题（每小题 2 分，共 20 分）

1．图 6.30 输出端表示的逻辑关系为（　A　）。

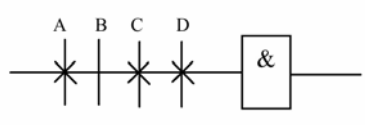


图 6.30

A．ACD　　B．$\overline{ACD}$　　C．B　　D．$\overline{B}$

2．利用电容的充电来存储数据，由于电路本身总有漏电，因此需定期不断补充充电（刷新）才能保持其存储的数据的是（　B　）。

A．静态 RAM 的存储单元　　B．动态 RAM 的存储单元

3．关于存储器的叙述，正确的是（　A　）。

A．存储器是随机存储器和只读存储器的总称

B．存储器是计算机上的一种输入输出设备

C．计算机停电时随机存储器中的数据不会丢失

4．已知存储器的容量为 2^{10} 位/片，则该存储器的容量为（　A　）字节。

A．1024　　B．4　　C．4096　　D．8

5．一片容量为 1024B×4 位的存储器，表示有（　C　）个存储单元。

A．1024　　B．4　　C．4096　　D．8

6．只能读出不能写入，但信息可永久保存的存储器是（　A　）。

A．ROM　　B．RAM　　C．PRAM

7．ROM 中译码矩阵固定，且可将所有输入代码全部译出的是（　C　）。

A．ROM　　B．RAM　　C．完全译码器

8．动态存储单元是靠（　B　）的功能来保存和记忆信息的。

A．自保持　　B．栅极存储电荷

9．利用双稳态触发器存储信息的 RAM 叫（　B　）RAM。

A．动态　　B．静态

10．在读写的同时还需要不断进行数据刷新的是（　A　）存储单元。

A．动态　　B．静态

四、简答题（每小题 5 分，共 20 分）

1．现有（1024B×4）RAM 集成芯片一个，该 RAM 有多少个存储单元？有多少条地址线？该 RAM 含有多少个字？其字长是多少位？访问该 RAM 时，每次会选中几个存储单元？

答：该 RAM 集成芯片有 4096 个存储单元；地址线为 10 根；含有 1024 个字，字长是 4 位；访问该 RAM 时，每次会选中 4 个存储单元。

2．什么是 ROM？什么是 RAM？它们的结构组成相同吗？二者的主要区别是什么？

答：按存取方式分类，半导体存储器则可分为随机存取存储器（RAM）和只读存储器（ROM）两种形式。RAM 是能够通过指令随机地、个别地对其中各个单元进行读/写操作的一类存储器；ROM 是计算机系统的在线运行过程中，只能对其进行读操作，而不能进行写操作的一类存储器。RAM 和 ROM 都是由地址译码器、存储矩阵和读/写控制电路所组成；RAM

与 ROM 的根本区别在于：正常工作状态下，ROM 只能读出不能写入，而 RAM 则既能读出又能写入。

3．PAL 的结构特点是什么？PAL 有哪几种输出类型？

答：PAL 的结构特点是存储单元体**或**阵列不可编程，地址译码器**与**阵列是用户可编程的。PAL 的输出类型主要有专用输出结构、异步 I/O 输出结构、寄存器输出结构、异或输出结构等。

4．若存储器的容量为 256K×8 位，其地址线为多少位？数据线数为多少位？若存储器的容量为 512M×8 位，其地址线又为多少位?

答：存储器容量＝字数×位数，当存储器的容量为 256K×8 位时，可得字数为 2^n＝256×1024，则地址线 n＝18 位，数据线为 8 位；当存储器的容量为 512M×8 位，可得 2^n＝512×1024×1024，其地址线 n＝29 位。

五、计算题（共 32 分）

1．试用 ROM 实现下面多输出逻辑函数。（12 分）

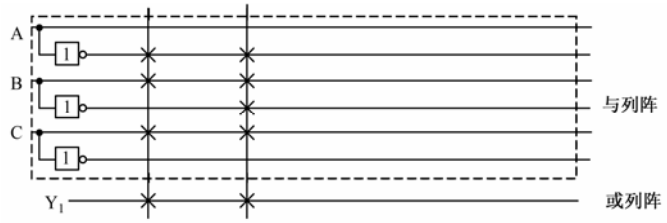
$Y_1=\overline{A}BC+\overline{A}\overline{B}C$

$Y_2=A\overline{B}C\overline{D}+BC\overline{D}+\overline{A}BCD$

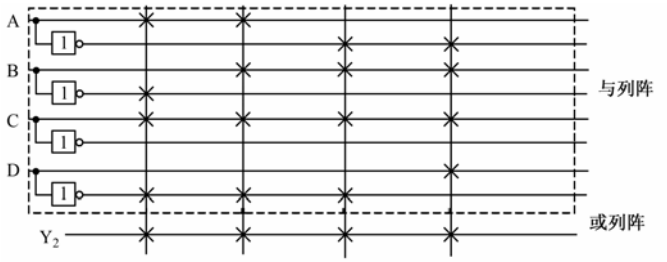
$Y_3=ABC\overline{D}+ABCD$

$Y_4=\overline{A}\overline{B}C\overline{D}+ABCD$

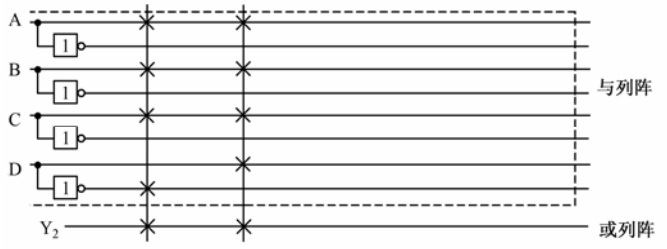
解：$Y_1=\overline{A}BC+\overline{A}\overline{B}C$



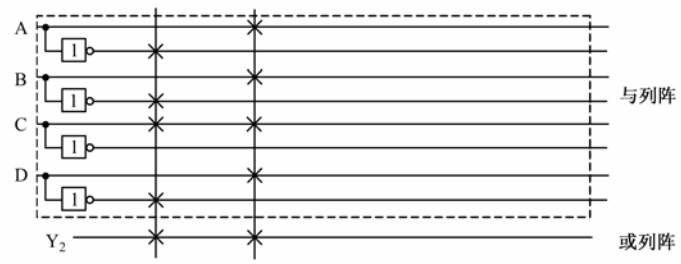
$Y_2=A\overline{B}C\overline{D}+BC\overline{D}+\overline{A}BCD=A\overline{B}C\overline{D}+ABC\overline{D}+\overline{A}BC\overline{D}+\overline{A}BCD$



$Y_3=ABC\overline{D}+ABCD$



$Y_4=\overline{A}\overline{B}C\overline{D}+ABCD$



2．试用 1KB×1 位的 RAM 扩展成 1KB×4 位的存储器。说明需要几片如图 6.31 所示的 RAM，画出接线图。（10 分）

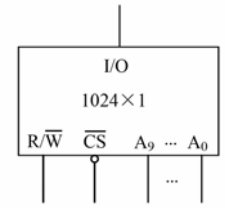
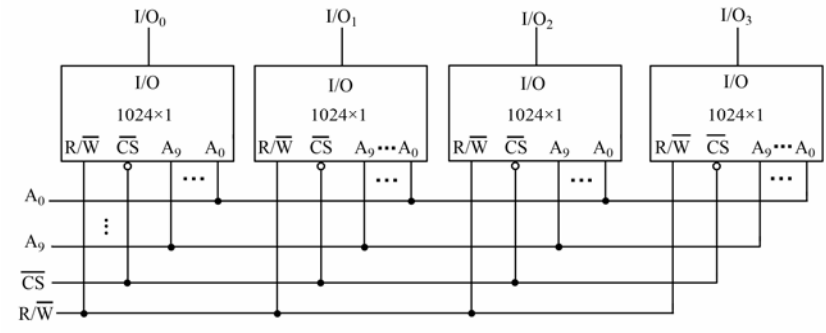


图 6.31

解：用 1KB×1 位的 RAM 扩展成 1KB×4 位的存储器，
需用 4 片如图 11.16 所示的 RAM 芯片，接线图为：



3．试用 ROM 构成一个 1 位数值的全加器。（10 分）
解：首先根据题目要求列出全加器真值表

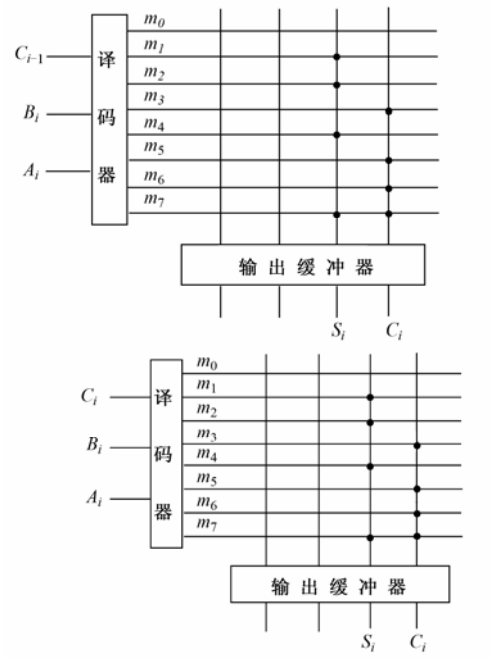
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

根据真值表写出相应逻辑函数表达式

$$S_i = m_1 + m_2 + m_4 + m_7$$

$$C_i = m_3 + m_5 + m_6 + m_7$$

画出由 PROM 实现的逻辑图



第 7 单元　能力训练检测题（共 100 分，120 分钟）

一、填空题（每空 0.5 分，共 21 分）

1．DAC 电路的作用是将 输入的数字 量转换成 与数字量成正比的输出模拟 量。ADC 电路的作用是将 输入的模拟 量转换成 与其成正比的输出数字 量。

2．DAC 电路的主要技术指标有 分辨率 、绝对精度 和 非线性度 及 建立时间等；ADC 电路的主要技术指标有 相对精度 、 分辨率 和 转换速度等 。

3．DAC 通常 数码寄存器 、 基准电压 ， 模拟电子开关 、 解码电阻网络 四个基本部分组成。为了将模拟电流转换成模拟电压，通常还要在输出端外加 运算放大器 。

4．按解码网络结构的不同，DAC 可分为 权电阻网络 网络、 R-2R 倒 T 型电阻 网络等。按模拟电子开关电路的不同，DAC 又可分为 CMOS 开关型和 双极型 开关型。

5．模数转换的量化方式有 四舍五入 法和 舍尾取整法 两种，如量化当量为δ，则量化误差分别为 $\delta/2$ 和 δ 。

6．在模/数转换过程中，只能在一系列选定的瞬间对输入模拟量 采样 后再转换为输出的数字量，通常需经过 采样 、 保持 、 量化 和 编码 四个过程来完成模/数转换。

7． 双积分 型 ADC 换速度较慢， 逐次逼近 型 ADC 转换速度高。

8． 逐次逼近 型 ADC 内部有数模转换器，因此 转换速度 快。

9． 倒 T 型电阻网络 DAC 中的电阻只有 R 和 2R 两种，与 权电阻 网络完全不同。而

且在这种 DAC 转换器中又采用了 高速电子开关 ，所以 转换速度 很高。

10．ADC0809 是采用 CMOS 工艺制成的 8 位 ADC，内部采用 逐次比较 结构形式。DAC0832 采用的是 CMOS 工艺制成的双列直插式单片 8 位数模转换器。

二、判断正误题（每小题 1 分，共 10 分）

1．DAC 的输入数字量的位数越多，分辨能力越低。（ 错 ）

2．原则上说，R-2R 倒 T 型电阻网络 DAC 输入和二进制位数不受限制。（ 对 ）

3．若要减小量化误差δ，就应在测量范围内增大量化当量 δ 。（ 错 ）

4．量化的两种方法中舍尾取整法较好些。（ 错 ）

5．ADC0809 二进制数据输出是三态的，允许直接连 CPU 的数据总线。（ 对 ）

6．逐次比较型模数转换器转换速度较慢。（ 错 ）

7．双积分型 ADC 中包括数/模转换器，因此转换速度较快。（ 错 ）

8．δ的数值越小，量化的等级越细，A/D 转换器的位数就越多。（ 对 ）

9．在满刻度范围内，偏离理想转换特性的最大值称为相对精度。（ 错 ）

10．采样定理告诉我们：采样电路的频率必须至少为输入模拟量中最高频率成分 f_{imax} 的 2 倍。（ 对 ）

三、选择题（每小题 2 分，共 20 分）

1．ADC 的转换精度取决于（ A ）。

A．分辨率　　B．转换速度　　C．分辨率和转换速度

2．对于 n 位 DAC 的分辨率来说，可表示为（ C ）。

A．$\frac{1}{2^n}$　　B．$\frac{1}{2^{n-1}}$　　C．$\frac{1}{2^n-1}$

3．R-2R 倒 T 型电阻网络 DAC 中，基准电压源 U_R 和输出电压 u_o 的极性关系为（ B ）。

A．同相　　B．反相　　C．无关

4．采样保持电路中，采样信号的频率 f_S 和原信号中最高频率成分 f_{imax} 之间的关系是必须满足（ A ）。

A．$f_S \geqslant 2f_{imax}$　　B．$f_S < f_{imax}$　　C．$f_S = f_{imax}$

5．如果 u_i＝0～10V，U_{imax}=1V，若用 ADC 电路将它转换成 n＝3 的二进制数，采用四舍五入量化法，其量化当量为（ B ）。

A．1/8（V）　　B．2/15（V）　　C．1/4（V）

6．DAC0832 是属于（ A ）网络的 DAC。

A．R-2R 倒 T 型电阻　　B．T 型电阻　　C．权电阻

7．和其他 ADC 相比，双积分型 ADC 转换速度（ A ）。

A．较慢　　B．很快　　C．极慢

8．如果 u_i＝0～10V，U_{imax}=1V，若用 ADC 电路将它转换成 n＝3 的二进制数，采用四舍五入量化法的最大量化误差为（ A ）。

A．1/15（V）　　B．1/8（V）　　C．1/4（V）

9．ADC0809 输出的是（ A ）。

A．8 位二进制数码　　B．10 位二进制数码　　C．4 位二进制数码

10．ADC0809 是属于（　B　）的 ADC。

A．双积分型　　B．逐次比较型

四、简答题（共 13 分）

1．试述采样定理。（3 分）

答：采样定理：为保证采样信号最大不失真地保留被转换的输入模拟量，采样电路的频率必须至少为输入模拟量中最高频率成分 f_{imax} 的 2 倍。

2．试述量化的概念。（3 分）

答：在 A/D 转换过程中，必须把采样后离散的模拟输出电压，按某种近似方式归化到相应的离散电平上，离散电平为该最小数量单位的一个个整数倍，这一转化过程称为数值量化，简称量化。

3．何谓 DAC 的建立时间？（3 分）

答：从 DAC 输入数字量开始，到输出电压（或电流）稳定到距最终输出量 $\pm u_{LSB}$（$\pm i_{LSB}$）所需的时间，称为建立时间。

4．权电阻网络 DAC 和 R-2R 倒 T 型电阻网络 DAC 相比，哪一个转换速度高？为什么？（4 分）

答：权电阻网络 DAC 和 R-2R 倒 T 型电阻网络 DAC 相比，R-2R 倒 T 型电阻网络的转换速度高。因为，R-2R 倒 T 型电阻网络 DAC 流过各支路的电流恒定不变，在开关状态变化时，不需电流建立时间，且采用了高速电子开关，所以转换速度很高。

五、计算设计题（共 36 分）

1．已知某 DAC 电路的最小分辨电压 $U_{LSB}=40mV$，最大满刻度输出电压 $U_{FSR}=0.28V$，试求该电路输入二进制数字量的位数 n 应是多少？（6 分）

解：将题目中已知量代入公式 $\frac{U_{LSB}}{U_{FSR}}=\frac{1}{2^n-1}$，有 $\frac{0.04}{0.28}=\frac{1}{2^n-1}$，可得：$n=3$

2．如图 7.16 所示电路中 $R=8k\Omega$，$R_F=1\ k\Omega$，$U_R=-10V$，试求：

（1）在输入四位二进制数 D＝1001 时，网络输出 u_o＝？

（2）若 $u_o=1.25V$，则可以判断输入的四位二进制数 D＝？（8 分）

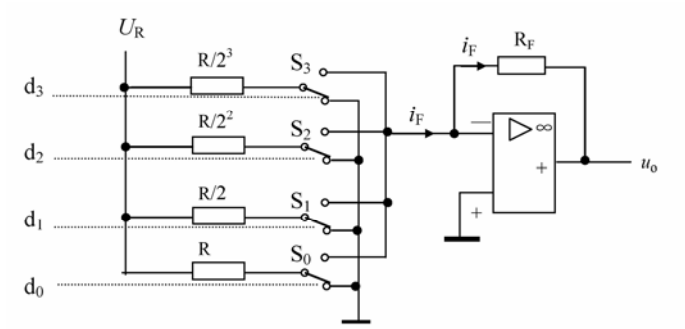


图 7.16

解：①图示电路 X_3～X_0 的状态为 1001，因此有：

$I_3=\dfrac{U_R}{R/2^3}=\dfrac{-10\times 8}{8}=-10\text{mA}$，　$I_0=\dfrac{U_R}{R}=\dfrac{-10}{8}=-1.25\text{mA}$，　$\sum I=-11.25\text{mA}$

$U_0=-IR_F=11.25\times 1=11.25\text{V}$

② 若要使输出电压等于 1.25V，则 $I=I_0=-1.25\text{mA}$，即输入的 4 位二进制数 $D=0001$。

3．在倒 T 型电阻网络 DAC 中，若 $U_R=10\text{V}$，输入 10 位二进制数字量为（1011010101），试求其输出模拟电压为何值？（已知 $R_F=R=10\text{k}\Omega$）（6 分）

解：$U_0=-\dfrac{U_R}{2^n}D=-\dfrac{10}{2^{10}}(1\times 2^9+1\times 2^7+1\times 2^6+1\times 2^4+1\times 2^2+1\times 2^0)$

$=-\dfrac{10\times 725}{1024}\approx -7.08\text{V}$

4．已知某一 DAC 电路的最小分辨电压 $U_{LSB}=40\text{mV}$，最大满刻度输出电压 $U_{FSR}=0.28\text{V}$，试求该电路输入二进制数字量的位数 n 应是多少？（6 分）

解：因为 $\dfrac{U_{LSB}}{U_{FSR}}=\dfrac{40}{280}=\dfrac{1}{2^n-1}$，所以有 $2^n=8$　$n=3$

5．如图 7.17 所示的权电阻网络 DAC 电路中，若 $n=4$，$U_R=5\text{V}$，$R=100\Omega$，$R_F=50\Omega$，试求此电路的电流转换系数和电压转换系数。若输入 4 位二进制数 $D=1001$，则它的输出电压 $u_o=$？（10 分）

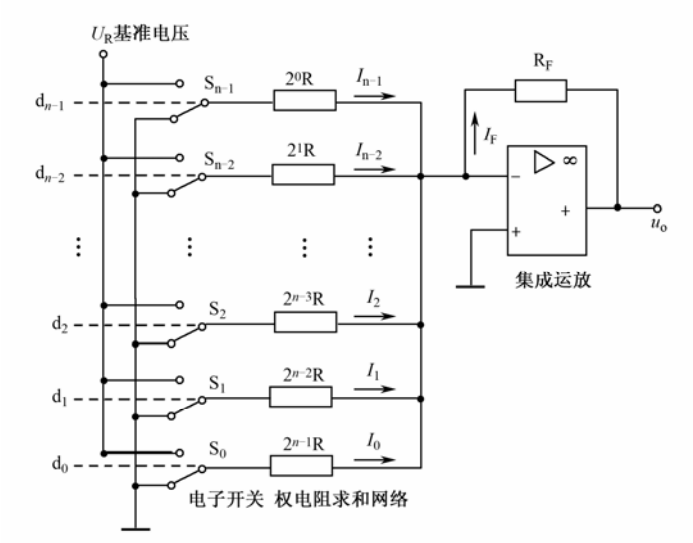


图 7.17

解：根据权电阻网络的电流转换特性，电路中的电流转换系数

$$\frac{U_R}{2^{n-1}R}=\frac{5}{2^{4-1}\times 100}=0.00625$$

根据运算放大器求和运算的关系，当 $R_F=R/2$，则对应电压转换系数为 $U_R/2^n=5/16=0.3125$。

若输入四位二进制数 $D=1001$，则它的输出电压

输出电压 $u_o=-\dfrac{U_R}{2^n}D=-0.3125\times(1\times 2^3+1\times 2^0)=-2.8125\text{V}$

参 考 文 献

[1] 曾令琴．电子技术基础. 北京：人民邮电出版社，2006.12.
[2] 曾令琴．电工电子技术实验与实训教程．北京：人民邮电出版社，2006．12.
[3] 唐庆玉．电工技术与电子技术（下册）．北京：清华大学出版社，2007.9.
[4] 阎石．数字电子技术基础（第四版）．北京：高等教育出版社，1998.11.
[5] 廖芳．电子产品生产工艺与管理．北京：电子工业出版社，2003.8.
[6] 周良权．数字电子技术（第 3 版）．北京：高等教育出版社，2008.1.
[7] 邱寄帆．数字电子技术. 北京：人民邮电出版社，2005.9.
[8] 廖先芸．电子技术实践训练．北京：高等教育出版社，2005.6.
[9] 郭建华．数字电子技术与实训教程．北京：人民邮电出版社，2004.9.